

モジュール 1 : 製品紹介および注文情報

DS312-1 (v3.7) 2008 年 4 月 18 日

- 概要
- 特徴
- アーキテクチャの概要
- パッケージ マーク
- 注文情報

モジュール 2 : 機能の説明

DS312-2 (v3.7) 2008 年 4 月 18 日

- 入力/出力ブロック (IOB)
 - 概要
 - SelectIO™ 信号規格
- コンフィギュラブル ロジック ブロック (CLB)
- ブロック RAM
- 専用乗算器
- デジタル クロック マネージャ (DCM)
- クロック ネットワーク
- コンフィギュレーション
- Spartan-3E FPGA の電源
- 製品ステッピング

モジュール 3 : DC 特性およびスイッチ特性

DS312-3 (v3.7) 2008 年 4 月 18 日

- DC 電気特性
 - 絶対最大定格
 - 電源仕様
 - 推奨動作条件
 - DC 特性
- スイッチ特性
 - I/O のタイミング
 - SLICE のタイミング
 - DCM のタイミング
 - ブロック RAM のタイミング
 - 乗算器のタイミング
 - コンフィギュレーションと JTAG のタイミング

モジュール 4 : ピン配置の説明

DS312-4 (v3.7) 2008 年 4 月 18 日

- ピン配置情報
- パッケージの概要
- ピン配置表
- フットプリント図



japan.xilinx.com/spartan3e

概要

FPGA (フィールドプログラマブル ゲート アレイ) の Spartan®-3E ファミリは、低価格で量産が必要な民生機器向けに設計されています。このファミリには表 1 に示すように 5 種類のデバイスが含まれ、集積度は 10 万 ~ 160 万です。

Spartan-3E ファミリは、Spartan-3 ファミリを基に開発されています。Spartan-3 に比べると、各 I/O のロジック量が増加され、ロジックセルごとのコストが削減されています。この結果、システムパフォーマンスが改善され、コンフィギュレーション費用も削減されるようになりました。これらの改善点と最先端の 90nm プロセス技術によって以前は不可能であった機能とバンド幅を達成できるようになり、Spartan-3E FPGA はプログラマブル ロジック業界の新たな標準となっています。

Spartan-3E FPGA は非常に低価格なため、ブロードバンド アクセス、ホーム ネットワーキング、ディスプレイ/プロジェクト、デジタル テレビなどの幅広い民生機器に適しています。

Spartan-3E ファミリは、マスク プログラムの ASIC に代わる優れたデバイスです。FPGA の場合、従来の ASIC のように初期コストが高い、開発サイクルが長い、柔軟性がないといったデメリットはありません。また、FPGA はプログラマブルなため、ASIC では不可能な、ハードウェアを入れ替えずにデザインをアップグレードすることもできます。

特徴

- 量産および民生アプリケーションを対象とした、低価格で高性能なロジック ソリューション
- 最先端の 90nm プロセス技術
- 複数電圧、複数の SelectIO™ 規格に対応するインターフェイスピン
 - 最高で 376 個の I/O ピンまたは 156 組の差動信号ペア
 - シングルエンドの信号規格 (LVCMOS、LVTTTL、HSTL、SSTL)
 - 3.3V、2.5V、1.8V、1.5V、1.2V の信号
 - 1 I/O あたり 622+ Mbps のデータ転送速度
 - True LVDS、RSDS、mini-LVDS、HSTL/SSTL 差動 I/O
 - ダブル データレート (DDR) のサポート

- DDR SDRAM を最大で 333Mbps までサポート
- 豊富で柔軟なロジック リソース
 - オプションのシフト レジスタや分散 RAM のサポートも含めて最大で 33,192 個のロジック セル集積度
 - 効率的な多入力マルチプレクサ、多入力ロジック
 - 高速ルックアヘッド キャリー ロジック
 - パイプライン付き (オプション) 18 x 18 乗算器
 - IEEE 1149.1/1532 JTAG プログラム/デバッグ ポート
- 階層構造の SelectRAM™ メモリ アーキテクチャ
 - 最大 648Kb の高速ブロック RAM
 - 最大 231Kb の効率的な分散 RAM
- 最大 8 個のデジタル クロック マネージャ (DCM)
 - クロック スキューの削除 (遅延ロック ループ)
 - 周波数の合成、乗算、除算
 - 高性能位相シフト
 - 広域な周波数範囲 (5MHz ~ 300MHz 以上)
- 8 つのグローバル クロックとデバイスの半分にそれぞれ 8 つのクロック、多数の低スキュー配線
- 業界標準 PROM に対応するコンフィギュレーション インターフェイス
 - 低価格、スペース削減の SPI シリアル Flash PROM
 - x8 または x8/x16 のパラレル NOR Flash PROM
 - 低価格のザイリンクス Platform Flash PROM (JTAG 標準)
- ザイリンクス開発システム ISE® および WebPACK™ ソフトウェアのサポート
- MicroBlaze™ および PicoBlaze™ エンベデッド プロセッサ コア
- 32 または 64 ビットの 33MHz PCI をサポート (一部のデバイスでは 66MHz)
- 低コストの QFP および BGA パッケージ オプション
 - 共有フットプリントにより簡単に集積度を移行可能
 - 鉛フリー パッケージ オプション
- XA オートモーティブ バージョンが利用可能

表 1: Spartan-3E FPGA の特徴

デバイス	システム ゲート数	ロジック セル数	CLB アレイ (1 CLB = 4 スライス)				分散RAM ビット ⁽¹⁾	ブロック RAM ビット ⁽¹⁾	専用乗算器	DCM	最大 ユーザー I/O 数	最大差動 I/O ペア数
			行	列	CLB の総数	スライスの 総数						
XC3S100E	100K	2,160	22	16	240	960	15K	72K	4	2	108	40
XC3S250E	250K	5,508	34	26	612	2,448	38K	216K	12	4	172	68
XC3S500E	500K	10,476	46	34	1,164	4,656	73K	360K	20	4	232	92
XC3S1200E	1200K	19,512	60	46	2,168	8,672	136K	504K	28	8	304	124

表 1: Spartan-3E FPGA の特徴

デバイス	システム ゲート数	ロジック セル数	CLB アレイ (1 CLB = 4 スライス)				分散RAM ビット ⁽¹⁾	ブロック RAM ビット ⁽¹⁾	専用乗算器	DCM	最大 ユーザー I/O 数	最大差動 I/O ペア数
			行	列	CLB の総数	スライスの 総数						
XC3S1600E	1600K	33,192	76	58	3,688	14,752	231K	648K	36	8	376	156

メモ：

1. 1Kb は 1,024 ビットです。

アーキテクチャの概要

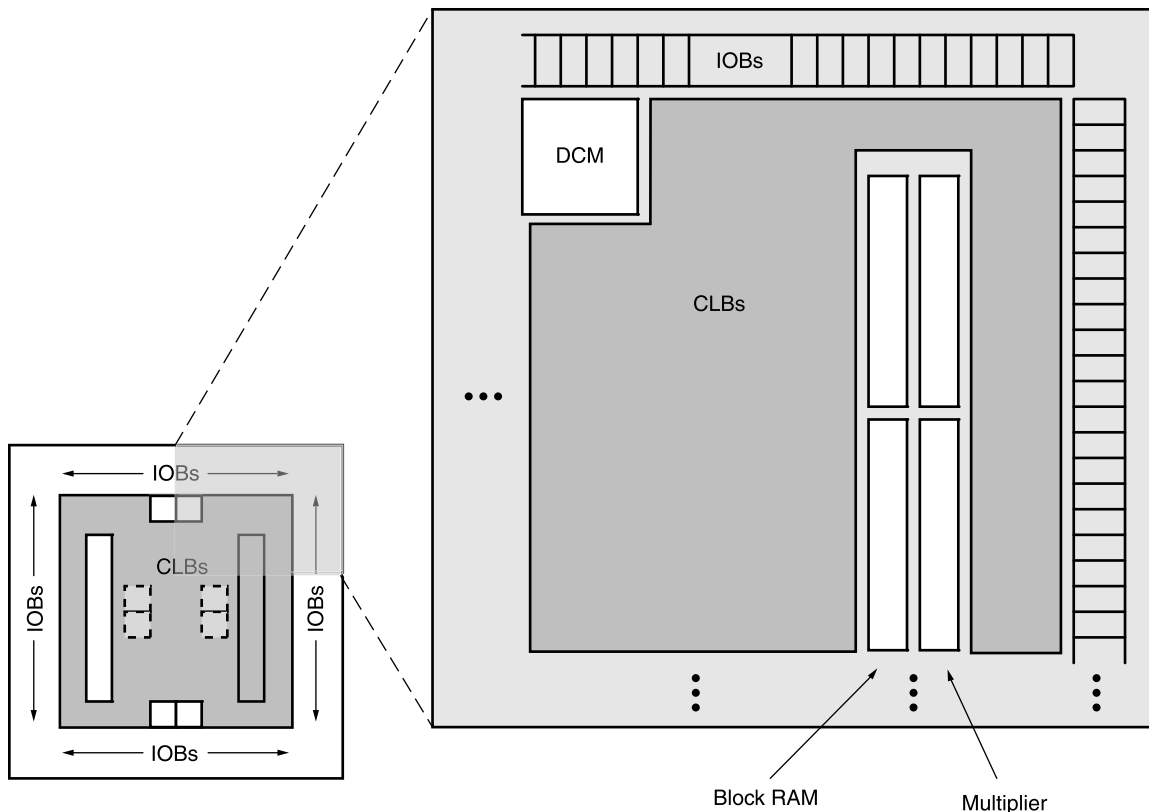
Spartan-3E ファミリーには、次の 5 つの基本的なプログラム可能なエレメントが含まれます。

- **コンフィギャブル ロジック ブロック (CLB)：**ロジックおよびフリップ フロップまたはラッチとして使用される記憶素子をインプリメントする柔軟なルックアップ テーブル (LUT) が含まれています。CLB では、データの格納およびさまざまな論理機能が実行されます。
- **入出力ブロック (IOB)：**デバイスの I/O ピンと内部ロジック間のデータフローを制御します。各 IOB では、双方向のデータフローとトライステートの動作がサポートされます。また、パフォーマンスの優れた差動信号規格 4 つを含め、さまざまな信号規格がサポートされます。ダブル データ レート (DDR) レジスタも含まれます。
- **ブロック RAM：**18Kb のデュアル ポート ブロック形式でデータを格納します。
- **乗算ブロック：**2 つの 18 ビットの 2 進数を入力として受け取り、積を算出します。

- **デジタル クロック マネージャ (DCM) ブロック：**クロック信号の分配、遅延調整、通倍、分周、および位相シフトを実行するための、自己校正機能を持った完全なデジタルソリューションを提供します。

これらは、図 1 に示すように IOB が CLB のアレイの周りを囲むように配置され、デバイスには、それぞれ 2 列のブロック RAM が含まれます (XC3S100E のみ 1 列)。各ブロック RAM の列には、18Kb の RAM ブロックが複数含まれ、専用の乗算器に接続されます。DCM はデバイス上下の中央部に 2 つずつ配置されますが、XC3S100E では上下に 1 つずつしかなく、XC3S1200E および XC3S1600E では左右の中央にそれぞれ 2 つの DCM が追加されます。

Spartan-3E ファミリーには、これら 5 つのエレメントすべてを相互接続し、信号を相互に伝送するネットワーク機能があります。5 つのエレメントには、配線に対して複数接続を可能にするスイッチマトリックスが含まれます。



DS312_01_111904

メモ：

1. XC3S1200E および XC3S1600E には、左右中央部にそれぞれ DCM が 2 つ追加されます (図の点線部分)。XC3S100E には、DCM が上下に 1 つずつしかありません。

図 1：Spartan-3E ファミリのアーキテクチャ

コンフィギュレーション

Spartan-3 FPGA は、エレメントおよび配線リソースを一括制御するリプログラマブルでスタティックな CCL (CMOS コンフィギュレーション ラッチ) にコンフィギュレーションデータを読み込むことでプログラムされます。FPGA のコンフィギュレーションデータは、ボード上またはボード外のいずれかにある PROM またはほかの不揮発性媒体に保存されます。電源を投入すると、コンフィギュレーションデータは次の 7 つのいずれかのモードを使用して FPGA に書き込まれます。

- ザイリンクス Platform Flash PROM からのマスタ シリアル
- 業界標準の SPI シリアル Flash メモリからの SPI (シリアル ペリフェラル インターフェイス)
- 業界標準の x8 または x8/x16 のパラレル NOR Flash メモリからの BPI (バイト ペリフェラル インターフェイス) アップまたはダウン
- スレーブ シリアル (通常はプロセッサからダウンロード)
- スレーブ パラレル (通常はプロセッサからダウンロード)
- バウンダリ スキャン (JTAG) (通常はプロセッサまたはシステム テスタからダウンロード)

I/O 機能

Spartan-3E FPGA の SelectIO インターフェイスでは、多くのシングルエンド規格および差動規格がサポートされます。表 2 に、各デバイス/パッケージの組み合わせで使用可能なユーザー I/O および差動 I/O ペアの数を示します。

Spartan-3E FPGA でサポートされるシングルエンド規格は次のとおりです。

- 3.3V 低電圧 TTL (LVTTTL)
- 3.3V、2.5V、1.8V、1.5V、1.2V の低電圧 CMOS (LVCMOS)
- 33MHz の 3V PCI (一部のデバイスでは [66MHz](#))
- 1.8V で HSTL I および III (メモリ アプリケーションでよく使用される)
- 1.8V および 2.5V で SSTL I (メモリ アプリケーションでよく使用される)

Spartan-3E FPGA でサポートされる差動規格は次のとおりです。

- LVDS
- Bus LVDS (BLVDS)
- mini-LVDS

- RSDS
- 差動 SSTL (2.5V と 1.8V、タイプ I)
- 差動 HSTL (1.8V、タイプ I と III)
- 2.5V LVPECL 入力

表 2：使用可能なユーザー I/O と差動 I/O ペア数

デバイス	VQ100 VQG100		CP132 CPG132		TQ144 TQG144		PQ208 PQG208		FT256 FTG256		FG320 FGG320		FG400 FGG400		FG484 FGG484	
	ユー ザー	差動	ユー ザー	差動	ユー ザー	差動	ユー ザー	差動	ユー ザー	差動	ユー ザー	差動	ユー ザー	差動	ユー ザー	差動
XC3S100E	66 (7)	30 (2)	83 (11)	35 (2)	108 (28)	40 (4)	-	-	-	-	-	-	-	-	-	-
XC3S250E	66 (7)	30 (2)	92 (7)	41 (2)	108 (28)	40 (4)	158 (32)	65 (5)	172 (40)	68 (8)	-	-	-	-	-	-
XC3S500E	66 (7)	30 (2)	92 (7)	41 (2)	-	-	158 (32)	65 (5)	190 (41)	77 (8)	232 (56)	92 (12)	-	-	-	-
XC3S1200E	-	-	-	-	-	-	-	-	190 (40)	77 (8)	250 (56)	99 (12)	304 (72)	124 (20)	-	-
XC3S1600E	-	-	-	-	-	-	-	-	-	-	250 (56)	99 (12)	304 (72)	124 (20)	376 (82)	156 (21)

メモ：

1. 同じパッケージの Spartan-3E デバイスのピンはすべて互換性があります。詳細はモジュール 4：「ピン配置の説明」を参照してください。
2. 上の数値は I/O と入力のためのピンの最大数です。かっこ内の数値は、入力のためのピンの数を示しています。
3. XC3S500E は VQG100 鉛フリー (Pb フリー) パッケージのみで入手可能であり、標準 VQ100 では提供されていません。VQG100 および VQ100 のピン配置は同一で、VQ100 への汎用参照電圧は XC3S500E にも適用されます。

パッケージ マーク

図 2 は、Spartan-3E FPGA の QFP (クワッド フラット パッケージ) のマーク例を示しています。図 3 は BGA パッケージのマーク例です (132 ボールのチップ スケール パッケージ (CP132 および CPG132) は除く)。BGA パッケージのマークはクワッド フラット パッケージとほぼ同じですが、ボール A1 の位置だけが異なります。図 4 は、CP132 および CPG132 パッケージのマークを示しています。

QFP および BGA パッケージの場合、ロット コードの後にステッピング番号 (オプション) が続きます。-4C デバイスでステッピング番号が表示されていない場合、そのデバイスのステッピング番号は 0 です。

5C および 4I パーツの組み合わせは、5C/4I とマークされます。5C および 4I パーツの組み合わせには、ステッピング 1 製品シロンが使用されており、ステッピング番号は 1 となっています。

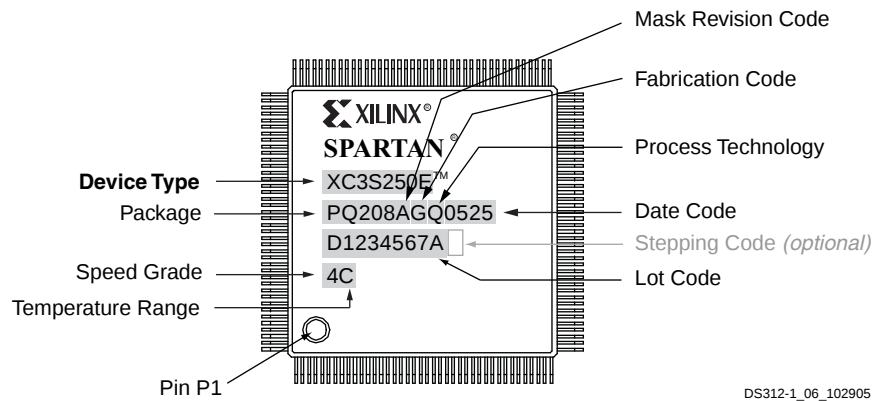


図 2：Spartan-3E の QFP パッケージのマーク例

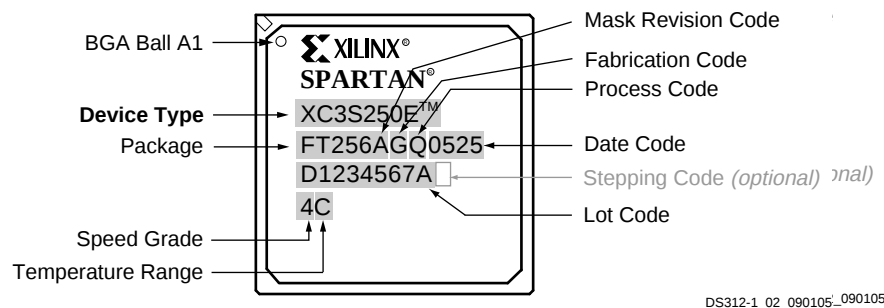


図 3：Spartan-3E の BGA パッケージのマーク例

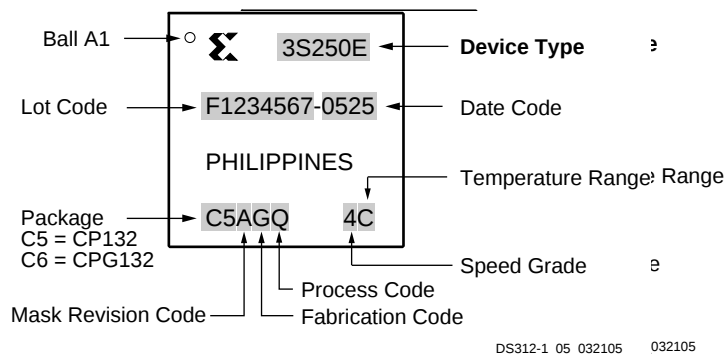
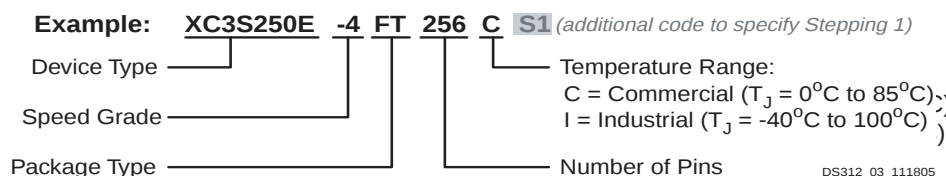


図 4：Spartan-3E の CP132 および CPG132 パッケージのマーク例

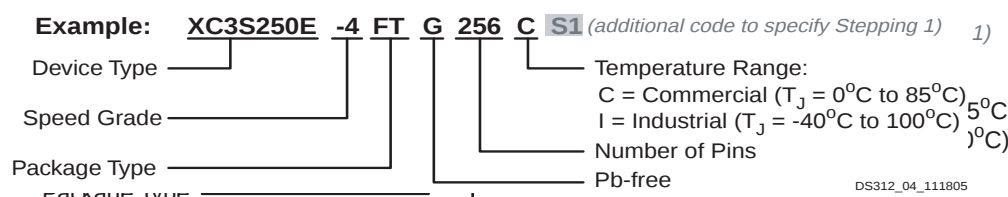
注文情報

Spartan-3E FPGA では、すべてのデバイス/パッケージの組み合わせに標準パッケージと鉛フリーパッケージがあります。鉛フリーパッケージには、注文コードにアルファベットの「G」が含まれます。また、すべてのデバイスには、コマーシャル (C) また

標準パッケージ



鉛フリー パッケージ



デバイス	スピード グレード	パッケージ タイプ/ピン数		温度範囲 (T_J)
XC3S100E	-4 標準パフォーマンス	VQ(G)100	100 ピンの VQFP (Very Thin Quad Flat Pack)	C コマーシャル ($0^{\circ}\text{C} \sim 85^{\circ}\text{C}$)
XC3S250E	-5 高速パフォーマンス	CP(G)132	132 ボールの CSP (Chip-Scale Package)	I インダストリアル ($-40^{\circ}\text{C} \sim 100^{\circ}\text{C}$)
XC3S500E		TQ(G)144	144 ピンの TQFP (Thin Quad Flat Pack)	
XC3S1200E		PQ(G)208	208 ピンの PQFP (Plastic Quad Flat Pack)	
XC3S1600E		FT(G)256	256 ボールの FTBGA (Fine-Pitch Thin Ball Grid Array)	
		FG(G)320	320 ボールの FBGA (Fine-Pitch Ball Grid Array)	
		FG(G)400	400 ボールの FBGA (Fine-Pitch Ball Grid Array)	
		FG(G)484	484 ボールの FBGA (Fine-Pitch Ball Grid Array)	

メモ:

- 5 スピード グレードは、コマーシャル温度範囲のみです。
- XC3S500E VQG100 は、-4 スピード グレードでのみ提供されています。
- XA オートモーティブ Spartan-3E FPGA については、[DS635](#) を参照してください。

ステッピング番号

Spartan-3E FPGA ファミリーでは、改善された機能などを示すためにステッピング番号が使用されます。

標準の製品番号を使用して注文された -4C スピード グレードのデバイスでは、ステッピング 0 の機能およびパフォーマンスがサポートされます。ステッピング 1 にはステッピング 0 の機能が含まれます。また、あるステッピング レベルのデバイス用に生成さ

はインダストリアル (I) 温度範囲のものがあります。コマーシャル温度範囲では、標準の -4 と高速の -5 スピード グレードのデバイスを提供していますが、インダストリアル温度範囲では -4 スピード グレードのデバイスのみです。使用可能なデバイス/パッケージの組み合わせは、[表 2](#) を参照してください。

れたコンフィギュレーション ビットストリームは、それより高いステッピング レベルのデバイスでも使用できます。[表 71](#) を参照してください。

ザイリンクスでは、ステッピング 0 およびステッピング 1 の両デバイスを出荷しています。ステッピング 0 のデバイスで動作するデザインは、ステッピング 1 のデバイスでも同様に動作します。

-4C デバイスで新しいステッピングのみを指定するには、注文コードの後に S# を追加します (# はステッピング番号)。詳細は、[表 3](#) を参照してください。

表 3: Spartan-3E のステッピング レベル

ステッピング番号	接尾番号	ステータス
0	なし、または S0	製品デバイス
1	S1	製品デバイス

ステッピング 1 からは、ステッピング レベルが [図 2](#)、[図 3](#)、[図 4](#) のように 1 桁の番号でデバイスにマークされます。ステッピング 0 の場合は、0 とマークされるか、何もマークされません。

改訂履歴

次の表に、このドキュメントの改訂履歴を示します。

日付	バージョン	改訂内容
2005/03/01	1.0	初版リリース
2005/03/21	1.1	表 2 に CP132 パッケージの XC3S250E を追加。CP132 パッケージの差動 I/O ペアの数を変更。QFP パッケージのマーク例 (図 2) と CP132/CPG132 パッケージのマーク例 (図 4) を追加。
2005/11/23	2.0	差動 HSTL と SSTL I/O 規格を追加。入力のみピン数の数を 表 2 に追加。マーク例の図を含めた「 ステッピング番号 」情報を追加。
2006/03/22	3.0	データシートステータスを Preliminary に変更。CP132 パッケージに XC3S100E を追加、FG320 パッケージの XC3S1600E の I/O 数をアップデート (表 2)。「 パッケージ マーク 」に -5C および -4I 製品の組み合わせを追加。
2006/11/09	3.4	66MHz の PCI サポートおよびザイリンクス PCI LogiCORE データシートへのリンクを追加。ステッピング 1 のデバイスは Production 仕様であることを記載。モジュール 1 を Production ステータスに変更。すべてのモジュールを v3.4 に変更。
2008/04/18	3.7	XC3S500E VQG100 パッケージを追加。 XA オートモーティブ バージョンの情報追加。リンクの更新。

Spartan-3 ジェネレーション の新規資料

Spartan™-3E FPGA ファミリの機能および更新内容が次の資料に記載されています。各ユーザーガイドの項目を次に示します。

- UG331: 『Spartan-3 ジェネレーション FPGA ユーザー ガイド』
<http://japan.xilinx.com/support/documentation/spartan-3.htm>
 - ◆ クロック リソース
 - ◆ デジタル クロック マネージャ (DCM)
 - ◆ ブロック RAM
 - ◆ コンフィギャブル ロジック ブロック (CLB)
 - 分散 RAM
 - SRL16 シフト レジスタ
 - キャリーおよび演算ロジック
 - ◆ I/O リソース
 - ◆ エンベデッド乗算器ブロック
 - ◆ プログラム可能なインターコネクト
 - ◆ ISE® デザイン ツール
 - ◆ IP コア
 - ◆ エンベデッド プロセッサおよび制御ソリューション
 - ◆ ピン タイプおよびパッケージの概要
 - ◆ パッケージの図面
 - ◆ FPGA の電源
 - ◆ 電力管理

- UG332: 『Spartan-3 ジェネレーション コンフィギュレーション ガイド』
<http://japan.xilinx.com/support/documentation/spartan-3.htm>
 - ◆ コンフィギュレーションの概要
 - コンフィギュレーション ピンおよびピンの動作
 - ビットストリームのサイズ
 - ◆ 各モードの詳細
 - ザイリンクス Platform Flash PROM を使用したマスタ シリアル モード
 - 汎用 SPI シリアル Flash PROM を使用したマスタ SPI モード
 - 汎用 パラレル NOR Flash PROM を使用したマスタ BPI モード
 - プロセッサを使用したスレーブ パラレル (SelectMAP)
 - プロセッサを使用したスレーブ シリアル
 - JTAG モード
 - ◆ ISE iMPACT プログラミング例
 - ◆ マルチブート リコンフィギュレーション

特定のハードウェアの例は、Spartan-3E スタータ キット ボードのウェブサイトを参照してください。多様なデザイン例およびユーザーガイドへのリンクがあります。

- Spartan-3E スタータ キット ボード
<http://japan.xilinx.com/s3estarter>
- UG230: 『Spartan-3E スタータ キットユーザー ガイド』
<http://japan.xilinx.com/support/documentation/spar3e-sk.htm>

次のサイトからザイリンクスのユーザー アカウントを作成すると、データシートのアップデートが e-mail で通知されるよう登録できます。

- ザイリンクス アラートの e-mail 通知登録
<http://japan.xilinx.com/support/answers/19380.htm>

概要

「アーキテクチャの概要」に記述されているように、Spartan™-3E アーキテクチャには次の 5 つの基本的なエレメントが含まれます。

- 「入力/出力ブロック (IOB)」
- 「CLB とスライス リソース」
- 「ブロック RAM」
- 「専用乗算器」
- 「デジタル クロック マネージャ (DCM)」

次のセクションでは、これらのエレメントの詳細情報について説明します。また、次のファンクションについても説明します。

- 「クロッキング構造」
- 「インターコネクト」
- 「コンフィギュレーション」
- 「Spartan-3E FPGA の電源」

入力/出力ブロック (IOB)

詳細は、[UG331](#) の「I/O リソースの使用」を参照してください。

IOB の概要

入力/出力ブロック (IOB) は、パッケージ ピンと FPGA の内部ロジック間のプログラマブルな一方または双方向のインターフェイスです。Spartan-3E の IOB は Spartan-3 の IOB に類似していますが、次の点が異なります。

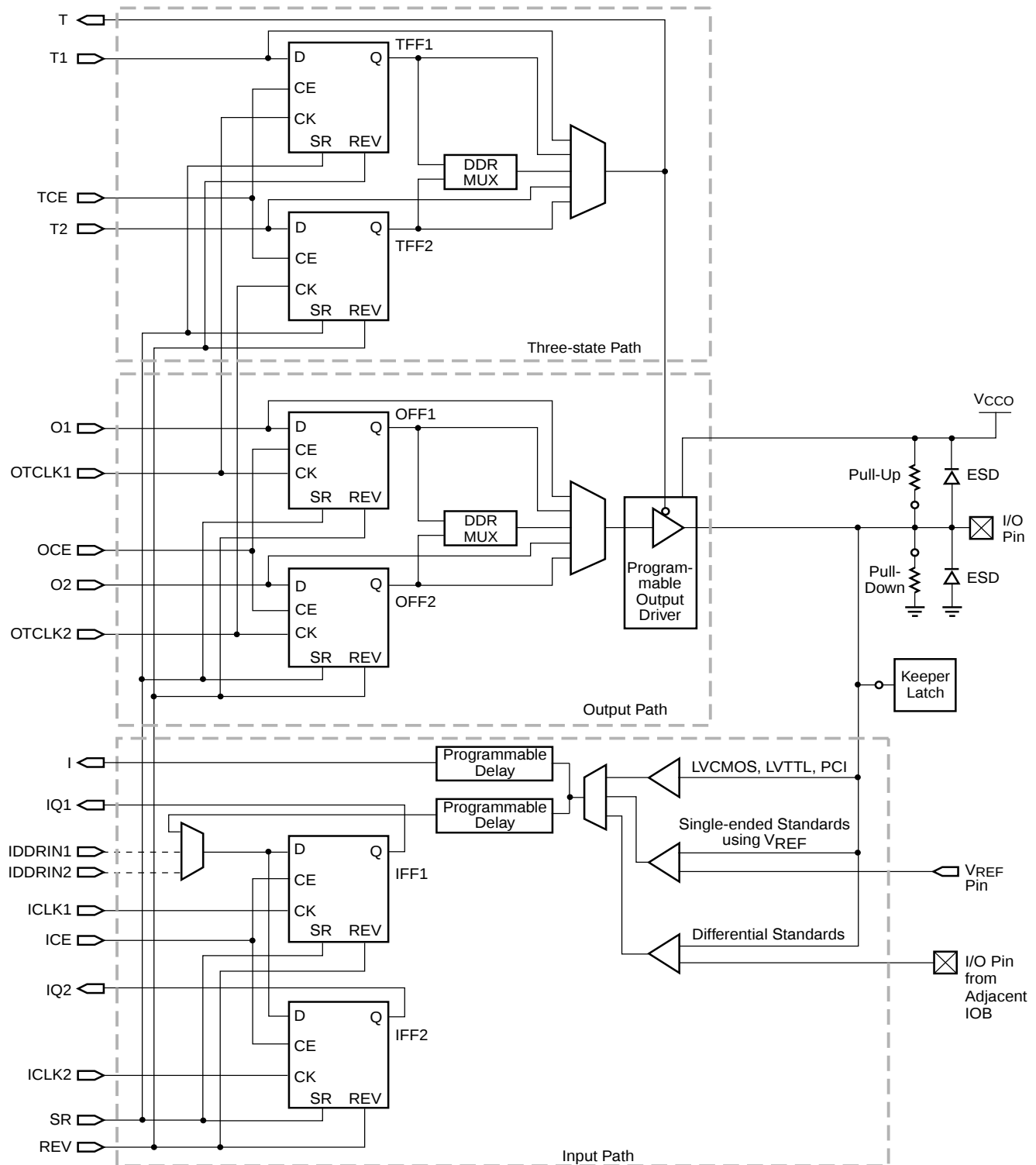
- 入力のためのブロックを追加
- 全ブロックにプログラマブルな入力遅延を追加
- 隣接する IOB 間で DDR フリップフロップを共有可能

入力のためのブロックは、IOB の機能から出力パスの接続およびロジックを取り除いたものです。このため、後述の出力に関する記述は、入力のためのブロックには該当しません。入力のためのブロッ

クはデバイス サイズによって異なりますが、IOB の総数の 25% 以下です。

[11 ページの図 5](#) は、IOB の内部構造の略図です。IOB には、出力パス、入力パス、トリステート パスの 3 つの主な信号パスが含まれます。各パスには、レジスタまたはラッチとして機能する記憶エレメントが 2 つ含まれています。詳細は、「[記憶エレメントの機能](#)」を参照してください。次にその 3 つの信号パスについて説明します。

- 入力パスは、パッケージ ピンに接続されたパッドからのデータをオプションのプログラマブル遅延エレメントを介して I ラインに送信します。遅延エレメントの後に、2 つの記憶エレメントを介して IQ1 および IQ2 ラインに接続する配線方法もあります。IOB の出力ピンである I、IQ1、IQ2 は、すべて FPGA の内部ロジックに接続されます。ホールド タイムが 0 になるよう、遅延エレメントを使用することもできます (「[入力遅延機能](#)」を参照)。
- 出力パスは、O1 および O2 ラインからマルチプレクサとトリステート ドライバを介して FPGA の内部ロジックからのデータを IOB パッドへ送信します。また、マルチプレクサには 2 つの記憶エレメントを挿入するオプションもあります。
- トリステート パスは、出力ドライバをハイ インピーダンスにします。T1 および T2 ラインでは、マルチプレクサを介して FPGA の内部ロジックからのデータを出力ドライバに送信します。また、マルチプレクサには 2 つの記憶エレメントを挿入するオプションもあります。
- IOB に入力される信号パスには、記憶エレメントに接続される信号パスも含め、すべてオプションでインバータを使用できます。これらのパスに使用されるインバータは、自動的に IOB に含まれます。



メモ：

1. IOB 制御信号および出力パスすべてに、IOB 内で極性を反転するオプションが含まれます。
2. 点線で示した信号は、FPGA 内部ではなく、隣接する差動ペアの IOB にのみ接続されます。

図 5：IOB の略図

入力遅延機能

各 IOB には、入力信号をオプションで遅らせることのできるプログラマブルな遅延ブロックが含まれます。図 6 では、信号パスにバイパス可能な粗い遅延エレメントがあり、その後で入力信号は 6 タップの遅延ラインに送信されます。粗い遅延およびタップ遅延は多様であるため、各遅延の値についてはタイミングレポートを確認してください。6 つのタップはすべて、マルチプレクサを介して FPGA への非同期入力として使用できます。このようにして、遅延は 12 ステップでプログラムできます。6 タップのうち 3 つは、マルチプレクサを介して同期記憶エレメントの D 入力にも使用できます。記憶エレメントへのパスに挿入される遅延は、6 ステップでプログラムできます。最初の大きな遅延エレメントは、非同期パスと同期パスの両方に共通し、使用か不使用かのどちらかを選択します。

遅延値はコンフィギュレーション時にデバイスで設定します。この値はデバイス操作中には修正できません。

入力遅延エレメントは、グローバル クロックを使用した入力フリップフロップを使用する際に、ホールド タイムを 0 にするために使用します。デフォルト値は、デバイス サイズおよびフリップフロップが内在するデバイス エッジに応じてザイリンクス ソフ

トウェアによって自動的に選択されます。ザイリンクス ISE ソフトウェアで設定された値はインプリメンテーション ツールで生成されたマップ レポートに示され、入力タイミングへの影響は、[Timing Analyzer](#) ツールでレポートされます。

クロック パスに DCM が使用される場合、「遅延ロック ループ (DLL)」補正によって入力ホールド タイムが自動的に 0 になるため、遅延エレメントを 0 に設定しても問題ありません。

同期値も非同期値も変更可能なので、さまざまな種類の RAM へのインターフェイスなど、クロック入力またはデータ入力で追加の遅延が必要な場合に便利です。

これらの遅延の値は、IBUF_DELAY_VALUE および IFD_DELAY_VALUE パラメータを使用して指定されます。デフォルトの IBUF_DELAY_VALUE 値は 0 で、非同期入力では遅延エレメントをバイパスします。このパラメータは 0 ~ 12 に設定可能です。デフォルトの IFD_DELAY_VALUE 値は AUTO です。IBUF_DELAY_VALUE および IFD_DELAY_VALUE は各入力で独立しています。同じ入力ピンがレジスタ付きの入力パスおよびレジスタのない入力パスの両方を使用する場合は両パラメータを使用できますが、いずれも遅延全体の半分の同じ側に含まれる必要があります (両方がバイパスするか、粗い遅延エレメントを使用する)。

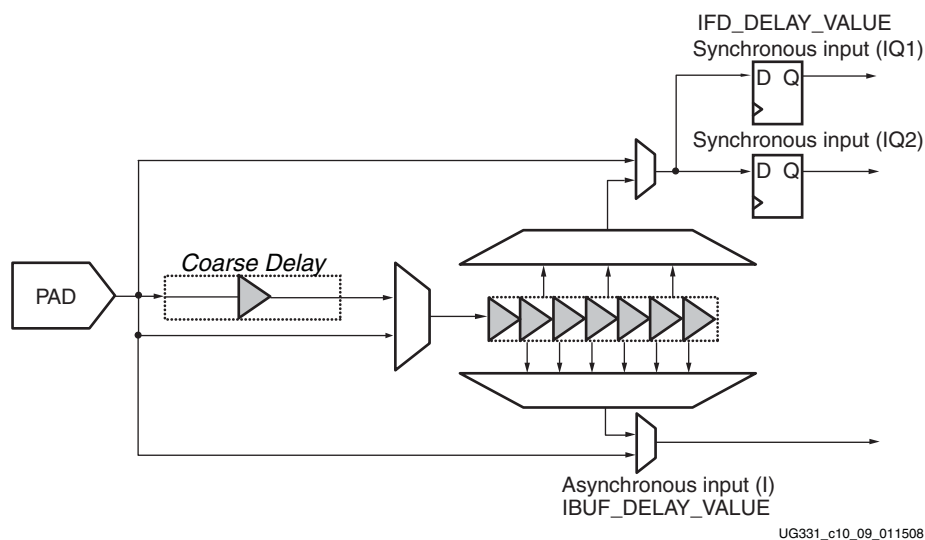


図 6：入力遅延エレメント

記憶エレメントの機能

IOB にはそれぞれ、3 つの各パスに 1 ペアずつ (合計 6 つ) の記憶エレメントが含まれています。各記憶エレメントは、エッジトリガ型 D タイプ フリップフロップ (FD) またはレベルセンシティブ ラッチ (LD) のいずれかとしてコンフィギュレーションできます。

出力パスまたはトライステートパスに含まれる記憶エレメントペアと特定のマルチプレクサを使用すると、ダブルデータレー

ト (DDR) の転送ができます。ダブルデータレート転送は、クロック信号の立ち上がりエッジに同期したデータを、立ち上がりと立ち下りの両エッジに同期したビットに変換すると可能になります。レジスタ 2 つとマルチプレクサ 1 つの組み合わせを、ダブルデータレートの D タイプ フリップフロップ (ODDR2) といいます。

表 4 は、記憶エレメントに接続された信号パスについて説明しています。

表 4：記憶エレメント信号

記憶エレメント 信号	説明	機能
D	データ入力	この入力のデータは、CK のアクティブ エッジで格納され、CE でイネーブル。ラッチとして動作する場合、入力がイネーブルになると、データは直接出力 Q に送信される。
Q	データ出力	この出力のデータは、記憶エレメントのステートと同一。透過モードでラッチとして動作する場合、Q は D のデータと同一。
CK	クロック入力	CE がアサートされると、この入力のアクティブ エッジでデータが記憶エレメントに読み込まれる。
CE	クロック イネーブル入力	アサートされると、CK がイネーブル。接続されていない場合、CE はデフォルトでアサート状態になる。
SR	セット/ リセット入力	記憶エレメントを SRHIGH または SRLow 属性で指定したステートにする。SYNC/ASync 属性を設定すると、SR 入力をクロックと同期させるかどうかを指定可能。SR と REV の両方が同時にアクティブの場合、記憶エレメントには 0 が設定される。
REV	反転入力	SR 信号と一緒に使用される入力で、記憶エレメントのステートを SR と反対のステートにする。SYNC/ASync 属性を設定すると REV 入力をクロックと同期させるかどうかを指定可能。SR と REV の両方が同時にアクティブの場合、記憶エレメントには 0 が設定される。

図 5 に示すように、出力パスとトライステートパスの上側のレジスタは同じクロックを共有しています。OTCLK1 クロック信号が出力パスとトライステートパスの上側にあるレジスタのクロック入力 (CK) を駆動し、OTCLK2 信号が下側にあるレジスタのクロック入力 (CK) を駆動します。入力パスの上下レジスタには、それぞれ別のクロック (ICLK1 と ICLK2) が使用されています。

OCE イネーブルラインは、出力パスの両方のレジスタの CE 入力を制御し、TCE はトライステートパスの 2 つのレジスタの

CE 入力を、ICE は入力パスの 2 つのレジスタの CE 入力を制御します。

セット/リセット (SR) ラインと反転 (REV) ラインは、6 つのすべてのレジスタを制御します。

各記憶エレメントは、「IOB の概要」で説明したように、信号の極性を制御するだけでなく、表 5 に示す制御にも使用できます。

表 5：記憶エレメントのオプション

オプション	機能	特徴
FF/Latch	エッジトリガ型フリップフロップまたはレベルセンシティブラッチを選択	各記憶エレメントで個別に設定
SYNC/ASync	SR セット/リセット制御が同期か非同期かを指定	各記憶エレメントで個別に設定

表 5：記憶エレメントのオプション (続き)

オプション	機能	特徴
SRHIGH/SRLow	SR をセットにするかリセットにするかを指定。セットに設定した場合、記憶エレメントはロジック 1 (SRHIGH) に設定され、リセットに設定した場合は、ロジック 0 (SRLow) に設定される。	各記憶エレメントで個別に設定 (ODDR2 を使用した場合を除く)。ODDR2 を使用した場合、上側のレジスタの設定が両方のレジスタに適用される。
INIT1/INIT0	グローバル セット/リセット (GSR) のアサート時またはコンフィギュレーションの終了時の記憶エレメントの初期ステートをセット (INIT1) またはリセット (INIT0) に指定。デフォルトでは、SRLow を選択すると INIT0 に、SRHIGH を選択すると INIT 1 に指定される。	各記憶エレメントで個別に設定 (IOB を 2 つ含む ODDR2 を使用した場合を除く)。ODDR2 の場合、1 つの IOB に INIT0 を選択すると、もう一方に INIT1 を設定しても IOB 内の両方のエレメントに対して INIT0 が使用される。

ダブル データ レート 転送

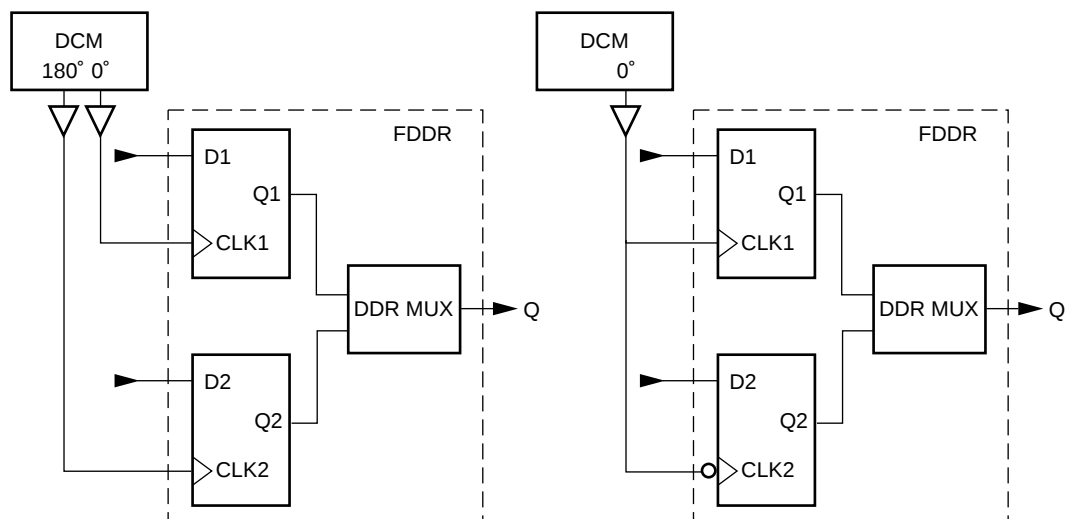
ダブル データ レート (DDR) 転送は、クロック信号の立ち上がりおよび立ち下りの両エッジに信号を同期させることができる技術です。Spartan-3E デバイスでは、3 つのすべての IOB パスで 2 つのレジスタを使用することにより、DDR 転送を可能にしています。

IOB の出力パスでレジスタとして使用される 2 つの記憶エレメント (OFF1 および OFF2) をマルチプレクサと使用すると、DDR の D タイプ フリップフロップ (ODDR2) が作成できます。これにより、出力データ ビットがクロックの立ち上がりおよび立ち下りの両エッジに同期した DDR 転送が可能になります。DDR 転送には、一方を反転した 2 つのクロック信号 (通常 50% のデューティ サイクル) が必要です。この 2 つのクロック信号を使用すると、図 7 に示すように 2 つのレジスタを交互にトリガできます。この 2 つのクロック信号は、DCM (デジタル クロック マネージャ) で入力信号を複製し、180 度シフトして生成します。この方法を使用すると、2 つの信号間のスキューを最小限に抑えることができます。また、IOB 内のインバータを使用してクロック信号を反転させると、1 つのクロック ラインでも、立ち上がりエッジと立ち下りエッジの両方を DDR フリップフロップの 2 つのクロックとして使用できます。

トライステート パスの 2 つの記憶エレメント (TFF1 および TFF2) をローカル マルチプレクサと使用して、DDR プリミティブを作成することも可能です。これにより、クロック信号の立ち上がりおよび立ち下りの両エッジに出力イネーブル信号を同期させることができます。出力パスでも同様の方法で DDR 転送が可能になります。

入力パスの 2 つの記憶エレメント (IFF1 および IFF2) を使用すると、I/O で DDR 信号を受信できるようになります。入力 DDR クロック信号が一方のレジスタをトリガし、反転クロック信号がもう一方のレジスタをトリガします。このように、2 つのレジスタで、入力 DDR データ信号のビットを交互に読み込みます。この際使用するプリミティブは、IDDDR2 です。

DDR は、広帯域なデータ転送だけでなく、出力されるクロック信号の再生成 (複製) にも使用できます。クロック信号の複製は、クロック信号とデータ信号を同時に転送する場合に使用します。複数の出力でクロック信号を再生成する場合も、同様の方法が使用されます。これらの方法を使用することにより、出力スキューを最小限に抑えることができます。



DS312-2_20_021105

図 7: DDR レジスタにクロックを送信する 2 つの方法

レジスタのカスケード機能

Spartan-3E では、差動ペアの IOB の入力記憶エレメント 1 つを同じペア内にあるもう 1 つの IOB の入力記憶エレメントに差動ペアの一部としてカスケード接続できます。これにより、DDR 転送が高速になり、インプリメントが容易になります。この DDR 接続は、図 5 に点線で表示されています。使用できるのは IOB 間の配線のみで、FPGA へはアクセスできません。この機能は、LVDS、RSDS、および MINI_LVDS 差動 I/O 規格を使用した場合にのみ使用できます。

IDDR2

DDR 入力の 1 つであるマスタ IOB には、ICLK1 の立ち上がりエッジと ICLK2 の立ち上がりエッジ (通常 ICLK1 の立ち下がりエッジ) でデータ (それぞれ D1 と D2) が入力されます。この後、データは FPGA に転送されます。両方の信号を、ある時点で同じクロックドメイン (通常は ICLK1) にする必要がありますが、設定可能な時間がクロックサイクルの半分しかないため (デューティサイクルが 50% の場合)、周波数が高い場合は困難なことがあります。図 8 はこの機能を示しています。

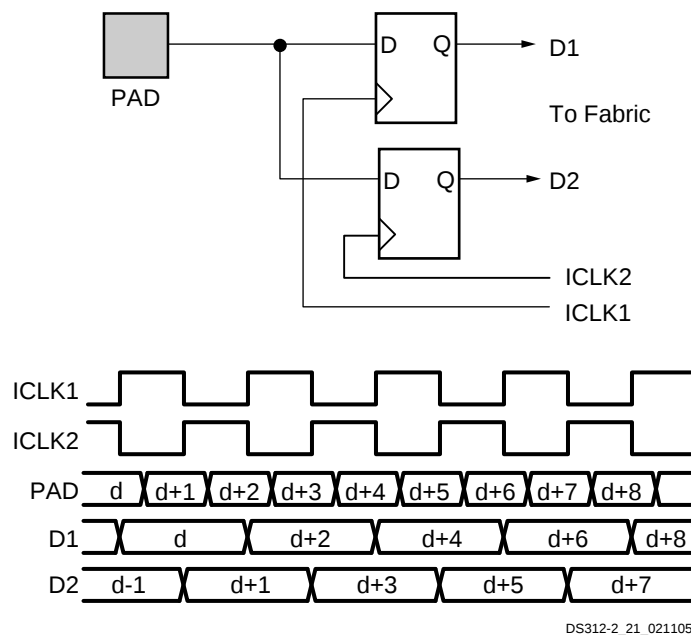


図 8：入力 DDR (カスケード機能なし)

Spartan-3E では、信号 D2 を隣接するスレーブ IOB の記憶エレメントにカスケード接続できます。この場合、信号 D2 は ICLK1

に同期して再び取り込まれ、D1 と同じクロックドメインとなって FPGA に読み込まれます。この段階で、FPGA は ICLK1 クロックのみを使用して受信データを処理します。図 9 は、この機能を示しています。

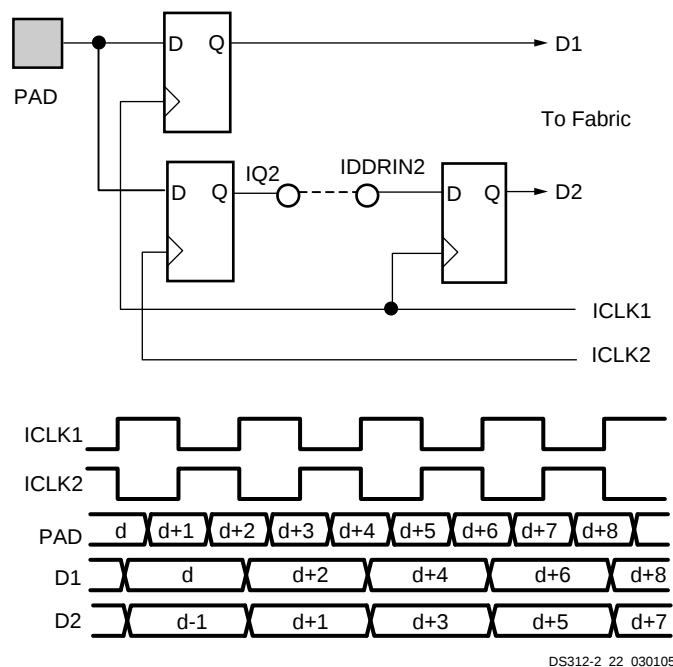


図 9：Spartan-3E のカスケード機能を使用した入力 DDR

ODDR2

DDR 出力の 1 つであるマスタ IOB には、OCLK1 の立ち上がりエッジと OCLK2 の立ち上がりエッジ (通常 OCLK1 の立ち下がりエッジ) で FPGA からのデータ (それぞれ D1 と D2) が入力されます。これらの 2 ビットのデータが DDR マルチプレクサにより多重化され、出力ピンに送信されます。D2 データ信号は、FPGA スライスのフリップフロップを用いて OCLK1 クロックドメインから OCLK2 クロックドメインへ再同期化される必要がありますが、このために利用可能な時間がクロックサイクルの半分しかないため、高周波数の場合は困難なことがあります。図 10 は、この機能を示しています。

注意：Spartan-3E FPGA ファミリーに初期設定されている ODDR2 フリップフロップの C0 または C1 アライメント機能は、ISE 開発ソフトウェアでは推奨またはサポートされていません。アライメント機能を使用しない場合、ODDR2 フリップフロップは完全にサポートされ、このときの ODDR2 の機能は従来のザイリンクス FPGA ファミリーの ODDR フリップフロップと同様です。

SelectIO 信号規格

Spartan-3E では、表 6 および表 7 に示すように、さまざまな I/O 信号規格がサポートされます。また、ほとんどの I/O は、差動ペアの作成に使用できるので、差動信号規格 (表 7) もサポートされます。

I/O 信号規格をデザインで定義するには、IOSTANDARD 属性を使用します。ザイリンクスでは、さまざまな IOSTANDARD 設定方法を提供しています。IOSTANDARD 属性の詳細は、ザイリンクス ソフトウェア マニュアルおよびヘルプを参照してください。

Spartan-3E ではバンク別に I/O 規格を変更できるので、柔軟な入力が可能です。特定の V_{CCO} 電圧については、表 6 および表 7 を参照してください。この表には IOSTANDARD が混合可能か、サポートされるのが入力のみまたは入力と出力の両方なのかといったことも記述されています。

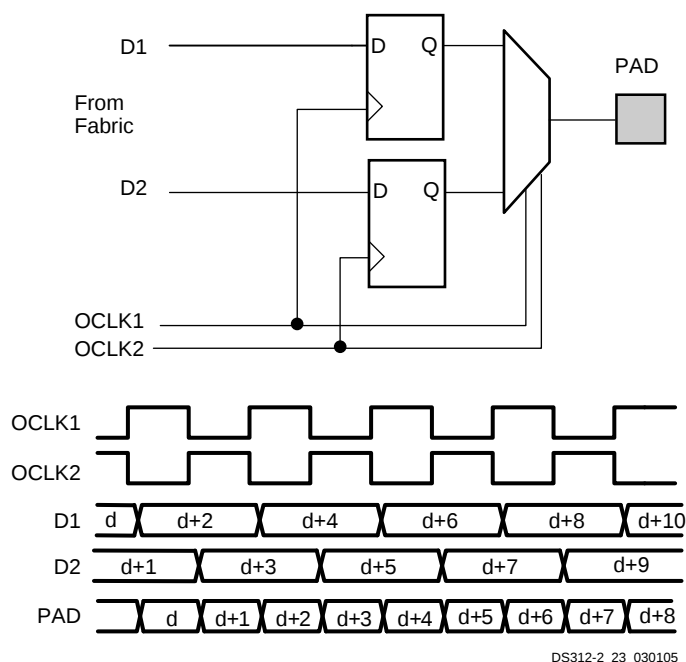


図 10：出力 DDR (カスケード機能なし)

表 6：シングルエンド IOSTANDARD のバンクの互換性

シングルエンド IOSTANDARD	V_{CCO} 電圧/互換性					入力条件	
	1.2V	1.5V	1.8V	2.5V	3.3V	V_{REF}	ボード終端電圧 (V_{TT})
LVTTL	-	-	-	-	入力/出力	N/R ⁽¹⁾	N/R
LVC MOS33	-	-	-	-	入力/出力	N/R	N/R
LVC MOS25	-	-	-	入力/出力	入力	N/R	N/R
LVC MOS18	-	-	入力/出力	入力	入力	N/R	N/R
LVC MOS15	-	入力/出力	入力	入力	入力	N/R	N/R
LVC MOS12	入力/出力	入力	入力	入力	入力	N/R ⁽¹⁾	N/R
PCI33_3	-	-	-	-	入力/出力	N/R	N/R
PCI66_3	-	-	-	-	入力/出力	N/R	N/R
HSTL_I_18	-	-	入力/出力	入力	入力	0.9	0.9
HSTL_III_18	-	-	入力/出力	入力	入力	1.1	1.8
SSTL18_I	-	-	入力/出力	入力	入力	0.9	0.9
SSTL2_I	-	-	-	入力/出力	入力	1.25	1.25

メモ：

1. N/R - 入力操作には必要ありません。

表 7 : 差動 IOSTANDARD のバンクの互換性

差動 IOSTANDARD	V _{CCO} 電圧			入力条件 : V _{REF}	差動バンクの制限 ⁽¹⁾
	1.8V	2.5V	3.3V		
LVDS_25	入力	入力、オンチップ差動終端、出力	入力	これらの I/O 規格には V _{REF} は使用されない	出力のみに適用
RSDS_25	入力	入力、オンチップ差動終端、出力	入力		出力のみに適用
MINI_LVDS_25	入力	入力、オンチップ差動終端、出力	入力		出力のみに適用
LVPECL_25	入力	入力	入力		差動バンクの制限なし (ほかの I/O バンクの制限が適用される場合あり)
BLVDS_25	入力	入力、出力	入力		
DIFF_HSTL_I_18	入力、出力	入力	入力		
DIFF_HSTL_III_18	入力、出力	入力	入力		
DIFF_SSTL18_I	入力、出力	入力	入力		
DIFF_SSTL2_I	入力	入力、出力	入力		

メモ :

1. 各バンクでは、LVDS_25 出力、MINI_LVDS_25 出力、RSDS_25 出力のいずれか 2 つがサポートされます。

HSTL 入力と SSTL 入力では、参照電圧 (V_{REF}) を使用することで入力スイッチのしきい値がバイアスされます。コンフィギュレーションデータファイルが FPGA に読み込まれ、バンクの I/O で HSTL/SSTL が使用されるように指定されると、同じバンクの予約された数本の I/O ピンは自動的に V_{REF} の入力に変換されます。HSTL または SSTL を含まないバンクの場合、V_{REF} ピンはユーザー I/O または入力ピンとして使用されます。

差動信号規格は、極性が反転したペアの信号です。これらの信号規格のノイズ除去プロパティ (同相除去など) を使用すると、かなり高速でデータ転送できます。このセクションでは、Spartan-3E デバイスの差動信号機能について説明します。

差動信号がサポートされるように最適化された I/O ペアは、デバイスとパッケージの組み合わせによって異なります。差動ペアは、PACE (Pin and Area Constraints Editor) で [Show Differential Pairs] をオンにすると表示されます。ピン名に含まれる L の後の番号は、各バンクのライン ペアを示します (モジュール 4 「ピン配置の説明」を参照)。また、P は正のラインを、N は反転した負のラインを示します。たとえば、IO_L43P_3 および IO_L43N_3 というピン名は、バンク 3 のライン ペア L43 に含まれる正のラインと反転した負のラインをそれぞれ示しています。

V_{CCO} は、出力に電流を供給するだけでなく、オンチップ差動終端に電源を供給します。オンチップ差動終端を使用する場合、V_{CCO} は 2.5V にする必要があります。V_{REF} ラインは、差動操作の場合は必要ありません。

バンク内で複数の IOSTANDARD を組み合わせる方法については、18 ページの「バンクの IOB」を参照してください。

オンチップ差動終端

Spartan-3E では、入力差動信号の受信ターミナルにオンチップの約 120Ω の差動終端があります。Spartan-3E のオンチップ入力差動終端を使用すると、差動受信回路によく使用される 100Ω の外部終端抵抗が不要になります。差動終端は、LVDS、mini-LVDS、RSDS に使用できます。

オンチップ差動終端は V_{CCO} = 2.5V のバンクで使用でき、専用の入力ピンではサポートされません。DIFF_TERM 属性を TRUE に設定すると、差動 I/O ピン ペアの差動終端がイネーブルになります。

DIFF_TERM 属性は、UCF ファイルの次の構文で設定します。

```
INST <I/O_BUFFER_INSTANTIATION_NAME>
DIFF_TERM = "<TRUE/FALSE>";
```

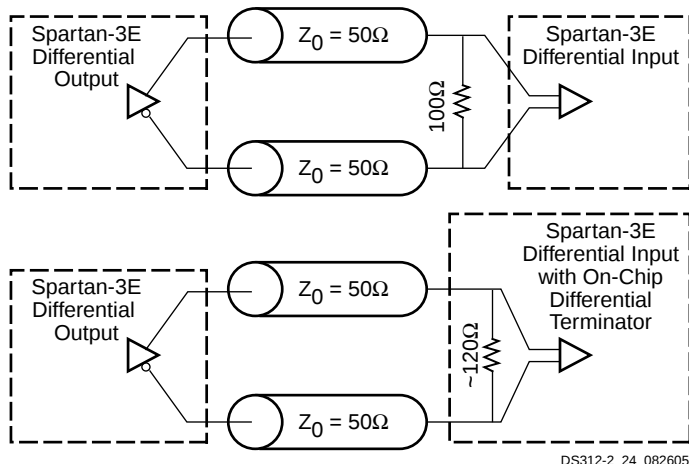


図 11 : 差動入力および出力

プルアップ抵抗およびプルダウン抵抗

各 IOB 内のプルアップ抵抗とプルダウン抵抗を使用すると、フローティング状態の I/O ピンまたは入力みのピンを強制的に特定のステートにできます。プルアップ抵抗とプルダウン抵抗は、通常は未使用の I/O、入力、トライステート出力に使用されますが、すべての I/O ピンまたは入力みのピンにも使用できます。プルアップ抵抗の場合、抵抗器を介して IOB が V_{CCO} に接続されます。抵抗値は V_{CCO} 電圧によって異なります (モジュール 3 「DC 特性およびスイッチ特性」を参照)。プルダウン抵抗の場合、抵抗器を介して IOB がグランドに接続されます。これらのオプションの抵抗器を使用するには、PULLUP、PULLDOWN 属性とライブラリプリミティブを使用します。

デフォルトでは、PULLDOWN 抵抗によってすべての未使用 I/O ピンおよび入力みのピンが終端処理されますが、PULLUP または FLOAT にも設定できます。未使用の I/O パッドの設定を変更するには、Bitstream Generator (BitGen) の UnusedPin オプションを PULLUP、PULLDOWN、FLOAT のいずれかに設定します。このオプションは、ISE の [Generate Programming File] プロセスの [Process Properties] ダイアログ ボックスから [Configuration Options] ページにある [Unused IOB Pins] プロパティで設定できます。「BitGen (Bitstream Generator) のオプション」を参照してください。

コンフィギュレーション時に HSWAP ピンのロジック レベルが Low の場合、選択したコンフィギュレーション モードで使えない I/O ピンおよび入力みのピンすべてのプルアップ抵抗がアクティブになります。

キーパ回路

各 I/O にオプションに含まれるキーパ回路 (図 12 を参照) は、バスラインが駆動されていないときにフローティング状態にならないようにします。キーパ回路は、すべてのドライバがオフになった後もラインの最後のロジック レベルを保持します。KEEPER 属性、または KEEPER ライブラリプリミティブでキーパ回路を使用するように設定します。プルアップ抵抗またはプルダウン抵抗を使用すると、KEEPER 設定が上書きされます。

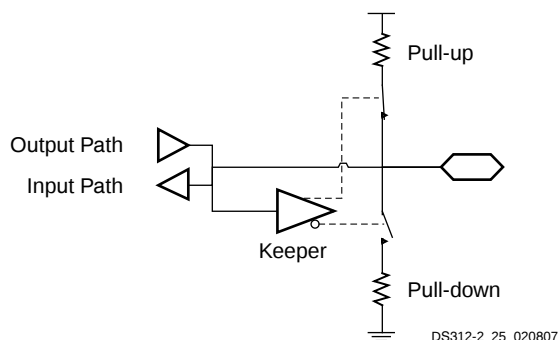


図 12: キーパ回路

スルー レートの制御と駆動電流

各 IOB には、LVCMOS および LVTTL 出力の出力スイッチ エッジ レートを設定するスルー レート制御機能が含まれます。ス

ルー レートは SLEW 属性で制御され、SLOW (デフォルト) または FAST のいずれかに設定できます。

LVCMOS および LVTTL 出力では、表 8 のように最大で 6 種類の電流がサポートされます。出力によって電流を調節するには、DRIVE 属性を使用する電流 (2、4、6、8、12、16) に設定します。FPGA アプリケーションで指定しない限り、ソフトウェアのデフォルトの IOSTANDARD は LVCMOS25、スルー レートは SLOW、出力 12mA です。

表 8: プログラマブルな出力駆動電流

IOSTANDARD	出力駆動電流 (mA)					
	2	4	6	8	12	16
LVTTL	✓	✓	✓	✓	✓	✓
LVCMOS33	✓	✓	✓	✓	✓	✓
LVCMOS25	✓	✓	✓	✓	✓	-
LVCMOS18	✓	✓	✓	✓	-	-
LVCMOS15	✓	✓	✓	-	-	-
LVCMOS12	✓	-	-	-	-	-

出力電流を高くし、スルー レートを FAST にすると、通常 I/O のパフォーマンスは最速になりますが、最短のボードトレース以外の PCB の伝送ラインに影響を与えます。スルー レートと電流の制御は IOB によって異なります。エンド アプリケーションで最低限必要な速さのスルー レートと出力駆動電流を使用してください。

また、高速、高電流の出力を使用すると、リード インダクタンスがあるために、指定したパッケージでサポートされる同時スイッチ出力 (SSO) の数が限られてしまいます。高速、高電流の出力はアプリケーションで必要な場合にのみ使用してください。

バンクの IOB

Spartan-3E では、図 13 に示すように、IOB が 4 つの I/O バンクに分けられます。 V_{CCO} および V_{REF} 電源はバンクごとにあります。電源が別々になっているため、バンクごとに V_{CCO} を設定できます。 V_{REF} も同様にバンクごとに設定できます。 V_{CCO} と V_{REF} の要件については、表 6 および表 7 を参照してください。

Spartan-3E デバイスでは、ほとんどの差動 I/O 規格に互換性があり、指定したバンク内で組み合わせて使用できます。どのバンクでも LVDS_25 出力、MINI_LVDS_25 出力、RSDS_25 出力のいずれか 2 つの規格をサポート可能です。たとえば、オンチップ差動終端を使用する場合、LVDS_25 出力と RSDS_25 出力とその他の差動入力を組み合わせて使用できます。LVDS_25 出力、RSDS_25 出力、および MINI_LVDS_25 出力を 1 つのバンクで組み合わせることはできません。

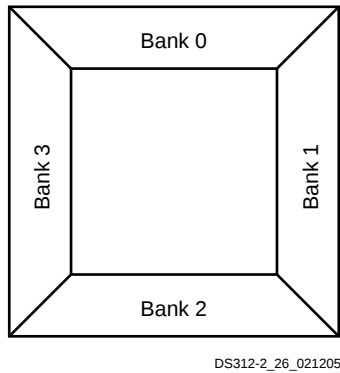


図 13: Spartan-3E I/O バンク (上面図)

I/O バンクの規則

I/O をバンクに割り当てる場合は、次の V_{CCO} 規則に従ってください。

1. FPGA の V_{CCO} ピンはすべて、バンクが未使用でも接続しておく必要があります。
2. バンク内で接続された V_{CCO} ラインは、すべて同じ電圧レベルに設定する必要があります。
3. バンクの I/O に割り当てられた信号規格の V_{CCO} レベルをすべて一致させる必要があります。ザイリンクスの開発ツールではこれが自動的にチェックされます。表 6 および表 7 に、 V_{CCO} の使用方法が規格別に記述されています。
4. バンクに V_{CCO} 要件がない場合は、 V_{CCO} を 2.5V や 3.3V のような使用可能な電圧に接続します。コンフィギュレーションモードによって、ほかの V_{CCO} 要件がある場合もあります。詳細は、「コンフィギュレーション」を参照してください。

バンクの入力に割り当てられた信号規格で V_{REF} が使用される場合は、次のような規則にも従う必要があります。

1. バンク内の V_{REF} ピンは、すべて接続する必要があります。
2. バンクに接続された V_{REF} ラインはすべて同じ電圧レベルに設定する必要があります。
3. バンクの入力に割り当てられた信号規格の V_{REF} レベルをすべて一致させる必要があります。ザイリンクスの開発ツール

ではこれが自動的にチェックされます。表 6 には、 V_{REF} の使用方法が規格別に記述されています。

V_{REF} が不要な場合は、バンク内で接続されている V_{REF} ピンはすべてユーザー I/O または入力ピンとして使用できます。

フットプリントの互換性

アプリケーションが指定した Spartan-3E FPGA のサイズを超えてしまうことがあります。モジュール 4 「ピン配置の説明」に示すように、ピンに互換性のあるパッケージのフットプリントでは、複数のパーツタイプが使用できます。ただし、同じフットプリントで使用可能なデバイスでもわずかな違いがあることがあります。1 つのデバイスで未接続のピンが同じパッケージの別のデバイスでは接続されていたり、1 つのパッケージの入力専用ピンがほかのパッケージでは I/O であったりといった違いは、パッケージごとに説明されています。PCB を設計する際は、今後のアップグレードや移行予定なども考慮してください。

Spartan-3E ファミリのピンは、以前のザイリンクス FPGA ファミリとは互換性がありません。

専用入力

専用入力とは、入力としてしか使用されない IOB です。IP や IP_Lxxx_x のような IP で始まるピン名は、それが専用入力であることを示しています。差動専用入力の場合、オンチップ差動終端は使用できません。その場合、出力 (IO_Lxxx_x) をサポートする差動ペアを選択するか、ボードで 100Ω の外部終端抵抗を使用します。

ESD 保護

クランプ ダイオードは、すべてのデバイス パッドを ESD (静電気放電) および過電圧によるダメージから保護します。各 I/O には、2 つのクランプ ダイオードが含まれています。一方のダイオードは、パッドから V_{CCO} までの P から N で、もう一方は、パッドから GND までの N から P で使用されます。クランプ ダイオードは、電源が切れた状態でも常時機能します。また、これらのダイオードは、選択した信号規格に関係なく常にパッドに接続されます。ダイオードを使用すると、高電圧信号を許容する Spartan-3E の I/O の機能が制限されます。I/O で許容可能な電圧範囲は、「DC 特性およびスイッチ特性」(モジュール 3) の表 72 に絶対最大定格値 V_{IN} として示されています。

IOB の電源電圧

IOB には、次の 3 つの電源があります。

1. V_{CCO} : FPGA の I/O バンクにそれぞれ 1 つずつあり、出力ドライバへ電源を供給します。 V_{CCO} ピンの電圧により、出力信号の電圧幅が決まります。
2. V_{CCINT} : FPGA 内部ロジックのメインの電源です。
3. V_{CCAUX} : I/O の切り替えなど FPGA のさまざまな機能のパフォーマンスを最適化する補助電源です。

電源投入/コンフィギュレーション/ユーザーモードでの I/O および入力のためのピンの動作

このセクションで説明される I/O ピンの動作は、入力のみのピンおよび選択したコンフィギュレーション モードで使用されない多目的 I/O ピンにも該当します。

すべての I/O ピンには、図 5 に示すように、それぞれの V_{CCO} 電源に対して GND からのラインに ESD クランプ ダイオードが含まれます。 V_{CCINT} (1.2V)、 V_{CCAUX} (2.5V)、 V_{CCO} の電源投入には、決まった順序はありません。FPGA のコンフィギュレーションが始まる前に、 V_{CCINT} 、 V_{CCO} (バンク 2)、 V_{CCAUX} の電圧は表 73 の最小値に達している必要があります。この段階で、出力ドライバはすべてハイ インピーダンスになっています。 V_{CCO} (バンク 2)、 V_{CCINT} 、および V_{CCAUX} は、内部のパワーオン リセット (POR) 回路への入力になります。

HSWAP 入力が高レベルになると、電源投入時からコンフィギュレーション完了まで、ユーザー I/O と入力のみのピンのプルアップ抵抗がイネーブルになります。HSWAP 入力が高レベルになると、プルアップ抵抗がディスエーブルになり、I/O がフローティング状態になります。HSWAP には、内部プルアップ抵抗が含まれ、フローティングの場合はデフォルトで High になります。電源投入後すぐに、コンフィギュレーション メモリの初期化が開始します。同時に、FPGA 内部で GSR (グローバル セット/リセット) がアサートされ、非同期にすべての I/O 記憶エレメントがデフォルトの Low にリセットされます。詳細は、「[コンフィギュレーション中のピンの動作](#)」を参照してください。

初期化が完了してコンフィギュレーションが開始されると、INIT_B が High になり、M0、M1、M2 入力がサンプリングされてコンフィギュレーション モードが選択されます。その後、コン

フィギュレーション データが FPGA に読み込まれます。I/O ドライバは、コンフィギュレーションが完了するまでハイインピーダンス状態のままです。プルアップ抵抗の有無は、HSWAP 入力の設定によって指定されます。

コンフィギュレーションが終了すると、GSR ネットが解除され、読み込まれたデザインで SR 入力の極性が反転されている場合以外は、IOB レジスタがデフォルトで Low になります。

GTS (グローバル トライ ステート) ネットがスタートアップ中に解除されると、コンフィギュレーションの完了が示され、ユーザーモードのデザイン操作が開始します。GTS ネットが解除されると、すべてのユーザー I/O がアクティブになり、未使用の I/O はプルダウン (PULLDOWN) されます。GTS 解除後の未使用 I/O の終端方法は、Bitstream Generator (BitGen) の UnusedPin オプションを PULLUP、PULLDOWN、FLOAT のいずれかに設定して選択します。

1 クロック サイクル (デフォルト) 後には、GWE (グローバル ライト イネーブル) ネットが解除され、RAM とレジスタのステートを変更できるようになります。ユーザー モードになると、HSWAP でイネーブルになったプルアップ抵抗がユーザー設定に戻り、HSWAP が汎用の I/O として使用できるようになります。プルアップ抵抗およびプルダウン抵抗の詳細は、「[プルアップ抵抗およびプルダウン抵抗](#)」を参照してください。

コンフィギュレーション後の未使用 I/O ピンの動作

デフォルトでは、ザイリンクス開発ソフトウェアの ISE により、すべての未使用 I/O ピンが入力ピンとしてコンフィギュレーションされます。各入力ピンには、GND に接続された内部プルダウン抵抗が接続されます。

これは、BitGen (Bitstream Generator) の UnusedPin で設定します (表 68 を参照)。

JTAG バウンダリ スキャン機能

Spartan-3E の IOB では、IEEE 1149.1/1532 規格に準拠したバウンダリ スキャン テストがサポートされます。EXTEST および HIGHZ などのバウンダリ スキャン動作中は、プルダウン抵抗はアクティブです。JTAG を使用したプログラム情報については、「[JTAG モード](#)」を参照してください。

CLB とスライス リソース

詳細は、[UG331](#) の「CLB (コンフィギュラブル ロジック ブロック) の使用」を参照してください。

CLB の概要

CLB (コンフィギュラブル ロジック ブロック) は、同期回路や組み合わせ回路をインプリメントするためのロジック リソースです。CLB にはそれぞれ 4 つのスライスが含まれ、各スライスには、ロジックおよびフリップフロップまたはラッチとして使用可能な 2 つの専用記憶エレメントをインプリメントする LUT (ルックアップ テーブル) が 2 つ含まれます。LUT は 16x1 メモリ (RAM16)

または 16 ビットのシフトレジスタ (SRL16) として使用でき、マルチプレクサやキャリー ロジックを追加することで多入力ロジックおよび演算機能を単純化できます。デザインで最も汎用なロジックは、CLB のスライス リソースに自動的にマップされます。CLB の構造はすべて同じで、Spartan-3E と Spartan-3 でも違いはありません。

CLB の配列

CLB は、[図 14](#) のように規則的に並んでいます。

集積度は、CLB の列数と行数によって異なります ([表 9](#) を参照)。

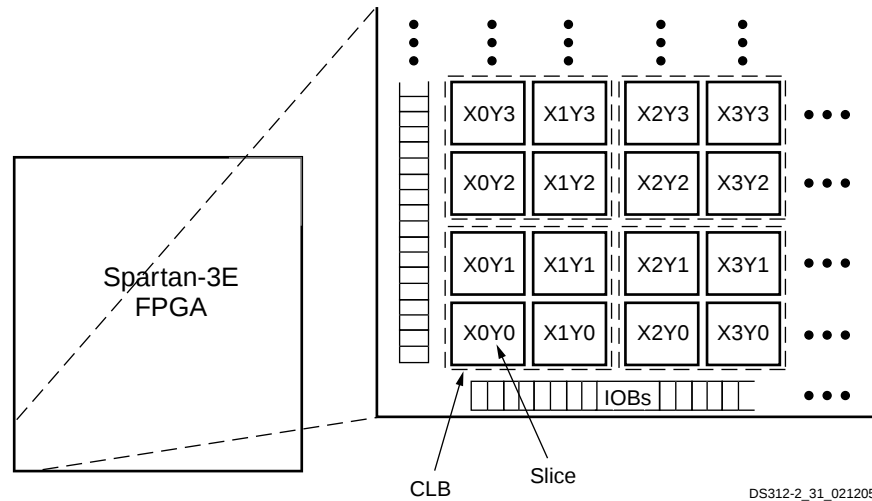


図 14: CLB のロケーション

表 9: Spartan-3E の CLB リソース

デバイス	CLB の 行数	CLB の 列数	CLB の 総数 ⁽¹⁾	スライス 数	LUT/フリップ フロップ数	等価 ロジック セル数	RAM16/ SRL16 数	分散 RAM の ビット数
XC3S100E	22	16	240	960	1,920	2,160	960	15,360
XC3S250E	34	26	612	2,448	4,896	5,508	2,448	39,168
XC3S500E	46	34	1,164	4,656	9,312	10,476	4,656	74,496
XC3S1200E	60	46	2,168	8,672	17,344	19,512	8,672	138,752
XC3S1600E	76	58	3,688	14,752	29,504	33,192	14,752	236,032

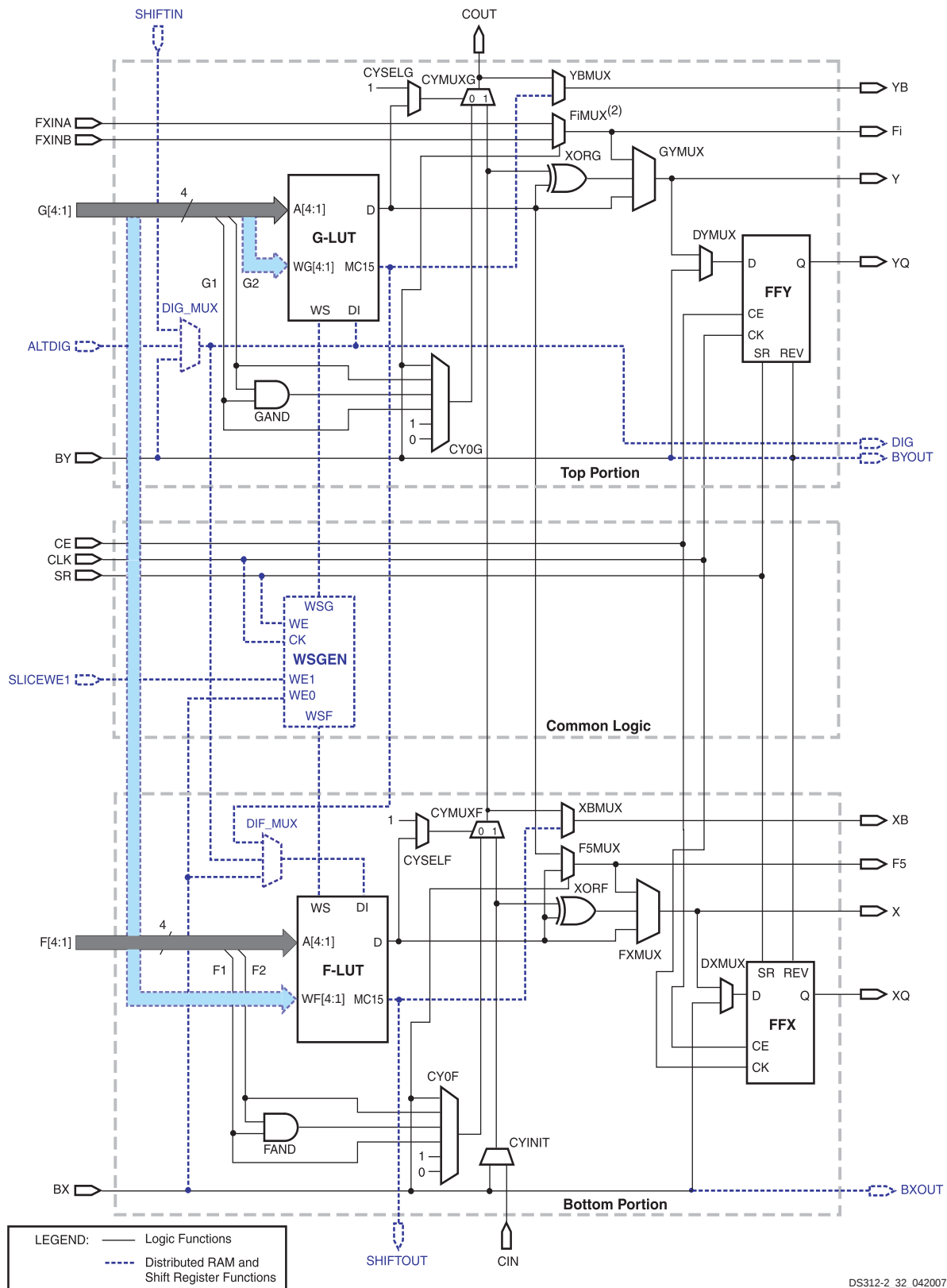
メモ:

1. ブロック RAM/乗算器ブロックおよび DCM が CLB の配列内に埋め込まれているため (モジュール 1 の [図 1](#) を参照)、CLB の総数は行と列の値の乗算値よりも少なくなります。

スライス

各 CLB は、[図 16](#) に示すようにインターコネクトされた 4 つのスライスで構成されています。これら 4 つのスライスは、2 つずつに分割され、それぞれ 1 列に並んで配置されており、独立したキャリーチェーンがあります。左側のペアは SLICEM と呼ばれ、ロジックとメモリ機能をサポートします。右側のペアは SLICEL

と呼ばれ、ロジックのみがサポートされます。つまり、LUT の半分はロジックとメモリ (RAM16、SRL16 シフトレジスタなど) の両方を、もう半分はロジックのみをサポートします。この 2 種類の LUT は交互に配列されています。SLICEL は CLB のサイズを減少させ、デバイスのコストを抑えます。また、SLICEM よりも優れたパフォーマンスを提供可能です。



DS312-2_32_042007

メモ:

1. 信号の極性を反転させるオプションやさまざまなファンクションのラインをイネーブルにするオプションは示していません。
2. FiMUXの「i」は、スライスによって6、7、または8になります。上側のSLICELにはF8MUXが、上側のSLICEMのにはF7MUXが含まれ、下側のSLICELおよびSLICEMにはF6MUXが含まれます。

図 15: 左側の SLICEM の略図

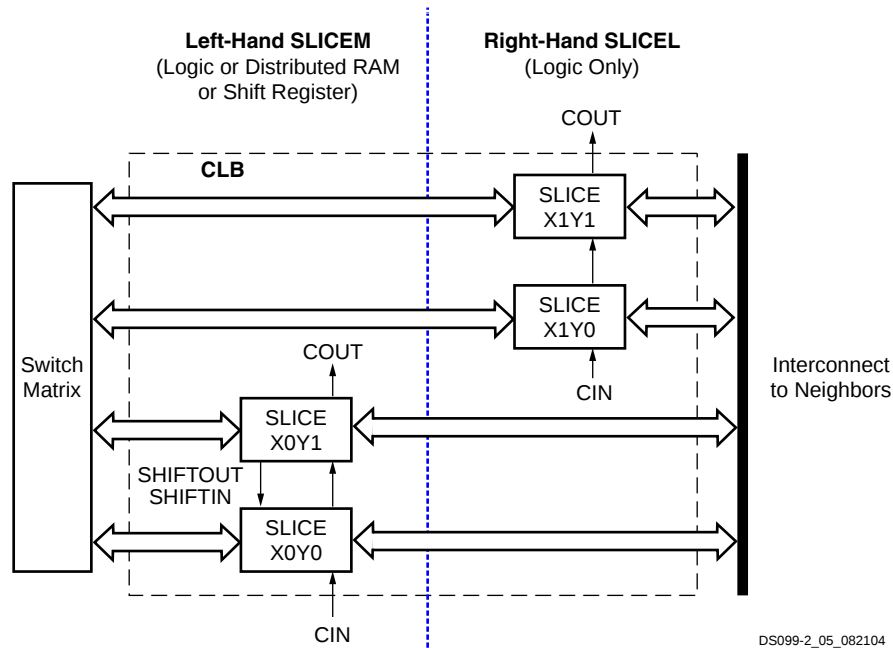


図 16：CLB 内のスライスの位置

スライス ロケーションの指定

ザイリンクス開発ツールの ISE では、左下を基準とした X 軸と Y 軸に従って、スライスのロケーションを指定します (図 14 を参照)。X の後の数字はスライスの列を示し、左から右に向かって増加します。Y の後の数字は各スライスの位置と CLB の行を示し、下から上に向かって増加します。図 16 は、左下の CLB を示しています。SLICEM の X の後の数字は常に偶数で、SLICEL の X の後の数字は常に奇数です。

スライスの概要

図 17 に示すように、スライスには LUT ファンクション ジェネレータ 2 つ、記憶エレメント 2 つ、および追加のロジックが含まれます。

SLICEM と SLICEL のどちらにも論理、演算、ROM のファンクションを提供する次のエレメントが含まれます。

- 4 入力の LUT ファンクション ジェネレータ (G および F) 2 つ
- 記憶エレメント 2 つ
- 多入力マルチプレクサ 2 つ (F5MUX および FiMUX)
- キャリーおよび演算ロジック

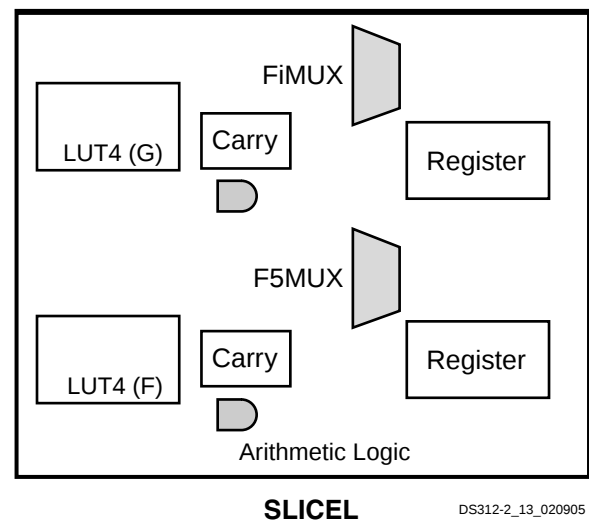
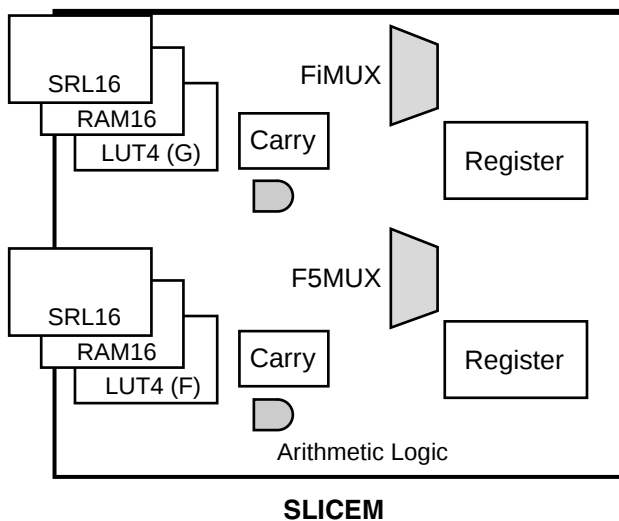


図 17：スライスのリソース

SLICEM ペアでは、次のファンクションもサポートされます。

- 16x1 分散 RAM ブロック (RAM16) 2 つ
- 16 ビット シフト レジスタ (SRL16) 2 つ

これらの詳細は、後のセクションでそれぞれ説明します。

ロジック セル

LUT と記憶エレメントを組み合わせたものは、ロジック セルと呼ばれます。多入力マルチプレクサ、キャリー ロジック、論理演算ゲートなどの追加機能により、スライスの能力が向上し、ロジックをインプリメントするために LUT を追加する必要はなくなります。ベンチマークによると、スライスは単純なロジック セル 2.25 個分に相当します。表 9 の等価ロジック セル数はこの結果に基づいて算出されています。

スライスの詳細

図 15 は、SLICEM を詳細に表しています。この図は、どのスライスにも存在するエレメントと接続を表しています。点線で囲まれた矢印 (カラーで表示すると青) は、SLICEL にはなく、SLICEM にだけ存在するリソースを示しています。

各スライスは上下に 2 分割されており、上側および下側のスライスと区別するためスライス上部およびスライス下部と呼ばれます。

す。クロック (CLK)、クロック イネーブル (CE)、スライス ライト イネーブル (SLICEWE1)、リセット/セット (RS) の入力は、上下で共有されます。

スライスの上部と下部には、それぞれ G (G-LUT) と F (F-LUT) という LUT があります。スライスの上下に含まれる記憶エレメントは、それぞれ FFY および FFX と呼ばれます。

スライスの下部には F5MUX が、上部には FiMUX というマルチプレクサがあります。スライスによって、FiMUX はマルチプレクサ チェーンでの位置に従って F6MUX、F7MUX、F8MUX のいずれかになります。下側の SLICEL および SLICEM のには、それぞれ F6MUX が含まれます。上側の SLICEM には F7MUX が、上側の SLICEL には F8MUX が含まれます。

キャリー チェーンは CIN としてスライス下部に入力され、COUT として上部から出力されます。キャリー チェーンは、5 つのマルチプレクサ (下部の CYN1Y、CY0F、CYMUXF、および上部の CY0G、CYMUXG) で制御されます。専用の演算ロジックには、XORF (スライス下部) および XORG (上部) という XOR ゲートや、FAND (下部) および GAND (上部) という AND ゲートが含まれます。

スライスの入力信号および出力信号の詳細は、表 10 を参照してください。

表 10 : スライスの入力および出力

信号名	位置	ピン方向	説明
F[4:1]	SLICEL/M 下部	入力	F-LUT および FAND 入力
G[4:1]	SLICEL/M 上部	入力	G-LUT および GAND 入力、またはライト アドレス (SLICEM)
BX	SLICEL/M 下部	入力	バイパスまたは出力 (SLICEM)、記憶エレメント、F5MUX への制御入力、キャリー ロジックへの入力、RAM (SLICEM) へのデータ入力
BY	SLICEL/M 上部	入力	バイパスまたは出力 (SLICEM)、記憶エレメント、FiMUX への制御入力、キャリー ロジックへの入力、RAM (SLICEM) へのデータ入力
BXOUT	SLICEM 下部	出力	BX バイパス出力
BYOUT	SLICEM 上部	出力	BY バイパス出力
ALTDIG	SLICEM 上部	入力	RAM への代替データ入力
DIG	SLICEM 上部	出力	ALTDIG または SHIFTIN バイパス出力
SLICEWE1	SLICEM 共有エリア	入力	RAM ライト イネーブル
F5	SLICEL/M 下部	出力	F5MUX からの出力、FiMUX へ直接フィードバック
FXINA	SLICEL/M 上部	入力	FiMUX への入力、F5MUX またはほかの FiMUX からの直接フィードバック
FXINB	SLICEL/M 上部	入力	FiMUX への入力、F5MUX またはほかの FiMUX からの直接フィードバック
Fi	SLICEL/M 上部	出力	FiMUX からの出力、別の FiMUX へ直接フィードバック
CE	SLICEL/M 共有エリア	入力	FFX/Y クロック イネーブル
SR	SLICEL/M 共有エリア	入力	FFX/Y セット/リセットまたは RAM ライト イネーブル (SLICEM)
CLK	SLICEL/M 共有エリア	入力	FFX/Y クロックまたは RAM クロック (SLICEM)
SHIFTIN	SLICEM 上部	入力	G-LUT RAM へのデータ入力

表 10：スライスの入力および出力 (続き)

信号名	位置	ピン方向	説明
SHIFTOUT	SLICEM 下部	出力	F-LUT RAM からのシフト データ出力
CIN	SLICEL/M 下部	入力	キャリー チェーン入力
COUT	SLICEL/M 上部	出力	キャリー チェーン出力
X	SLICEL/M 下部	出力	組み合わせ出力
Y	SLICEL/M 上部	出力	組み合わせ出力
XB	SLICEL/M 下部	出力	キャリー チェーンまたは F-LUT SRL16 からの組み合わせ出力 (SLICEM)
YB	SLICEL/M 上部	出力	キャリー チェーンまたは G-LUT SRL16 からの組み合わせ出力 (SLICEM)
XQ	SLICEL/M 下部	出力	FFX 出力
YQ	SLICEL/M 上部	出力	FFY 出力

ロジック パス

スライスの中央部には、上下それぞれにほぼ同じパスが 1 つずつ含まれています。この後の説明では、下部のパスの名前を使用し、上部のパスの名前をかつこ内に示します。パスは、CLB の外部でインターコネクトされたスイッチ マトリックスから接続されています。スイッチ マトリックスと配線接続の詳細は、「[インターコネクト](#)」を参照してください。

F1 から F4 (上部パスの場合は G1 から G4) の 4 つのラインはスライスに入力され、LUT に直接接続されます。スライスに入力されると、下位 4 ビット パスはロジック動作を実行する LUT-F (LUT-G) を介して出力されます。この LUT のデータ出力 D には、次の 5 つのパスを接続できます。

1. ライン X (または Y) を介してスライスから出力し、再びインターコネクトに戻る。
2. スライス内で X (または Y) が、DXMUX (DYMUX) を介して記憶エレメント FFX (FFY) のデータ入力 D に接続される。データは、この記憶エレメントの出力 Q から、XQ (YQ) ラインを通り、スライスから出力する。
3. キャリー チェーンの CYMUX (CYMUXG) マルチプレクサを制御する。
4. キャリー チェーンを使用し、論理演算を実行する XOR ゲート XORF (XORG) を介して X (Y) に出力される。
5. F5MUX マルチプレクサを駆動して 4 ビット以上のロジックファンクションをインプリメントする。F-LUT および G-LUT の出力 D がこのマルチプレクサへの入力になる。

上記のロジック パスのほかにも、BX および BY としてスライスに入力する 2 つのバイパス パスがあります。これらパスが FPGA に入力されると、スライス下部の BX (上部は BY) では、次のように分岐します。

1. LUT と記憶エレメントをバイパスし、BXOUT (BYOUT) としてスライスから出力してインターコネクトに戻る。
2. LUT をバイパスし、D 入力から記憶エレメントを介して XQ (YQ) として出力される。
3. 多入力マルチプレクサ F5MUX (FiMUX) を制御する。
4. マルチプレクサを介したキャリー チェーンへの入力として使用する。
5. LUT の DI 入力を駆動する。
6. BY で、FFY および FFX 記憶エレメント両方からの REV 入力を制御する (「[記憶エレメントの機能](#)」を参照)。
7. DIG_MUX マルチプレクサを使用して BY を DIG ラインに切り替え、スライスから出力する。

制御入力 CLK、CE、SR、BX、BY の極性はプログラム可能です。LUT 入力の場合は、LUT の中で極性を反転できるため、プログラムする必要はありません。

LUT の詳細は、次のセクションを参照してください。

ルックアップ テーブル

ルックアップ テーブル (LUT) は RAM ベースのファンクションジェネレータで、ロジック ファンクションをインプリメントする際のメイン リソースになります。また、SLICEM の LUT は分散 RAM または 16 ビットのシフト レジスタに設定できます (後に説明あり)。

スライス内の 2 つの LUT (F と G) のそれぞれには、4 つのロジック入力 (A1 から A4) および 1 つの出力 (D) が含まれます。4 つの変数を持つブール ロジックであれば、1 つの LUT にインプリメントできます。さらに多くの入力のあるロジックをインプリメントする場合は、LUT をカスケード接続するか、多入力マルチプレクサ (後に説明あり) を使用します。

LUT の出力は多入力マルチプレクサ ロジック、キャリー/演算ロジックに接続できるほか、CLB 出力や CLB 記憶エレメントに直接接続できます。[図 18](#) を参照してください。

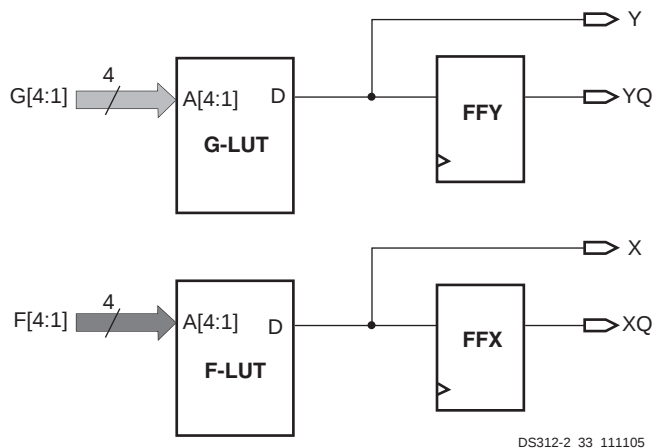


図 18：スライスの LUT リソース

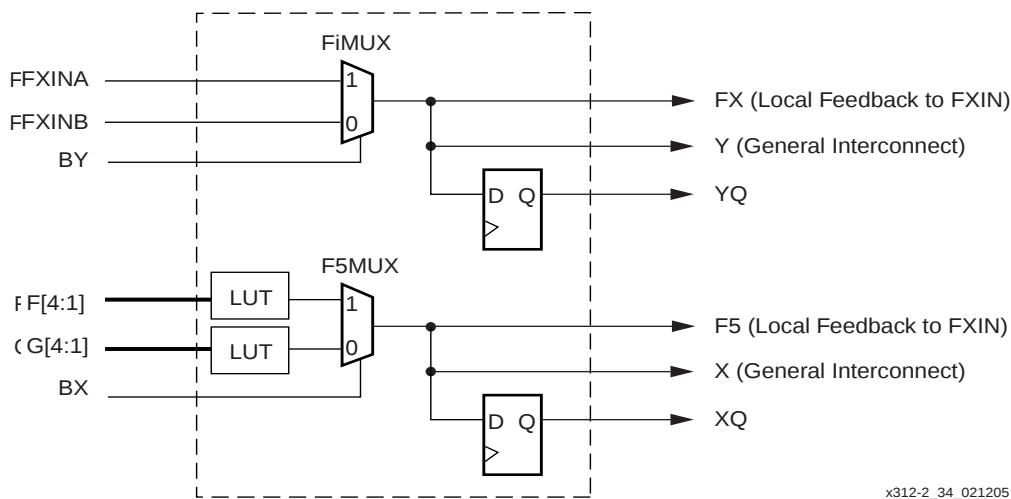


図 19：Spartan-3E の CLB 専用のマルチプレクサ

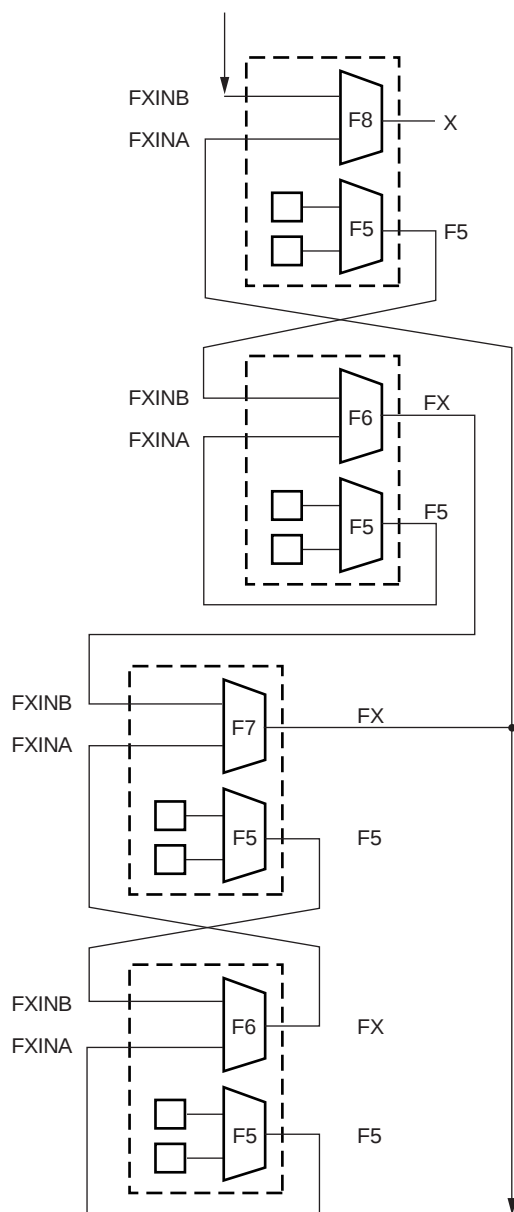
FiMUX は、スライスによって F6MUX、F7MUX、F8MUX のいずれかになります。この数字は、制限なく使用できる入力の数を表しています。たとえば、F7MUX の場合、7 入力のファンクションが生成できます。図 20 は、Spartan-3E の CLB に含まれる各マルチプレクサの名前を示しています。この図には、CLB 内の直接入力と、下の CLB への F7MUX の接続も記述されています。どのマルチプレクサでも、名前に使用されている数字より入力を増やすことができます。たとえば、F5MUX は 5 入力のファンク

多入力マルチプレクサ

詳細は、UG331 の「専用マルチプレクサの使用」を参照してください。

多入力マルチプレクサは、LUT を効率的に組み合わせることにより、複雑なロジック動作を可能にします。スライス下部には F5MUX が、上部には FiMUX というマルチプレクサがあります。F5MUX には、スライス内の 2 つの LUT からの出力が入力されます。FiMUX には 2 つの CLB 入力が入力されます。これらの入力は、同一またはほかのスライスからの F5MUX および FiMUX の出力に直接接続されます。図 19 を参照してください。

ションを生成でき、そのうちの 4 入力は 2 つの LUT で複製され、5 つ目の入力がマルチプレクサを制御します。LUT はそれぞれ 2:1 マルチプレクサをインプリメントできるので、F5MUX ではその 2 つを組み合わせることで 6 入力のファンクションである 4:1 マルチプレクサを作成できます。2 つの LUT の入力が完全に独立している場合、この 9 入力のすべてを使用したファンクションの一部もインプリメントできます。表 11 は、各マルチプレクサの接続とインプリメント可能な入力数を示しています。



DS312-2_38_021305

図 20 : Spartan-3E の CLB のマルチプレクサと専用フィードバック

表 11 : マルチプレクサの機能

マルチプレクサ	使用法	入力ソース	各ファンクションの総入力数		
			ファンクション	マルチプレクサ	制限付きファンクション
F5MUX	F5MUX	LUT	5	6 (4:1 マルチプレクサ)	9
FiMUX	F6MUX	F5MUX	6	11 (8:1 マルチプレクサ)	19
	F7MUX	F6MUX	7	20 (16:1 マルチプレクサ)	39
	F8MUX	F7MUX	8	37 (32:1 マルチプレクサ)	79

多入力マルチプレクサは、ツールで自動的に生成させるか、F5MUX のようなコンポーネントを使用してデザインにインストールできます。シンボル、信号、ファンクションについては次に説明します。この説明は、F6MUX、F7MUX、F8MUX でも同様です。これらのマルチプレクサには、それぞれ汎用出力、ローカル出力のいずれか、またはその両方を持つものがあります。

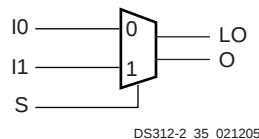


図 21：ローカル出力と汎用出力を持つ F5MUX

表 12：F5MUX の入力と出力

信号	機能
I0	S が Low の場合に選択される入力
I1	S が High の場合に選択される入力
S	セレクト入力
LO	F5 または FX ピンに接続されるローカル出力 (FXIN 入力へのローカルフィードバックを FiMUX にカスケード接続)
O	汎用の組み合わせ出力またはレジスタ付き出力に接続される汎用出力

表 13：F5MUX の機能

入力			出力	
S	I0	I1	O	LO
0	1	X	1	1
0	0	X	0	0
1	X	1	1	1
1	X	0	0	0

キャリーおよび演算ロジック

詳細は、[UG331](#) の「キャリーおよび演算ロジック」を参照してください。

キャリー チェーンとさまざまな専用の演算ロジック ゲートを使用することで、高速で効率的な演算機能が可能になります。キャリー ロジックは、ほとんどの演算ファンクションで自動的に使用されます。キャリーおよび演算ロジックのゲートとマルチプレクサは、単純な多入力のブール関数を含む汎用ロジックでも使用できます。

キャリー チェーンはスライスに CIN として入力され、複数のマルチプレクサを介して COUT から出力されます。キャリー チェーンは CLB とその 1 つ上の CLB を直接接続します。また、どの時点でも BX (BY) 入力で初期化できます。

専用の演算ロジックには、XORF (スライス上部) および XORG (下部) という XOR ゲートや、GAND (上部) および FAND (下部) という AND ゲートが含まれています。このゲートを LUT に接続すると、カウンタやマルチプレクサといった効率的な演算ファンクションをインプリメントできます (通常各スライスで 2 ビット)。図 22 および表 14 を参照してください。

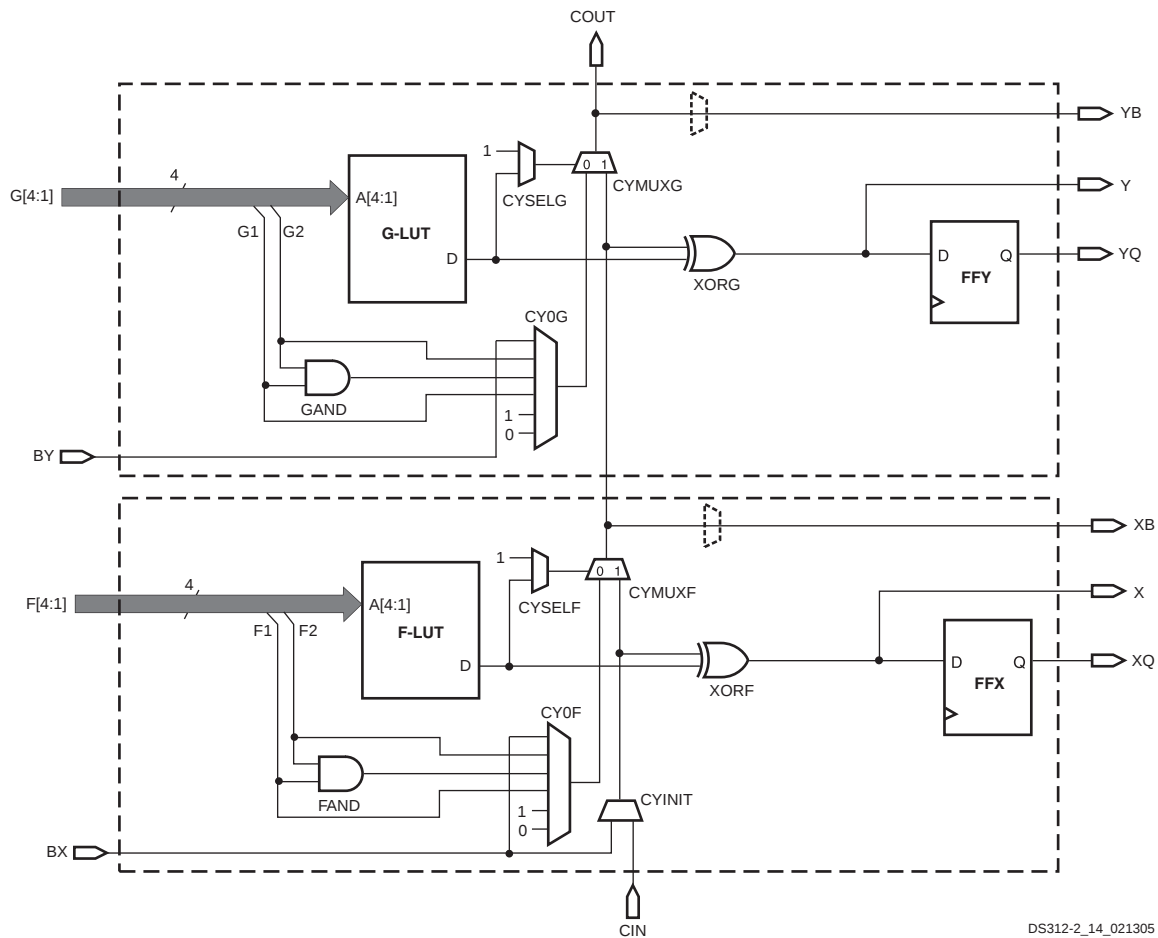


図 22： キャリー ロジック

表 14： キャリー ロジック ファンクション

ファンクション	説明
CYINIT	スライスのキャリー チェーンを初期化します。次のいずれかを選択します。 - 下のスライスからの CIN キャリー入力 - BX 入力
CY0F	スライス下部のキャリーを生成します。次のいずれかを選択します。 - LUT への F1 または F2 入力 (キャリーが生成される場合はどちらも 1) - FAND ゲート (乗算) - BX 入力 (キャリーの初期化) 1 または 0 の入力 (単純なブール関数として使用)
CY0G	スライス上部のキャリーを生成します。次のいずれかを選択します。 - LUT への G1 または G2 入力 (キャリーが生成される場合はどちらも 1) - GAND ゲート (乗算) - BY 入力 (キャリーの初期化) 1 または 0 の入力 (単純なブール関数として使用)
CYMUXF	スライス下部のキャリー生成/伝搬用マルチプレクサ。CYSELF を使用して次のいずれかをダイナミックに選択します。 - CYINIT キャリー伝搬 (CYSELF = 1) - CY0F キャリー生成 (CYSELF = 0)
CYMUXG	スライス上部のキャリー生成/伝搬用マルチプレクサ。CYSELG を使用して次のいずれかをダイナミックに選択します。 - CYMUXF キャリー伝搬 (CYSELG = 1) - CY0G キャリー生成 (CYSELG = 0)

表 14: キャリー ロジック ファンクション (続き)

ファンクション	説明
CYSELF	スライス下部のキャリー生成/伝搬用のセレクト入力。次のいずれかを選択します。 • F-LUT 出力 (通常は XOR の結果) • 常に伝搬する場合は 1
CYSELG	スライス上部のキャリー生成/伝搬用のセレクト入力。次のいずれかを選択します。 • G-LUT 出力 (通常は XOR の結果) • 常に伝搬する場合は 1
XORF	スライス下部の XOR ゲート。次から入力されます。 • F-LUT • 前段階からの CYINIT キャリー信号 結果はスライス上部の組み合わせ出力またはレジスタ付き出力のいずれかに送信されます。
XORG	スライス上部の XOR ゲート。次から入力されます。 • G-LUT • 前段階からの CYMUXF キャリー信号 結果はスライス上部の組み合わせ出力またはレジスタ付き出力のいずれかに送信されます。
FAND	スライス下部の乗算器の部分積で、入力は次の 2 つになります。 • F-LUT の F1 入力 • F-LUT の F2 入力 この出力結果が CY0F に送信され、CYMUXF へのキャリー生成信号になります。
GAND	スライス上部の乗算器の部分積で、入力は次の 2 つになります。 • G-LUT の G1 入力 • G-LUT の G2 入力 この出力結果が CY0G に送信され、CYMUXG へのキャリー生成信号になります。

キャリー ロジックは、基本的に XOR ゲートを介して LUT で総和の半分 (ハーフサム) を生成するために使用されます。これにより、キャリー出力 COUT がキャリー マルチプレクサ CYMUXF (または CYMUXG) を介して生成または伝搬され、専用の XORF (または XORG) ゲートとキャリー入力 CIN を使用して総和が算出されます。このような構造にすると、スライスごとに 2 ビットの演算ファンクションが可能になります。CYMUXF (または CYMUXG) は MUXCY エlement を、XORF (または XORG) は XORCY Element を使用するとインスタンス化できます。

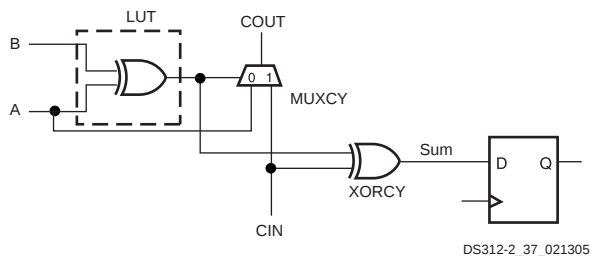


図 23: キャリー ロジックの MUXCY と XORCY

FAND (または GAND) ゲートは、部分積の乗算に使用され、MULT_AND コンポーネントを使用してインスタンス化できます。部分積は 2 入力の AND ゲートで生成されてから、加算されます。キャリー ロジックは加算器に使用すると効率的ですが、入力のうちの 1 つは図 23 のように LUT の外部からのものにする必要があります。FAND (または GAND) ゲートは、部分積の 1 つを複製するのに使用され、LUT は図 24 のように部分積と XOR ゲートの両方の結果を出力します。

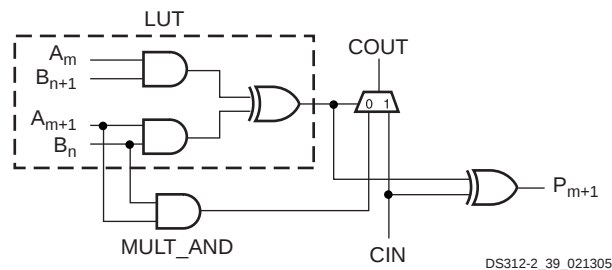


図 24: キャリー ロジックの乗算に MULT_AND を使用

MULT_AND は小型乗算器で使用します。大型乗算器の場合には、専用の 18x18 の乗算器ブロックを使用してください (「**専用乗算器**」を参照)。

記憶エレメント

D タイプ フリップフロップまたはレベル センシティブの透過ラッチにプログラム可能な記憶エレメントには、クロック信号にデータを同期させる機能があります。スライスの上下に含まれる記憶エレメントは、それぞれ FFY および FFX と呼ばれます。FFY の D 入力には、組み合わせ出力 Y またはバイパス信号 BY

を選択するマルチプレクサが固定されています。FFX は、組み合わせ出力 X かバイパス信号 BX を入力として選択します。

スライスの記憶エレメントの機能は、前述の I/O 記憶エレメントと同じです。すべての信号の極性はプログラム可能です。次は、信号がアクティブ High (デフォルト) の場合の機能を説明しています。

表 15：記憶エレメントの信号

信号	説明
D	入力。クロックが Low から High に切り替わるときに、R と S (または CLR と PRE) が Low で CE が High の場合、D 入力の値がフリップフロップに読み込まれます。ラッチでは、ゲート イネーブル (GE) が High で R と S (または CLR と PRE) が Low の場合に D 入力が Q に出力されます。D 入力の値は、ゲートが High から Low に切り替わるときにラッチに格納されます。ラッチの Q 出力の値は、G または GE が Low の間は変化しません。
Q	出力。フリップフロップの場合は、クロックが Low から High に切り替わってから、ラッチの場合は切り替わった直後にトグルします。
C	エッジトリガのフリップフロップのクロック
G	レベル センシティブ ラッチのゲート
CE	フリップフロップのクロック イネーブル
GE	ラッチのゲート イネーブル
S	同期セット (Q = High)。S 入力が High で R が Low の場合は、クロック (C) が Low から High に切り替わるときに、フリップフロップがセットされ、出力が High になります。ラッチの場合は、クロックの切り替え直後に High になります。
R	同期リセット (Q = Low)。セットよりも優先されます。
PRE	非同期プリセット (Q = High)。PRE 入力が High で CLR が Low の場合は、クロック (C) が Low から High に切り替わるときに、フリップフロップがセットされ、出力が High になります。ラッチの場合は、クロックの切り替え直後に High になります。
CLR	非同期クリア (Q = Low)。プリセットよりも優先され、Q 出力を Low にリセットします。
SR	R、S、CLR、PRE の CLB 入力
REV	SR の反対の CLB 入力。SR に一致するように非同期または同期にする必要があります。

制御入力の R、S、CE、C はスライスの 2 つのフリップフロップで共有されます。

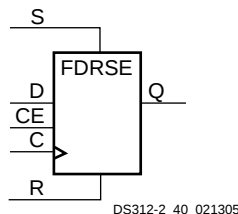


図 25：同期リセット、同期セット、クロック イネーブルの付いた FD フリップフロップ

表 16：同期リセット、同期セット、クロック イネーブルの付いた FD フリップフロップの機能

入力					出力
R	S	CE	D	C	Q
1	X	X	X	↑	0
0	1	X	X	↑	1
0	0	0	X	X	変化なし
0	0	1	1	↑	1
0	0	1	0	↑	0

初期化

CLB の記憶エレメントは、電源投入時、コンフィギュレーション中、グローバル信号 GSR、または CLB への各 SR 入力や REV 入力を使用して初期化されます。記憶エレメントは STARTUP_SPARTAN3E プリミティブの GSR 入力を使用しても初期化し直すことができます。詳細は、「[グローバル制御信号 \(STARTUP_SPARTAN3E\)](#)」を参照してください。

表 17：記憶エレメントの初期化

信号	説明
SR	セット/リセット入力。記憶エレメントを SRHIGH または SRLOW 属性で指定されたステートにします。SR がアサートされると、SRHIGH はロジックを 1 にし、SRLOW はロジックを 0 にします。セット/リセットは、各スライスで同期または非同期に設定できます。
REV	セット/リセットの反転入力。2 つ目の入力 (BY) は記憶エレメントを SR と逆のステートにします。セットもリセットもアクティブの場合は、リセットがセットより優先されます。同期/非同期設定は SR と同じです。
GSR	グローバル セット/リセット。デフォルトでは GSR はアクティブ High になっていますが、STARTUP_SPARTAN3E エレメントの GSR 入力の前にインバータを追加するとアクティブ Low にできます。コンフィギュレーションまたは GSR の後の初期値は、それぞれ INIT0、INIT1 属性で定義されます。デフォルトでは、SRLOW 属性を指定すると INIT0 に、SRHIGH 属性を指定すると INIT1 になります。

分散 RAM

詳細は、[UG331](#) の「分散 RAM を LUT として使用」を参照してください。

SLICEM の LUT は分散 RAM としてプログラムできます。このタイプのメモリを使用すると、データパス上のある程度の量のデータを保存できます。1 つの SLICEM の LUT に格納できるの

は 16 ビット (RAM16) です。4 入力の LUT (F[4:1] または G[4:1]) は、デバイス モデルでは A[4:1]、デザイン コンポーネントでは A[3:0] と記述されたアドレス ラインになります。データが大容量の場合は、複数の SLICEM LUT をさまざまな方法で組み合わせ使用します (1 つの CLB に 16x4、32x2、64x1 コンフィギュレーションなど)。ワード数 32 および 64 のコンフィギュレーションにそれぞれ必要な 5 本目と 6 本目のアドレス ラインは、BX 入力と BY 入力を使用してインプリメントされ、ライト イネーブル ロジック (書き込み用) と F5MUX/F6MUX (読み出し用) に接続されます。

分散 RAM への書き込みは常に SLICEM のクロック (分散 RAM の場合 WCLK) に同期し、アクティブ High のライト イネーブル (WE) として機能する SLICEM の SR 入力でイネーブルになります。読み出しは非同期で実行されるため、書き込み中は書き込まれたアドレスの古いデータが出力されます。

分散 RAM の出力は、SLICEM エレメントのフリップフロップを使用して取り込まれます。RAM のライト イネーブル (WE) とフリップフロップのクロック イネーブル (CE) は独立していますが、WCLK と CLK クロック入力は共有です。RAM の読み出しは非同期であるため、データは常に現在指定している RAM のアドレスから読み出されます。

デュアルポート オプションでは 2 つの LUT が組み合わせられるため、2 つの独立したデータ ラインからメモリにアクセスできます。同じデータがどちらの 16x1 メモリにも書き込まれますが、メモリにはそれぞれ読み出しアドレス ラインと出力があります。デュアルポート ファンクションは、G-LUT のアドレス ライン (読み出し/書き込み両用) を F-LUT のライト アドレス ライン (図 15 の WF[4:1]) にカスケード接続し、G-LUT のデータ入力 D1 を DIF_MUX (図 15) を介して F-LUT の D1 入力にカスケード接続するとインプリメントされます。1 つの CLB には、図 26 のように 16x1 デュアルポート メモリが含まれます。

D 入力の書き込みと SPO 出力の読み出しは、もう 1 つの読み出し専用ポート DPO の読み出しと同時に独立して行うことができます。

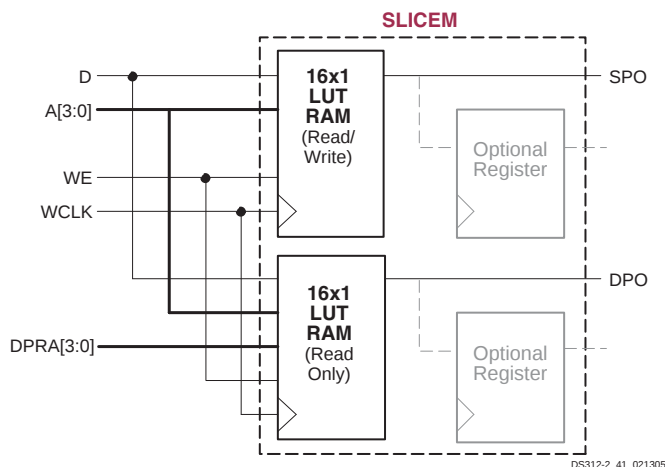


図 26：RAM16X1D デュアルポートの使用方法

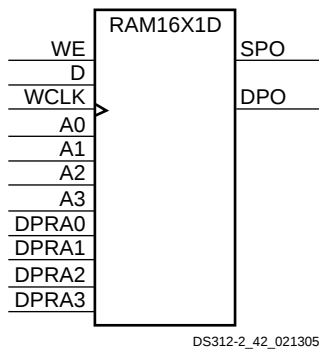


図 27: デュアルポート RAM のコンポーネント

表 18: デュアルポート RAM の機能

入力			出力	
WE (モード)	WCLK	D	SPO	DPO
0 (読み出し)	X	X	data_a	data_d
1 (読み出し)	0	X	data_a	data_d
1 (読み出し)	1	X	data_a	data_d
1 (書き込み)	↑	D	D	data_d
1 (読み出し)	↓	X	data_a	data_d

メモ:

1. data_a = A3 ~ A0 で指定されたワード
2. data_d = DPRA3 ~ DPRA0 で指定されたワード

表 19: 分散 RAM の信号

信号	説明
WCLK	同期書き込みに使用するクロックです。データ入力ピンとアドレス入力ピンのセットアップタイムは、このピンを基準としています。デフォルトでは、アクティブ エッジは立ち上がりエッジです。極性はプログラム可能です。
WE	ポートの書き込みを制御します。WE が非アクティブの場合、メモリセルへの書き込みは実行されません。WE がアクティブの場合、クロック エッジに同期して、アドレス入力信号で指定したメモリ位置にデータ入力信号が書き込まれます。デフォルトではアクティブ High で、極性はプログラム可能です。
A0、A1、A2、A3 (A4、A5)	読み出しまたは書き込みを行うメモリセルを選択するアドレス入力です。必要となるアドレス入力の数、ポート幅によって決まります。

表 19: 分散 RAM の信号 (続き)

信号	説明
D	RAM に書き込む新しいデータ値を供給するデータ入力です。
O、SPO、DPO	シングルポート RAM のデータ出力 O またはデュアルポート RAM のデータ出力 SPO/DPO には、アドレス入力で指定されたメモリセルの内容が送信されます。WCLK がアクティブになると、新しく書き込まれたデータがデータ出力 (O または SPO) に送信されます。

FPGA コンフィギュレーション中にデータをメモリに読み込むには、INIT 属性を使用します。RAM の内容は、最初はデフォルトですべて 0 になっています。WE を Low に保持した場合、このエレメントは ROM となります。ROM は、SLICEL でも機能します。

グローバル ライト イネーブル (GWE) 信号は、デバイス コンフィギュレーションの最後に自動的にアサートされ、すべての書き込み可能なエレメントを有効にします。GWE 信号を使用すると、初期化された分散 RAM の内容がコンフィギュレーション中に変更されることはありません。

分散 RAM は、小容量メモリの作成に便利です。大容量のメモリの場合は、専用の 18Kb の RAM ブロックを使用できます (「**ブロック RAM**」を参照)。

シフト レジスタ

詳細は、[UG331](#) 「LUT をシフト レジスタ (SRL16) として使用」を参照してください。

SLICEM の LUT は、16 ビットのシフト レジスタとしてプログラムすることもできます (図 28 を参照)。この方法を使用すると、専用フリップフロップを使用しなくても各 LUT で 1 ~ 16 クロック サイクル分、シリアル データを遅延させることができます。この遅延は、データのパイプラインのタイミングを調整するために使用します。

SLICEM の LUT は、G-LUT から DIFMUX を介して F-LUT に接続されます (図 15 を参照)。SHIFTIN ラインと SHIFTOUT ラインは、大型のシフト レジスタを作成するために SLICEM とその下の SLICEM をカスケード接続します。1 つの CLB に含まれる 4 つの SLICEM の LUT を組み合わせると、最高 64 クロック サイクルまで遅延を付加できます。ほかの CLB に含まれるシフト レジスタを組み合わせることもできます。

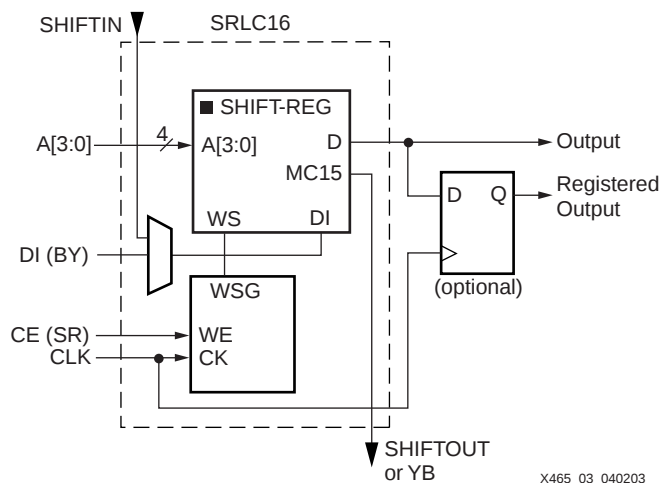


図 28: SRL16 ロジック セルの構造

各シフトレジスタには、各 LUT の最後のビットを出力するシフト出力 MC15 があり、またシフトレジスタのどのビットもアドレスを指定することによってアクセスできます。アドレス入力 A[3:0] は、分散 RAM のアドレスラインと同様、LUT 入力 F[4:1] または G[4:1] から送信されます。シフトレジスタの後に CLB フリップフロップを使用して、アドレス指定可能なビットにもう 1 サイクル分、シフト遅延を追加できます。

シフトレジスタは SRL16 (シフトレジスタ LUT 16 ビット) と表示され、その後にカスケード接続機能 (Q15 出力) を示す C やクロックイネーブルを示す E が付いているものもあります。SRLC16E コンポーネントの例を図 29 に示します。

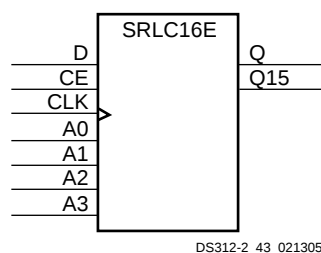


図 29: SRL16 シフトレジスタ (カスケードおよびクロックイネーブル付き)

表 20 は、シフトレジスタの機能を示しています。SRL16 は、クロックイネーブルが High の場合、クロック入力の立ち上がりエッジでシフトします。このシフトレジスタは、コンフィギュレーション中または動作中は初期化できません。クロックイネーブルとクロック入力は、SLICEM の 2 つの LUT で共有されます。クロックイネーブル入力は、未使用の場合自動的にアクティブになります。

表 20: SRL16 シフトレジスタの機能

入力				出力	
Am	CLK	CE	D	Q	Q15
Am	X	0	X	Q[Am]	Q[15]
Am	↑	1	D	Q[Am-1]	Q[15]

メモ:

- m = 0、1、2、3

ブロック RAM

詳細は、[UG331](#) の「ブロック RAM の使用」を参照してください。

Spartan-3E には、4 ～ 36 個の専用ブロック RAM が含まれ、コンフィギュレーション可能なデュアルポートの 18Kb ブロックとして配置されています。Spartan-3E のブロック RAM は、機能的には Spartan-3 のものと同じです。前述したように、分散 RAM は信号パス上でバッファされた少量のデータを格納するのに適していますが、ブロック RAM は大量のデータを同期格納するのに適しています。このセクションでは、基本的なブロック RAM の機能について説明します。

ブロック RAM は、初期値、出力レジスタのデフォルトの信号値、ポート比率、書き込みモードを設定するとコンフィギュレーションできます。ブロック RAM は、シングルポートまたはデュアルポートで使用できます。

ダイ上の RAM ブロックの位置

ブロック RAM は、乗算器の横にデバイスのサイズによって 1 列か 2 列で配置されています。ブロック RAM の列は、XC3S100E の場合は 1 列、XC3S250E ～ XC3S1600E の場合は 2 列です。[表 21](#) は、RAM ブロックの数、データの記憶容量、各デバイスの列数を示しています。ブロック RAM の列の上下には、CLB の行が配置されます。

表 21：各デバイスの RAM のブロック数

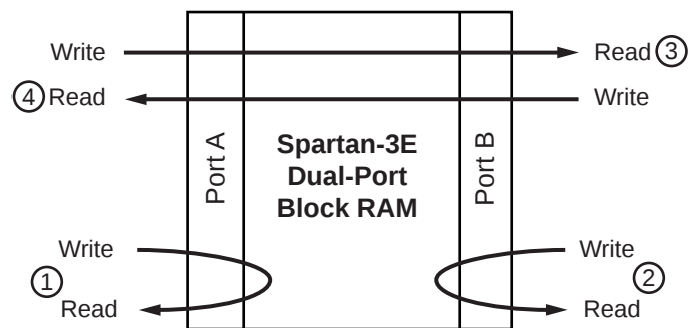
デバイス	RAM の ブロック数	アドレス指定 可能なビット数	列数
XC3S100E	4	73,728	1
XC3S250E	12	221,184	2
XC3S500E	20	368,640	2
XC3S1200E	28	516,096	2
XC3S1600E	36	663,552	2

各ブロック RAM には、18x18 エンベデッド乗算器が隣接しています。ブロック RAM のポート A のデータ入力バスの上位 16 ビットは、乗算器の被乗数入力バス A の上位 16 ビットと共通です。同様に、ポート B のデータ入力バスの上位 16 ビットは、乗算器の被乗数入力バス B と共通です。

ブロック RAM の内部構成

ブロック RAM は、デュアルポートで構成されています。2 つの同一のデータポート A および B は、共通のブロック RAM にそれぞれアクセス可能で、このブロック RAM には、最大容量 18,432 ビット (パリティ ビットが使用されていない場合は 16,384 ビット) まで格納できます (パリティ ビットの詳細は [表 22](#) を参照)。各ポートには、同期読み出しおよび書き込みに使用するデータのライン、制御ライン、クロックラインがあります。基本的な 4 つのデータパスを [図 30](#) に示します。

1. ポート A への書き込みおよびポート A からの読み出し
2. ポート B への書き込みおよびポート B からの読み出し
3. ポート A からポート B へのデータ転送
4. ポート B からポート A へのデータ転送



DS312-2_01_020705

図 30：ブロック RAM のデータパス

ポート数

ブロック RAM をデュアルポートメモリにするか、シングルポートメモリにするかは、プリミティブで選択します。デュアルポートの場合は、RAMB16_S[w_A][w_B] という形式の名前のプリミティブを使用します。整数 w_A および w_B には、それぞれポート A とポート B のデータパス幅の合計を指定します。たとえば、RAMB16_S9_S18 は、9 ビット幅のポート A および 18 ビット幅のポート B を使用したデュアルポート RAM になります。シングルポートの場合は、RAMB16_S[w] という形式の名前のプリミティブを使用します。整数 w には、1 つのポートのデータパス幅の合計を指定します。たとえば、RAMB16_S18 は 18 ビット幅のシングルポート RAM になります。

ポート比率

ブロック RAM の各ポートは、データ入力信号 (DI) とデータ出力信号 (DO) に対してさまざまな幅を個別に選択してコンフィギュレーションできます ([表 22](#) を参照)。

表 22：ポート比率

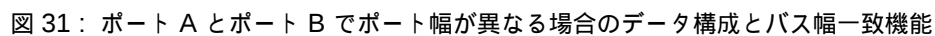
データ バス幅の合計 (w ビット)	DI/DO データバス幅 (w-p ビット) ¹	DIP/DOP パリティ バス幅 (p ビット)	ADDR バス幅 (r ビット)	DI/DO [w-p-1:0]	DIP/DOP [p-1:0]	ADDR [r-1:0]	アドレス指定可能なロケーションの数 (n) ³	ブロック RAM の容量 (w*n ビット) ⁴
1	1	0	14	[0:0]	-	[13:0]	16,384	16,384
2	2	0	13	[1:0]	-	[12:0]	8,192	16,384
4	4	0	12	[3:0]	-	[11:0]	4,096	16,384
9	8	1	11	[7:0]	[0:0]	[10:0]	2,048	18,432
18	16	2	10	[15:0]	[1:0]	[9:0]	1,024	18,432
36	32	4	9	[31:0]	[3:0]	[8:0]	512	18,432

メモ：

- データのバス幅 (w) は、DI/DO のバス幅 (w-p) とパリティ ビット (p) の合計値です。
- DI/DO のバス幅を選択すると、次の式を使用してアドレス ライン (r) の値が算出されます。 $r = 14 - \lceil \log(w-p)/\log(2) \rceil$
- アドレス ライン数から、次の式を使用してアドレス指定可能なビット数やワード数を算出できます。 $n = 2^r$
- w と n の積の値がブロック RAM の総容量になります。

ポート A のデータ バス幅がポート B のバス幅と異なる場合、ブロック RAM は自動的にバス幅を一致させます (図 31 を参照)。データがバス幅の狭いポートから書き込まれ、バス幅の広いポートから読み出される場合、後者のポートでワードが組み合わされて広いワードが作成されます。同様に、データがバス幅の広いポートから書き込まれ、バス幅の狭いポートから読み出される場合、後者のポートでワードを分割して狭いワードが作成されます。

データ ポート幅が X4、X2、X1 でコンフィギュレーションされる場合、パリティ ビットは使用できません。たとえば、X36 データ ワード (32 データと 4 パリティ) が 2 つの X18 ハーフワード (16 データと 2 パリティ) として処理される場合、各データ バイトのパリティ ビットは、ブロック RAM 内の適切なパリティ ビットにマップされます。これは、X36 データ ワードが 4 つの X9 ワードとして処理される場合も同様です。



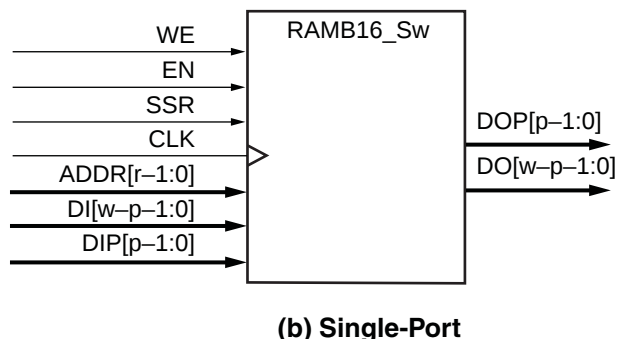
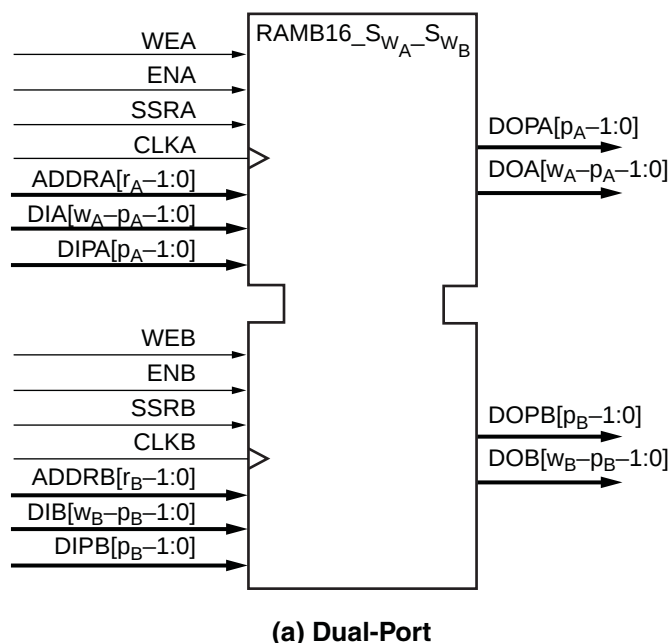
ブロック RAM のポート信号の定義

デュアルポートの RAMB16_S[w_A]-S[w_B] プリミティブとシングルポートの RAMB16_S[w]、およびその信号を図 32a と図 32b にそれぞれ示します。これらの信号の定義は、表 23 を参照してください。ブロック RAM の制御信号 (WE、EN、CLK、SSR) はアクティブ High ですが、インバータ (オプション) を付けるとアクティブ Low に変更できます。



設計メモ:

ブロック RAM ポートをイネーブルにした場合 (ENA または ENB = High)、144 ページの表 104 に示すように、アドレスを変更する際にデータシートに記述されているポート クロック (CLKA または CLKB) に対するセットアップタイムとホールドタイムの要件を満たす必要があります。この要件は、RAM の読み出し出力が使用されない場合でも満たす必要があります。



DS312-2_03_111105

メモ:

1. w_A および w_B は、それぞれポート A およびポート B のデータパス幅の合計 (データビットとパリティビットの合計) を示す整数です。
2. p_A および p_B は、パリティビットとして使用されるデータパスのライン数を示す整数です。
3. r_A および r_B は、ポート A とポート B それぞれのアドレスバス幅を示す整数です。
4. 両ポートの制御信号 CLK、WE、EN、SSR は、オプションで極性を反転させることができます。

図 32: ブロック RAM のプリミティブ

表 23：ブロック RAM のポート信号

信号	ポート A の信号名	ポート B の信号名	方向	ファンクション
アドレス バス	ADDRA	ADDRB	入力	読み出しまたは書き込み用のメモリ位置を選択します。データ バスのポート幅で、使用可能なアドレス ラインの数 (r) が指定されます (表 22 を参照)。 ブロック RAM ポートをイネーブルにした場合 (ENA または ENB = High)、144 ページの表 104 に示すように、アドレスを変更する際にデータシートに記述されているポート クロック (CLKA または CLKB) に対するセットアップ タイムとホールド タイムの要件を満たす必要があります。この要件は、RAM の読み出し出力が使用されない場合でも満たす必要があります。
データ入力バス	DIA	DIB	入力	DI 入力バスのデータは、クロック イネーブル (EN) 入力およびライト イネーブル (WE) 入力 High のとき、CLK 入力のアクティブ エッジでアドレス入力バス (ADDR) の指定する RAM の位置に書き込まれます。ポートの DI 入力バス幅 (w-p) は、表 22 に基づいてコンフィギュレーションできます。この選択は、指定したポートの DI および DO バスの両方に適用されます。
パリティデータ入力	DIPA	DIPB	入力	パリティ入力は、データ入力バスに追加されるビットです。パリティ ビットと記述されていますが、パリティ入力やパリティ出力にはパリティを生成したり確認する機能はなく、追加のデータ ビットとして使用できます。DI バスに含まれるパリティ ビット p の値は、ポートのデータ バス幅の総数によって異なります (DO バスでも同じ)。詳細は、表 22 を参照してください。
データ出力バス	DOA	DOB	出力	アドレス入力バス (ADDR) で指定した RAM のデータが出力されます。DO ポート幅のコンフィギュレーションについては、DI 信号の説明を参照してください。 基本的なデータ アクセスは、WE が Low、EN が High の場合に CLK のアクティブ エッジで行われます。DO 出力は、ADDR で指定されたメモリ位置に格納されたデータを出力します。WE が High のときは、WRITE_MODE 属性が WRITE_FIRST (書き込み発生後にデータ転送) に設定されている場合は、書き込み後のデータが出力され、READ_FIRST に設定されている場合は、書き込みが始まる前のデータが出力されます。NO_CHANGE に設定されている場合は、WE がアサートされると DO 出力がラッチに保持されます。WRITE_MODE 属性の詳細は、「ブロック RAM のデータ転送」を参照してください。
パリティデータ出力	DOPA	DOPB	出力	データ入力バスに追加されるビットです。DI バスに含まれるパリティ ビット p の値は、ポートのデータ バス幅の総数によって異なります (DO バスでも同じ)。コンフィギュレーションの詳細は、DIP 信号の説明を参照してください。
ライト イネーブル	WEA	WEB	入力	EN と共にアサートされると、RAM へのデータの書き込みがイネーブルになります。EN がアサートされ WE が非アクティブな場合も、読み出し動作は実行可能です。この場合、アドレス指定されたメモリ位置から DO 出力にデータが送信されます。
クロック イネーブル	ENA	ENB	入力	アサートされると、CLK 信号に同期してブロック RAM への読み出し/書き込みが実行できるようになります。Low のときは、ブロック RAM に対する読み出し/書き込みは実行できません。
セット/リセット	SSRA	SSRB	入力	アサートされると、ラッチからの DO 出力が SRVAL 属性の値になります。この信号はクロック信号に同期します。
クロック	CLKA	CLKB	入力	読み出しと書き込みを同期させるクロック信号を入力します。関連するポート入力はすべて、クロック信号のアクティブ エッジに対するセットアップ タイムを満たしている必要があります。データ出力バスは、このクロック信号のアクティブ エッジの Clock-to-Out 遅延後にデータが現れます。

ブロック RAM の属性の定義

表 24 に、ブロック RAM の動作を制御する属性を示します。

表 24：ブロック RAM の属性

属性	ファンクション	値
INITxx (INIT_00 ~ INIT3F)	コンフィギュレーション中に読み込まれるデータ メモリの初期内容	初期化文字列はそれぞれ、ブロック RAM の 16384 ビット データ メモリのうち 32 ビットの 16 進数分を定義します。
INITPxx (INITP_00 ~ INITP0F)	コンフィギュレーション中に読み込まれるパリティ メモリ初期内容	初期化文字列はそれぞれ、ブロック RAM の 2048 ビットのパリティ データ メモリのうち 32 ビットの 16 進数分を定義します。
INIT (シングル ポート) INITA, INITB (デュアル ポート)	データ出力ラッチの初期化	選択したポート幅を表す 16 進数値
SRVAL (シングル ポート) SRVAL_A, SRVAL_B (デュアル ポート)	データ出力ラッチの同期セット/リセット の値	選択したポート幅を表す 16 進数値
WRITE_MODE	書き込み中のデータ出力ラッチの動作 (「 ブロック RAM のデータ転送 」を参照)	WRITE_FIRST、READ_FIRST、NO_CHANGE

ブロック RAM のデータ転送

ブロック RAM へのデータの書き込みと読み出しは、両方のポートで同時に実行されます。表 25 は、ブロック RAM の制御信号がデフォルトのアクティブ High の場合に、各ポートでデータがどのように処理されるかを示します。

図 33、図 34、および図 35 の上半分は、書き込み処理の波形を示しています。WE および EN 信号が High になると、DI 入力バスのデータがアドレス ライン (ADDR) で指定されたブロック RAM のアドレスに書き込まれます。

表 25：ブロック RAM のファンクション

入力信号								出力信号		RAM データ	
GSR	EN	SSR	WE	CLK	ADDR	DIP	DI	DOP	DO	パリティ	データ
コンフィギュレーション直後											
コンフィギュレーション中に読み込み								X	X	INITP_xx	INIT_xx
コンフィギュレーション直後にグローバル セット/リセット											
1	X	X	X	X	X	X	X	INIT	INIT	変化なし	変化なし
RAM ディスエーブル											
0	0	X	X	X	X	X	X	変化なし	変化なし	変化なし	変化なし
同期セット/リセット											
0	1	1	0	↑	X	X	X	SRVAL	SRVAL	変化なし	変化なし
RAM 書き込み中に同期セット/リセット											
0	1	1	1	↑	addr	pdata	Data	SRVAL	SRVAL	RAM(addr) ← pdata	RAM(addr) ← data
RAM の読み出しのみ (書き込みなし)											
0	1	0	0	↑	addr	X	X	RAM(pdata)	RAM(data)	変化なし	変化なし

表 25：ブロック RAM のファンクション (続き)

入力信号								出力信号		RAM データ	
GSR	EN	SSR	WE	CLK	ADDR	DIP	DI	DOP	DO	パリティ	データ
RAM の読み出し/書き込みを同時に実行											
0	1	0	1	↑	addr	pdata	Data	WRITE_MODE = WRITE_FIRST			
								pdata	data	RAM(addr) ← pdata	RAM(addr) ← data
								WRITE_MODE = READ_FIRST			
								RAM(data)	RAM(data)	RAM(addr) ← pdata	RAM(addr) ← pdata
								WRITE_MODE = NO_CHANGE			
								変化なし	変化なし	RAM(addr) ← pdata	RAM(addr) ← pdata

DO にどのデータが出力されるかは、状況によって異なります。基本的なデータ アクセスは、常に WE 入力が Low のときに行われます。この場合、ADDR ラインで指定されたメモリ位置に格納されたデータが出力ラッチを介して DO 出力に送信されます。基

本的なデータ アクセスのタイミングを、図 33、図 34、図 35 の WE が Low の部分に示します。

WE 入力がアサートされている場合でも、WRITE_MODE 属性 (表 26 を参照) の値に応じてデータが DO に出力されます。

表 26：書き込み中のデータ出力ラッチへの WRITE_MODE の影響

書き込みモード	同一ポートへの影響	反対ポートへの影響 (デュアル ポートで同じアドレスにアクセスした場合)
WRITE_FIRST 書き込み後に読み出し	DI および DIP 入力のデータが RAM の指定位置に書き込まれ、同時に DO と DOP に出力されます。	DO と DOP 出力のデータが無効になります。
READ_FIRST 書き込み前に読み出し	RAM の指定位置にあるデータが DO と DOP に出力されます。 DI と DIP 入力のデータが指定アドレスに書き込まれます。	RAM の指定位置にあるデータが DO と DOP に出力されます。
NO_CHANGE 書き込み時に読み出しなし	DO と DOP 出力のデータは変化しません。 DI と DIP 入力のデータを指定アドレスに書き込みます。	DO と DOP 出力のデータが無効になります。

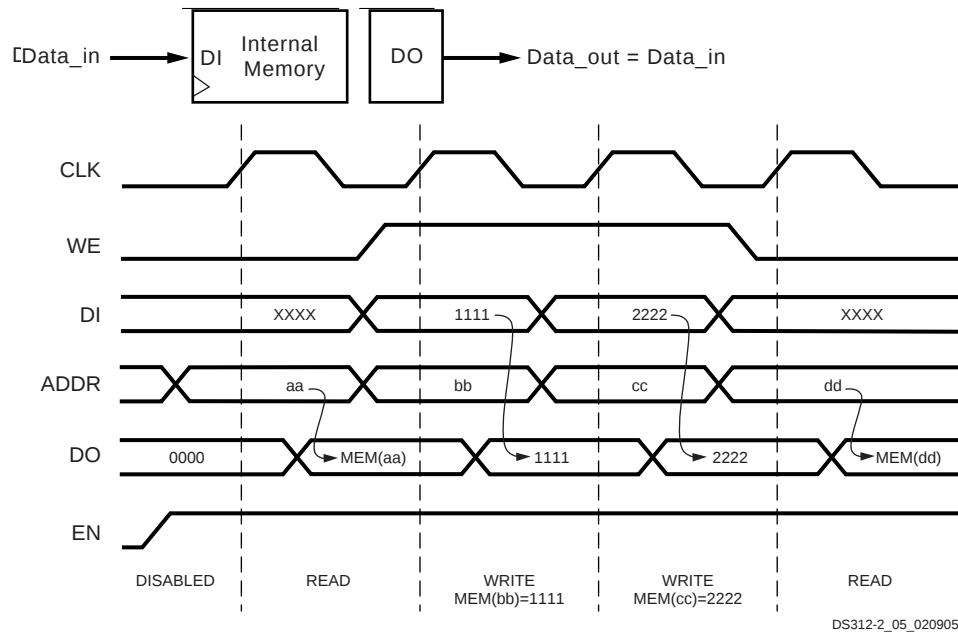


図 33: WRITE_FIRST を使用した場合のブロック RAM のデータ転送の波形

WRITE_MODE 属性を **WRITE_FIRST** に設定すると、データは CLK のアクティブ エッジでメモリの指定アドレスに書き込まれ、DO へ出力されます。WRITE_FIRST のタイミングを、図 33 の WE が High の部分に示します。

WRITE_MODE 属性を **READ_FIRST** に設定すると、指定アドレスに格納されたデータは CLK のアクティブ エッジで DI 入力からの新データで上書きされる前に DO 出力に送信されます。READ_FIRST のタイミングを、図 34 の WE が High の部分に示します。

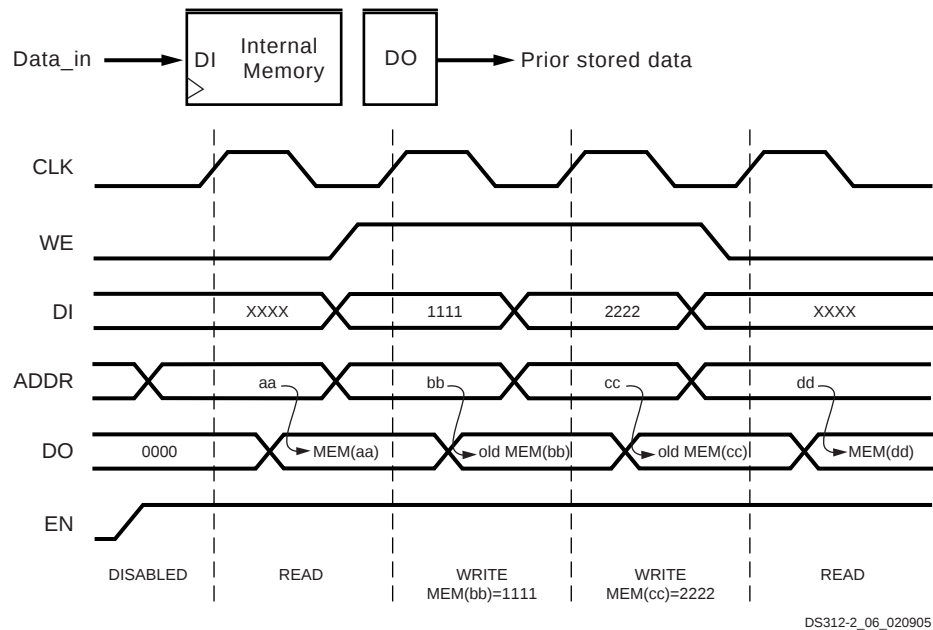


図 34: READ_FIRST を使用した場合のブロック RAM のデータ転送の波形

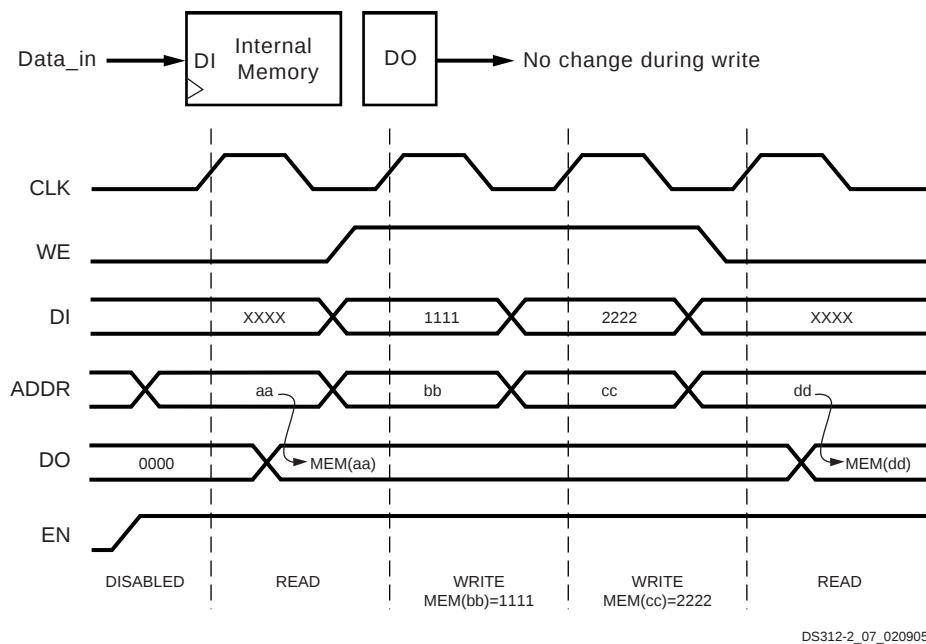


図 35： NO_CHANGE を使用した場合のブロック RAM のデータ転送の波形

WRITE_MODE 属性を **NO_CHANGE** に設定した場合、WE がアサートされると、DO 出力がラッチ状態になります。この場合、DO 出力は WE がアサートされる直前に駆動されたデータを保持

します。NO_CHANGE のタイミングを、図 35 の WE が High の部分に示します。

専用乗算器

詳細は、[UG331](#) 「エンベデッド乗算器の使用」を参照してください。

Spartan-3E デバイスには、それぞれ 4 ～ 36 個の専用乗算器ブロックが含まれます。乗算器は、ブロック RAM の横に、デバイスの集積度によって 1 列か 2 列で配置されています。これらの乗算器ブロックの位置とその接続については、「[ダイ上の RAM ブロックの位置](#)」を参照してください。

乗算

乗算器ブロックは、主に 2 の補数の乗算を実行しますが、データ格納やバレルシフタのような単純な機能を実行するためにも使用できます。ロジックスライスにも効率的な小型乗算器をインプリメントできるので、専用乗算器ブロックに補足的に使用できます。Spartan-3E の専用乗算器ブロックには、Spartan-3 にはない新しい機能が追加されています。

各乗算器では、 $P = A \times B$ という計算が実行されます (A と B は 2 の補数形式の 18 ビットワード、P は 2 の補数形式の 36 ビットの積)。この 18 ビットの入力の範囲は、 $-131,072_{10} \sim +131,071_{10}$ で、

計算される積の範囲は、 $-17,179,738,112_{10} \sim +17,179,869,184_{10}$ になります。

18 ビット未満の入力の乗算器は、最上位ビット (MSB) を複製するなど、入力を符号拡張することでインプリメントできます。乗算のビット数を増やすには、専用乗算器とスライスベースのロジックをさまざまな方法で組み合わせるか、1 つの乗算器を時分割して使用します。符号なしの乗算は、入力を正の範囲に限定して実行します。MSB を Low に接続し、残りの下位 17 ビットで符号なしの値を表します。

パイプラインレジスタ (オプション)

[図 36](#) に示すように、乗算器ブロックの入力と出力にはそれぞれオプションでレジスタを含めることができます。レジスタ名は AREG、BREG、PREG で、どの組み合わせでも使用可能です。ブロック内のどのレジスタにも同じクロック入力を使用されますが、それぞれのレジスタにクロックイネーブル、同期リセットなどが個別にあるので、データサンプルや係数を格納する際に便利です。レジスタをパイプライン処理に使用すると、乗算器のクロックレートが向上するので、高速のアプリケーションに適しています。

[図 36](#) は、乗算器ブロックの基本的な機能を示しています。

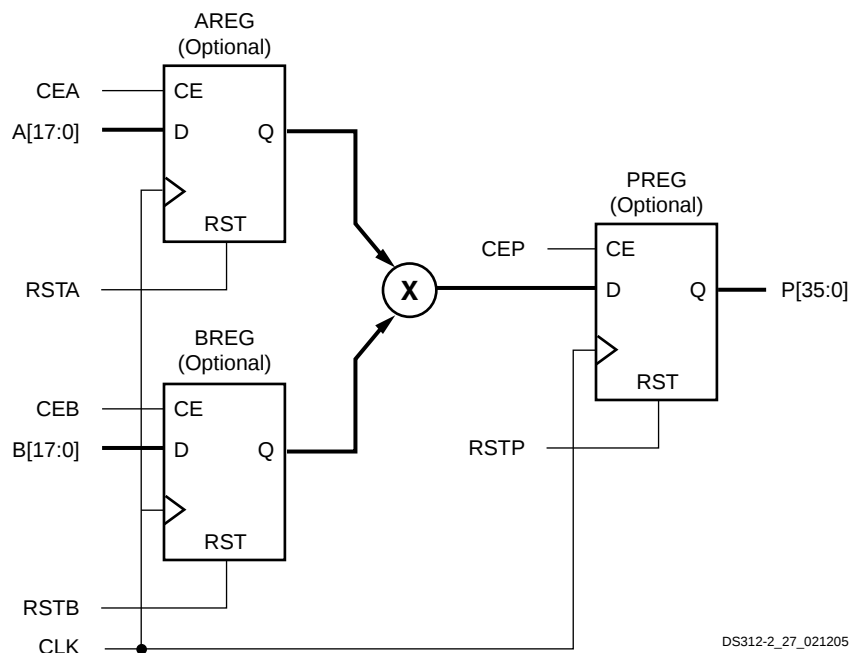


図 36：専用乗算器ブロックの基本的なポートと機能

乗算器をデザインにインスタンス化するには、[図 37](#) の MULT18X18SIO プリミティブを使用します。通常、高性能の論理合成ツールでは乗算器が自動的に推論されますが、パイプラインレジスタを追加する場合は [MULT18X18SIO](#) プリミティブが

必要な場合があります。適切な信号を MULT18X18SIO 乗算器のポートに接続し、AREG、BREG、PREG 属性をそれぞれ 1 に設定してレジスタを挿入するか、0 に設定して信号パスを組み合わせパスにします。

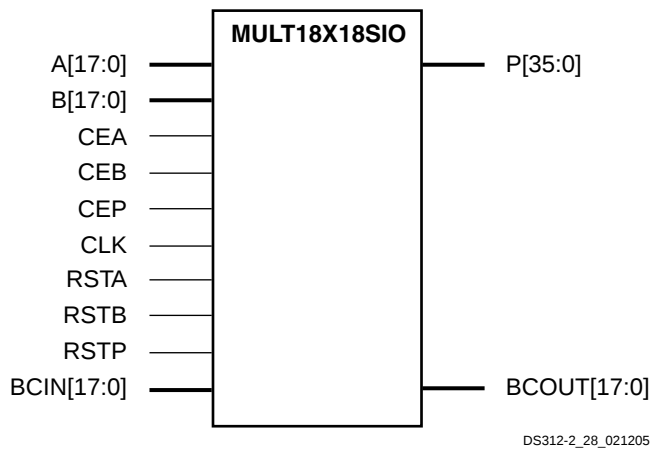


図 37 : MULT18X18SIO プリミティブ

乗算器のカスケード接続

MULT18X18SIO プリミティブには、複数の乗算器ブロック間で B 入力をカスケード接続したり、共有したりするために、BCIN および BCOUT というポートが含まれます。この 18 ビットのカスケード用入力ポート BCIN は、通常の B 入力の代替入力ソースとして使用できます。特定のインプリメンテーションで BCIN を使用するか、B 入力パスを使用するかは、B_INPUT 属性で指定します。B_INPUT を DIRECT に設定すると、B 入力を選択され、CASCADE にすると BCIN 入力を選択されます。BREG レジスタには、必要に応じてこの選択した入力値を保持できます。

BCOUT は 18 ビットの出力ポートで、常に乗算器の 2 つ目の入力 (B 入力、BCIN カスケード入力、BREG が挿入された場合はその出力のいずれか) を反映した値になります。

図 38 は、B_INPUT および BREG 属性の設定を変えた場合のコンフィギュレーションパターンを示しています。

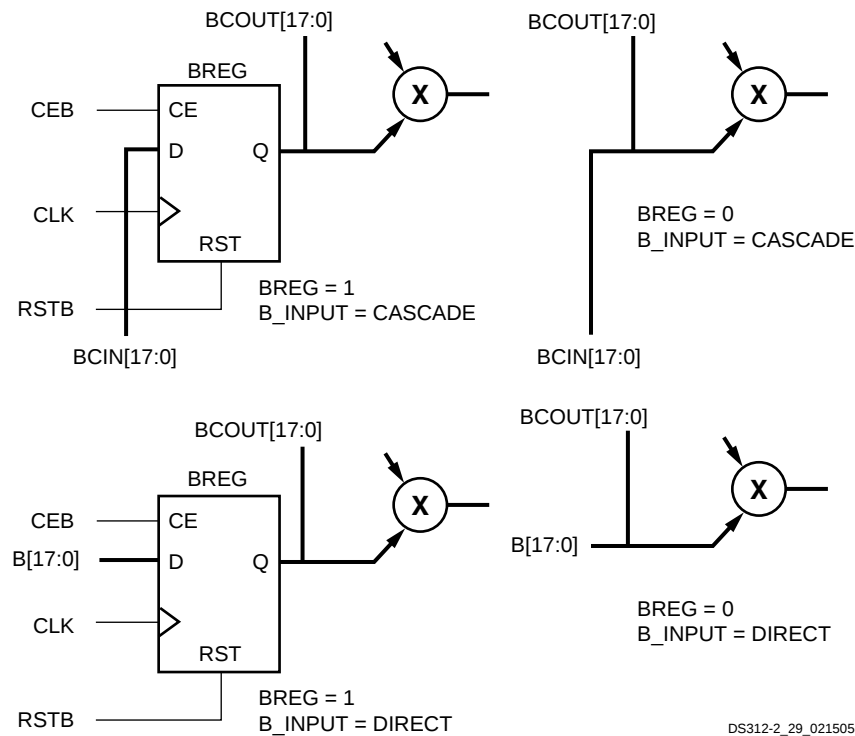


図 38 : B または BCIN 入力のコンフィギュレーション パターン

BCIN および BCOUT ポートには、同じ列の隣接する乗算器を接続する専用の配線があります。乗算器ブロックの BCOUT ポートは、カスケード接続を使用してその上の乗算器ブロックの BCIN ポートを直接駆動します。列の一番下にある乗算器ブロックの BCIN ポートへの接続や、一番上の乗算器ブロックの BCOUT ポートからの接続はありません。図 39 は、乗算器の列が 1 列で、4 ブロックの XC3S100E FPGA の乗算器のカスケード接続を示しています。この図では、簡潔にするためにレジスタの制御信号は記載していません。

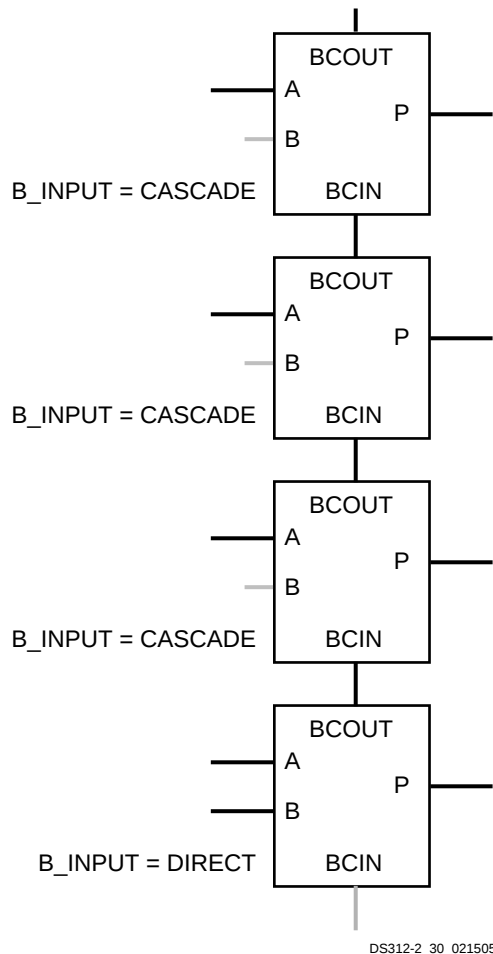


図 39：乗算器のカスケード接続

BREG レジスタを使用してカスケード接続すると、ダイレクト形式の FIR フィルタのような DSP アルゴリズムで使用されるシフトレジスタが作成されます。BREG レジスタを使用しない場合、複数の乗算器に同じ入力値が使用されます。このように平行に接続することで、入力数の多い乗算器を作成し、転置形式の FIR フィルタをインプリメントできます。この接続方法は複数の乗算器に同じ入力値が必要なアプリケーションで使用されます。

乗算器とブロック RAM の関係

乗算器はそれぞれ 18Kb ブロック RAM の横に配置され、インターコネクト リソースをいくつか共有します。36 ビット幅のデータ (512x36 モード) 用に 18Kb のブロック RAM をコンフィギュレーションすると、接続された専用乗算器は使用できません。

被乗数 A 入力の上位 16 ビットは、ブロック RAM のポート A の上位 16 ビット データ入力と共有されます。同様に、被乗数 B 入力の上位 16 ビットは、ポート B のデータ入力と共有されます。詳細は、64 ページの図 48 を参照してください。

次の表 27 に、MULT18X18SIO プリミティブの各ポートの定義を示します。

表 27 : MULT18X18SIO エンベデッド乗算器プリミティブの説明

信号名	方向	機能
A[17:0]	入力	乗算する主な 18 ビットの 2 の補数です。オプションの AREG および PREG レジスタを使用しない場合、この値が非同期に乗算されます。AREG と PREG のいずれか、または両方が使用されると、このポートの値は CLK の立ち上がりエッジで取り込まれ、レジスタによって制御されます。
B[17:0]	入力	B_INPUT 属性が DIRECT に指定されている場合に乗算に使用される、2 つ目の 18 ビットの 2 の補数値です。オプションの BREG および PREG レジスタを使用しない場合、この値が非同期に乗算されます。BREG と PREG のいずれか、または両方が使用されると、このポートの値は CLK の立ち上がりエッジで取り込まれ、レジスタによって制御されます。
BCIN[17:0]	入力	B_INPUT 属性が CASCADE に指定されている場合に乗算に使用される、2 つ目の 18 ビットの 2 の補数値です。オプションの BREG および PREG レジスタを使用しない場合、この値が非同期に乗算されます。BREG と PREG のいずれか、または両方が使用されると、このポートの値は CLK の立ち上がりエッジで取り込まれ、レジスタによって制御されます。
P[35:0]	出力	2 つの入力が乗算された 36 ビットの 2 の補数の積です。オプションの AREG、BREG、PREG レジスタを使用しない場合、出力は非同期になります。PREG を使用すると、CEP と RSTP に応じた値が CLK の立ち上がりエッジで出力されます。PREG を使用せず、AREG と BREG を使用する場合、CEA、RSTA、CEB、RSTB に応じた値が CLK の立ち上がりエッジで出力されます。PREG を使用せず、AREG または BREG のいずれかのみを使用する場合、同期イベントと非同期イベントの両方で出力されます。
BCOUT[17:0]	出力	乗算器の 2 つ目の入力に使用される値です。オプションの BREG レジスタを使用しない場合、この値は、B_INPUT 属性の設定に応じて、B[17:0] または BCIN[17:0] ポートの変化にあわせて非同期に出力されます。BREG を使用すると、CEB と RSTB に応じた値が CLK の立ち上がりエッジで出力されます。
CEA	入力	オプションの AREG レジスタのクロック イネーブル信号です。RSTA が Low の場合にこの信号が High になると、CLK の立ち上がりエッジで A[17:0] ポートの値が AREG に取り込まれます。
RSTA	入力	オプションの AREG レジスタの同期リセット信号です。この信号が High になると、CLK の立ち上がりエッジで AREG が 0 になります。
CEB	入力	オプションの BREG レジスタのクロック イネーブル信号です。RSTB が Low の場合にこの信号が High になると、CLK の立ち上がりエッジで B[17:0] または BCIN[17:0] ポートの値が BREG に取り込まれます。
RSTB	入力	オプションの BREG レジスタの同期リセット信号です。この信号が High になると、CLK の立ち上がりエッジで BREG が 0 になります。
CEP	入力	オプションの PREG レジスタのクロック イネーブル信号です。RSTP が Low の場合にこの信号が High になると、CLK の立ち上がりエッジで乗算器ポートの出力値が PREG に取り込まれます。
RSTP	入力	オプションの PREG レジスタの同期リセット信号です。この信号が High になると、CLK の立ち上がりエッジで PREG が 0 になります。

メモ :

1. 制御信号 CLK、CEA、RSTA、CEB、RSTB、CEP、RSTP の極性は、オプションで反転できます。

デジタル クロック マネージャ (DCM)

詳細は、[UG331](#) の「DCM (デジタル クロック マネージャ) の使用」を参照してください。

Spartan-3 アーキテクチャとの相違点

- Spartan-3E FPGA には、デバイス サイズによって 2、4、8 個の DCM が含まれる
- Spartan-3E の可変位相シフト機能は Spartan-3 と異なる
- Spartan-3E の DLL では 5MHz までの低入力周波数をサポート (Spartan-3 の DLL は 18MHz まで)

概要

Spartan-3E のデジタル クロック マネージャ (DCM) を使用すると、クロック周波数、位相シフト、スキューを柔軟に制御できます。これらの制御のため、DCM には遅延ロック ループ (DLL) が含まれています。DLL は、フィードバックを使用したデジタル制御システムで、動作温度や電圧の変動に関係なく、クロック信号特性を高精度に維持します。このセクションでは、DCM の基本的な機能について説明します。

XC3S100E には、デバイスの上部と下部にそれぞれ 1 つずつ、合計 2 つの DCM が含まれます。XC3S250E と XC3S500E には、上部と下部にそれぞれ 2 つずつ、合計 4 つ含まれます。XC3S1200E と XC3S1600E には、それに加えて各エッジに 2 つずつ、合計 8 つの DCM が含まれます ([図 45](#) を参照)。Spartan-3E の DCM は CLB と共にロジック配列内にあります。Spartan-3 の

ようにブロック RAM の列の上下には配置されていません。DCM は、DCM プリミティブとしてデザインにインスタンス化されます。

DCM では、主に次の 3 つの機能がサポートされています。

- クロック スキューの除去：通常クロック信号はネットワーク上に分配されるので、クロック信号が異なる場所に異なるタイミングで到着します。これがクロック スキューの原因です。クロック スキューがあると、セットアップ/ホールド タイム要件が増え、Clock-to-Out タイムが長くなるので、高周波数のアプリケーションではスキューを削減する必要があります。DCM を使用すると、入力クロック信号から生成される出力クロック信号の位相を揃えることで、クロック スキューをなくすことができます。この機能により、クロックの分配遅延を効率的になくすことができます。
- 周波数合成：DCM は入力クロック信号からさまざまな周波数のクロック出力を生成できます。このようなクロック周波数は、入力クロック信号の周波数を異なる係数で乗算および除算の両方またはいずれかを行うことで生成できます。
- 位相シフト：DCM を使用すると、入力信号に対応する出力クロック信号すべての位相がシフトできます。

DCM には、遅延ロック ループ (DLL)、デジタル周波数合成 (DFS)、位相シフト (PS)、ステータス ロジックの 4 つのコンポーネントが含まれています。各コンポーネントには、[図 40](#) に示すような信号が接続されています。

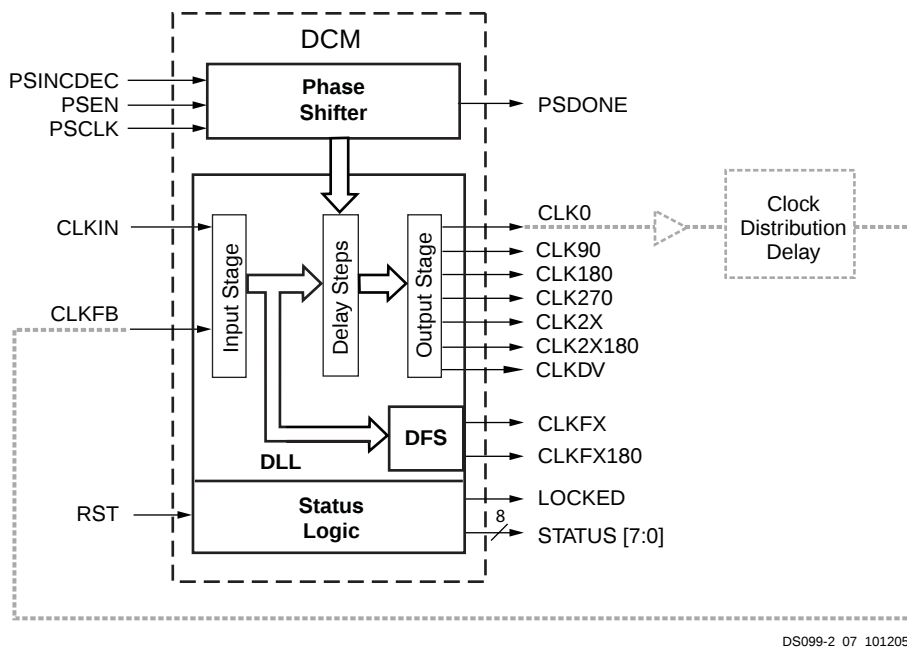
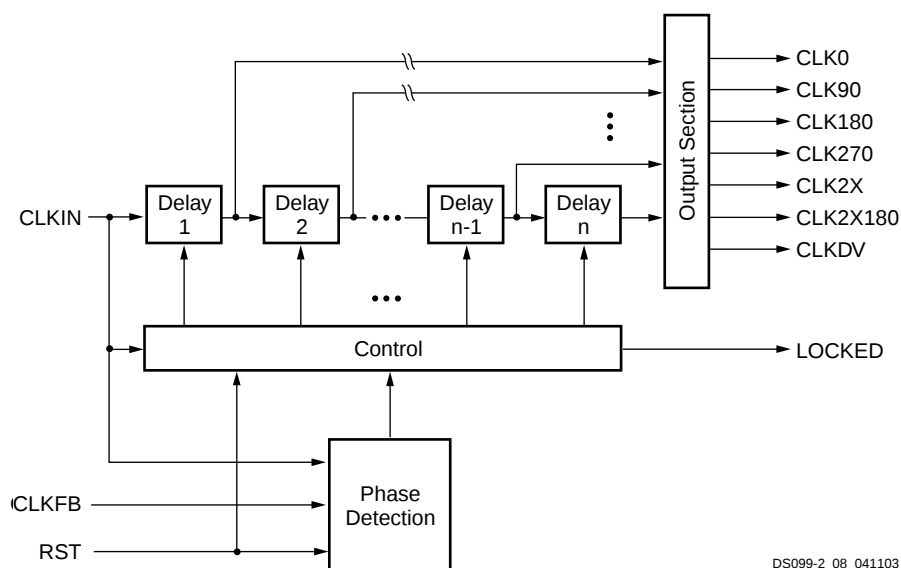


図 40：DCM ファンクション ブロックおよび接続信号



DS099-2_08_041103

図 41 : DLL の略図

表 28 : DLL の信号

信号	方向	説明
CLKIN	入力	入力クロック信号を受信します。DCM への最適な外部入力については、表 30、表 31、表 32 を参照してください。
CLKFB	入力	フィードバック信号として CLK0 または CLK2X のどちらかを入力します (CLK_FEEDBACK 属性で設定)。
CLK0	出力	CLKIN と同一の周波数および位相のクロック信号を生成します。
CLK90	出力	CLKIN と同一の周波数で 90 度位相シフトしたクロック信号を生成します。
CLK180	出力	CLKIN と同一の周波数で 180 度位相シフトしたクロック信号を生成します。
CLK270	出力	CLKIN と同一の周波数で 270 度位相シフトしたクロック信号を生成します。
CLK2X	出力	CLKIN と同一の位相で、2 倍の周波数のクロック信号を生成します。
CLK2X180	出力	CLKIN の 2 倍の周波数で、CLK2X に対して 180 度位相シフトしたクロック信号を生成します。
CLKDV	出力	CLKIN の周波数を CLKDV_DIVIDE の値で分周し、CLKIN と位相が一致した低周波数のクロック信号を生成します。

遅延ロック ループ (DLL)

DLL コンポーネントの最も基本的な機能は、クロック スキューの除去です。DLL のメインの信号パスは、入力ステージ、遅延エレメント (ステップ)、出力ステージで構成されます。この信号パスに位相検出および制御ロジックが追加され、図 41 に示すようなフィードバックのあるシステムが生成されます。Spartan-3E では、DLL はカウンタ ベースの遅延ラインを使用してインプリメントされます。

DLL のコンポーネントには、表 28 に示すような 2 つのクロック入力 (CLKIN、CLKFB) および 7 つのクロック出力 (CLK0、CLK90、CLK180、CLK270、CLK2X、CLK2X180、CLKDV) があります。これらのクロック出力は同時に駆動されます。DLL の初期化を行う信号および DLL のステートを示す信号については、「ステータス ロジック」を参照してください。

CLKIN 入力へのクロック信号は、基準波形として使用されます。DLL は、CLKFB 入力のフィードバック信号の立ち上がりエッジと CLKIN 入力の立ち上がりエッジを揃えようとします。クロッ

ク スキューを除去する場合の基本的な DLL の使用法は次のようになります。まず CLK0 信号がクロック分配ネットワークから、この信号に同期するすべてのレジスタに送信されます。これらのレジスタは、FPGA に内部接続または外部接続されています。クロック信号は、クロック分配ネットワークからフィードバック ライン (CLKFB) を介し、再び DLL に入力されます。DLL 内の制御ブロックで、CLKFB と CLKIN 間の位相エラーが検出されます。この位相エラーは、クロックのネットワークで発生したクロック スキューを示しています。制御ブロックでは、最適な数の遅延ステップを使用することでクロック スキューを除去します。DLL で CLK0 信号と CLKIN 信号の位相が揃うと、DLL 出力が CLKIN 信号に対してロック状態になったことを示す LOCKED 出力がアサートされます。

DLL 属性および関連機能

DLL には、表 29 に示すようなさまざまな属性を使用できます。各属性の詳細は、表の後のセクションを参照してください。

表 29 : DLL 属性

属性	説明	値
CLK_FEEDBACK	CLKFB 入力を駆動するクロックを CLK0 または CLK2X 出力のいずれかに設定	<u>NONE</u> 、1X、2X
CLKIN_DIVIDE_BY_2	DCM に入力される CLKIN 信号の周波数を半分に分周	<u>FALSE</u> 、TRUE
CLKDV_DIVIDE	CLKDV 出力の周波数を生成するため CLKIN 入力周波数を分周する定数を指定	1.5、 <u>2</u> 、2.5、3、3.5、4、4.5、5、5.5、6.0、6.5、7.0、7.5、8、9、10、11、12、13、14、15、16
CLKIN_PERIOD	最も効率的なロック時間と最適なジッタ耐性で DLL が動作できるようにする追加情報	CLKIN 周期をナノ秒で表す浮動小数点値

DLL クロック入力接続

最適な結果を得るには、FPGA へ入力される外部クロック リソースがグローバル クロック入力 (GCLK) を介すようにします。DCM には、表 30 に示すようにそれぞれ CLKIN 入力を駆動可能な GCLK 入力があります。この表 30 には、各 GCLK 入力に対するピン番号もパッケージ別に示しています。XC3S1200E および XC3S1600E にある追加の 2 つの DCM では、左エッジ入力 (LHCLK) と右エッジ入力 (RHCLK) から同様の接続があります。詳細は、表 31 および表 32 を参照してください。

- DCM では、CLKIN 入力への内部シングル エンド信号を駆動する GCLK 入力ペアを使用して、差動クロック入力 (LVDS、LVPECL_25 など) がサポートされます。

設計メモ：



GCLK1 は、M2 モード セレクト ピンと共有されるので、使用しないようにしてください。一部のコンフィギュレーションでは、グローバル クロック入力 GCLK0、GCLK2、GCLK3、GCLK12、GCLK13、GCLK14、および GCLK15 の機能は共通です。

表 30 : 直接クロック入力と DCM への外部フィードバックのオプション

パッケージ	差動ペア		差動ペア			差動ペア		差動ペア	
	N	P	N	P		N	P	N	P
	シングル エンド入力のピン番号					シングル エンド入力のピン番号			
VQ100	P91	P90	P89	P88		P86	P85	P84	P83
CP132	B7	A7	C8	B8		A9	B9	C9	A10
TQ144	P131	P130	P129	P128		P126	P125	P123	P122
PQ208	P186	P185	P184	P183		P181	P180	P178	P177
FT256	D8	C8	B8	A8		A9	A10	F9	E9
FG320	D9	C9	B9	B8		A10	B10	E10	D10
FG400	A9	A10	G10	H10		E10	E11	G11	F11
FG484	B11	C11	H11	H12		C12	B12	E12	F12
					グローバル バッファ				
GCLK11GCLK10GCLK9GCLK8 左上部の DCM XC3S100: なし XC3S250E、XC3S500E : DCM_X0Y1 XC3S1200E、XC3S1600E : DCM_X1Y3					BUFGMUX_X1Y10 BUFGMUX_X1Y11 BUFGMUX_X2Y10 BUFGMUX_X2Y11	GCLK7GCLK6GCLK5GCLK4 右上部の DCM XC3S100 : DCM_X0Y1 XC3S250E、XC3S500E: DCM_X1Y1 XC3S1200E、XC3S1600E : DCM_X2Y3			
					HGF E				
					クロックライン (表 41 を参照)				
					DCBA				
左下部の DCM XC3S100 : なし XC3S250E、XC3S500E : DCM_X0Y0 XC3S1200E、XC3S1600E : DCM_X1Y0 GCLK12GCLK13GCLK14GCLK15					BUFGMUX_X1Y0 BUFGMUX_X1Y1 BUFGMUX_X2Y0 BUFGMUX_X2Y1	右下部の DCM XC3S100 : DCM_X0Y0 XC3S250E、XC3S500E : DCM_X1Y0 XC3S1200E、XC3S1600E : DCM_X2Y0 GCLK0GCLK1GCLK2GCLK3			
					グローバル バッファ				
パッケージ	差動ペア		差動ペア			差動ペア		差動ペア	
	P	N	P	N		P	N	P	N
	シングル エンド入力のピン番号					シングル エンド入力のピン番号			
VQ100	P32	P33	P35	P36		P38	P39	P40	P41
CP132	M4	N4	M5	N5		M6	N6	P6	P7
TQ144	P50	P51	P53	P54		P56	P57	P58	P59
PQ208	P74	P75	P77	P78		P80	P81	P82	P83
FT256	M8	L8	N8	P8		T9	R9	P9	N9
FG320	N9	M9	U9	V9		U10	T10	R10	P10
FG400	W9	W10	R10	P10		P11	P12	V10	V11
FG484	V11	U11	R11	T11		R12	P12	Y12	W12

表 31 : 直接クロック入力と左エッジの DCM への外部フィードバックのオプション (XC3S1200E および X3S1600E のみ)

差動クロック		パッケージ別のシングル エンドのピン番号								左エッジ		
		VQ100	CP132	TQ144	PQ208	FT256	FG320	FG400	FG484	LHCLK	DCM/BUFGMUX	
											BUFGMUX_X0Y5	→ D
											BUFGMUX_X0Y4	→ C
ペア	P	P9	F3	P14	P22	H5	J5	K3	M5	→	LHCLK0	→ DCM_X0Y2 クロックライン
	N	P10	F2	P15	P23	H6	J4	K2	L5	→	LHCLK1	
ペア	P	P11	F1	P16	P24	H3	J1	K7	L8	→	LHCLK2	
	N	P12	G1	P17	P25	H4	J2	L7	M8	→	LHCLK3	
											BUFGMUX_X0Y3	→ B
											BUFGMUX_X0Y2	→ A
											BUFGMUX_X0Y9	→ H
											BUFGMUX_X0Y8	→ G
ペア	P	P15	G3	P20	P28	J2	K3	M1	M1	→	LHCLK4	→ DCM_X0Y1 クロックライン
	N	P16	H1	P21	P29	J3	K4	L1	N1	→	LHCLK5	
ペア	P	P17	H2	P22	P30	J5	K6	M3	M3	→	LHCLK6	
	N	P18	H3	P23	P31	J4	K5	L3	M4	→	LHCLK7	
											BUFGMUX_X0Y7	→ F
											BUFGMUX_X0Y6	→ E

表 32 : 直接クロック入力と右エッジの DCM への外部フィードバックのオプション (XC3S1200E および X3S1600E のみ)

		右エッジ		パッケージ別のシングル エンドのピン番号								差動ク ロック		
		DCM/BUFGMUX	RHCLK	VQ100	CP132	TQ144	PQ208	FT256	FG320	FG400	FG484			
D	←	BUFGMUX_X3Y5												
C	←	BUFGMUX_X3Y4												
クロックライン		DCM_X3Y2	RHCLK7	←	P68	G13	P94	P135	H11	J14	J20	L19	N	ペア
	RHCLK6		←	P67	G14	P93	P134	H12	J15	K20	L18	P		
			RHCLK5	←	P66	H12	P92	P133	H14	J16	K14	L21	N	ペア
			RHCLK4	←	P65	H13	P91	P132	H15	J17	K13	L20	P	
B	←	BUFGMUX_X3Y3												
A	←	BUFGMUX_X3Y2												
H	←	BUFGMUX_X3Y9												
G	←	BUFGMUX_X3Y8												
クロックライン		DCM_X3Y1	RHCLK3	←	P63	J14	P88	P129	J13	K14	L14	M16	N	ペア
	RHCLK2		←	P62	J13	P87	P128	J14	K15	L15	M15	P		
			RHCLK1	←	P61	J12	P86	P127	J16	K12	L16	M22	N	ペア
			RHCLK0	←	P60	K14	P85	P126	K16	K13	M16	N22	P	
F	←	BUFGMUX_X3Y7												
E	←	BUFGMUX_X3Y6												

FPGA 入力はすべて DCM クロック入力に使用できますが、パスは GCLK のように温度および電圧に対して調整されていません。また、FPGA 内のクロック信号は、オプションでグローバル クロック マルチプレクサ バッファ (BUFGMUX) を介して DCM クロック入力に使用できます。グローバル クロック ネットは、CLKIN 入力に直接接続されます。FPGA の内部接続および外部接続については、それぞれ 図 42a および 図 42c を参照してください。

DLL クロック出力およびフィードバック接続

9 つの DCM クロック出力のうち 4 つまでを使用して、ダイの同じ側 (上辺または下辺) の 4 つの BUFGMUX バッファを同時に駆動できます。DCM のすべてのクロック出力では、OBUF までのインターコネクトを含む汎用配線リソースを同時に駆動できます。

フィードバック ループは DLL 操作には必ず必要です。クロック分配遅延をなくすため、CLK0 または CLK2X 出力のいずれかを BUFGMUX グローバル バッファを介して CLKFB 入力にフィードバックします。CLK0 または CLK2X 信号のフィードバックに使用される BUFGMUX バッファは、表 30、表 31、表 32 に示すように、特定の DCM に接続される BUFGMUX バッファの 1 つであるのが理想的です。

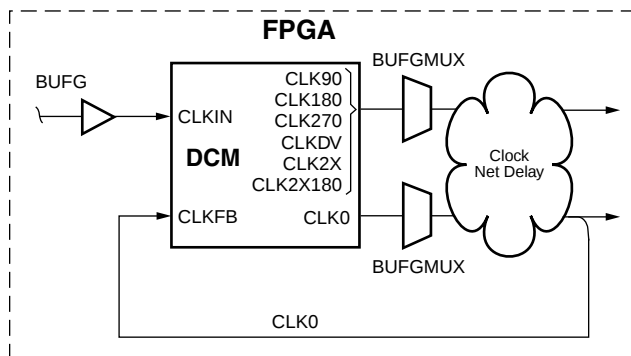
また、フィードバック パスには、ほかの 7 つの DLL 出力 (CLK0、CLK90、CLK180、CLK270、CLKDV、CLK2X、CLK2X180) の位相を揃える機能もあります。CLK_FEEDBACK 属性値は、

CLK0 フィードバックの場合は 1X、CLK2X フィードバックの場合は 2X に設定し、物理的なフィードバック接続と一致させる必要があります。DFS が DLL なしでスタンドアロンで使用される場合は、フィードバックは必要ないので、CLK_FEEDBACK は NONE に設定します。

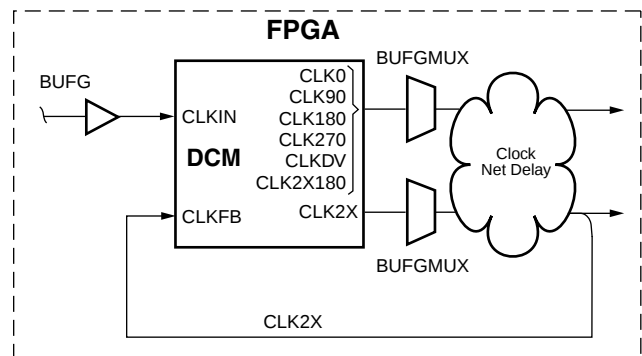
DLL のクロック出力とフィードバックの接続方法は、オンチップ同期であるか、オフチップ同期であるかによって異なります。図 42a ~ 図 42d を参照してください。

オンチップ同期 (図 42a および 図 42b) では、DLL の 7 つの出力すべてを汎用配線リソースを介して FPGA の内部レジスタに接続できます。グローバル クロック バッファ (BUFG) または BUFGMUX のいずれかを使用すると、グローバル クロック ネットワークにアクセスできます。図 42a および 図 42b に示すように、フィードバック ループは CLK0 (または CLK2X) をグローバル クロック ネットに配線し、CLKFB 入力を駆動することで作成されます。

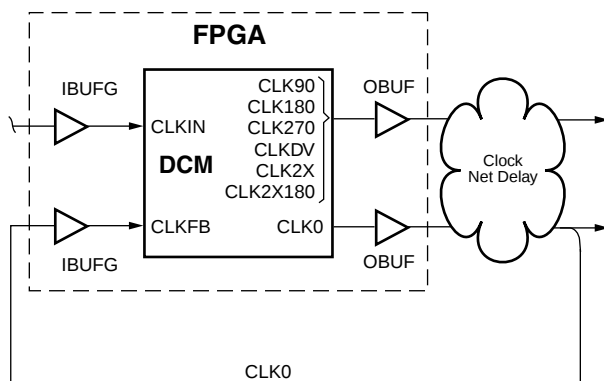
オフチップ同期 (図 42c および 図 42d) では、CLK0 (または CLK2X) と DLL のその他の出力クロック信号が出力バッファを使用して FPGA から出力され、ボード外部のクロック ネットワークおよびレジスタが駆動されます。図 42c および 図 42d に示すように、フィードバック ループは CLK0 (または CLK2X) を FPGA に取り込み直し、表 30 で指定されたグローバル バッファ入力を介して DCM の CLKFB に入力することで作成されます。



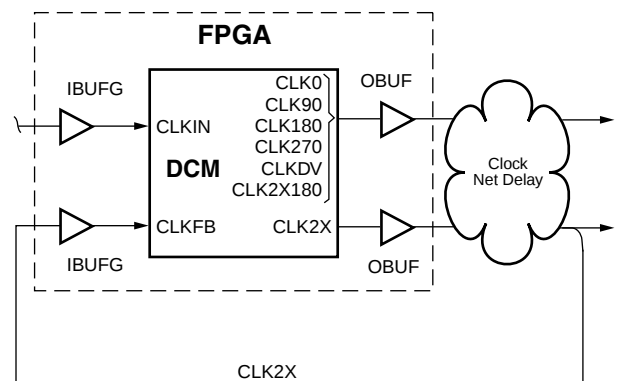
(a) On-Chip with CLK0 Feedback



(b) On-Chip with CLK2X Feedback



(c) Off-Chip with CLK0 Feedback



(d) Off-Chip with CLK2X Feedback

DS099-2_09_082104

図 42: DLL の入力クロック、出力クロック、フィードバック接続

最大値を超える入力周波数

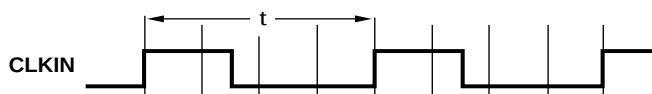
CLKIN 入力が許容最大値を超える場合は、CLKIN_DIVIDE_BY_2 属性を使用して許容範囲内の値に分周します。この属性が TRUE の場合は、CLKIN 周波数が 2 で分周されて DCM に入力されます。CLKIN_DIVIDE_BY_2 を使用した場合でも、入力クロックのデューティサイクルは 50% になります。

90 度および 180 度単位の位相シフト出力

CLKIN の位相を 0 に揃えた CLK0 信号のほかに、DLL では 90 度、180 度、および 270 度に位相シフトした CLK90、CLK180、CLK270 信号を生成できます。これらの信号については 49 ページの表 28、タイミングは図 43 を参照してください。90 度より細かく制御する場合は、「位相シフト (PS)」を参照してください。

Phase: 0° 90° 180° 270° 0° 90° 180° 270° 0°

Input Signal (40%/60% Duty Cycle)



Output Signal - Duty Cycle Corrected

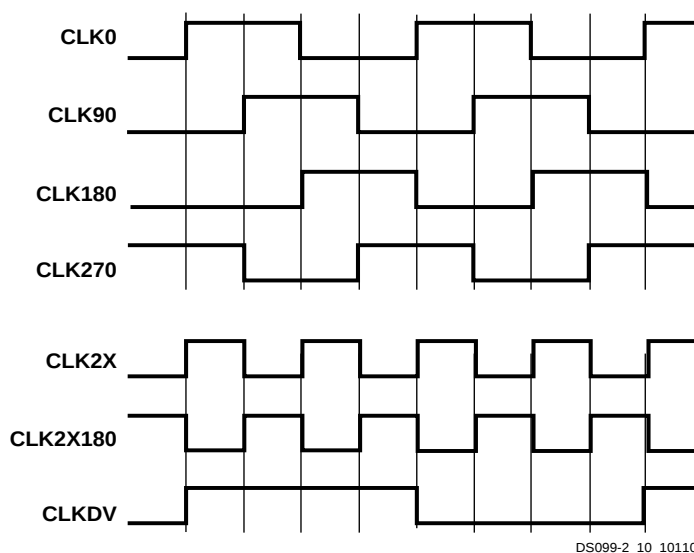


図 43：DLL クロック出力の特性

基本的な周波数合成出力

DLL コンポーネントには、柔軟性の高い DFS コンポーネントの合成機能のほかに、周波数の乗算および分周を行うためのオプションが含まれています (DFS コンポーネントの合成機能については、後のセクションで説明)。出力クロック信号の周波数は、入力クロック周波数を分周または逡倍したのになります。CLK2X からは、CLKIN の周波数を 2 倍にした同相信号が出力されます。CLK2X180 出力は、CLKIN の周波数を 2 倍にし位相

を 180 度ずらした信号です。CLKDIV 出力は、CLKIN 周波数を指定された値で分周したクロック信号になります。CLKIN 周波数を分周する値は、CLKDV_DIVIDE 属性で設定できます。この属性は、表 29 に示すようにさまざまな値に設定できます。基本的な周波数合成出力については、表 28 を参照してください。

DLL クロック出力のデューティ サイクル調整

DLL の出力信号のデューティ サイクルは、入力される CLKIN 信号のデューティ サイクルに関係なく 50% なので、各クロック サイクルの High および Low の時間は同じです。

ステッピング レベルによる DLL のパフォーマンスの相違点

「デジタル クロック マネージャ (DCM) のタイミング」に記述したように、ステッピング 1 のデバイスではステッピング 0 よりも最大入力周波数と最大出力周波数が高くなっています。ステッピング レベル 1 は、ステッピング 0 のデバイスと互換性があります。

デジタル周波数合成 (DFS)

DFS では周波数が CLKIN 入力クロック周波数に 2 つのユーザー指定の整数の比率を乗算した積となるクロック信号が生成されます。DFS からの 2 つの専用出力、CLKFX および CLKFX180 を表 33 に示します。

表 33：DFS 信号

信号	方向	説明
CLKFX	出力	CLKFX_MULTIPLY 属性の値を CLKFX_DIVIDE 属性の値で割った係数を CLKIN の周波数に掛け、別の周波数のクロック信号を生成
CLKFX180	出力	CLKFX と同一の周波数で 180 度位相シフトしたクロック信号を生成

CLKFX180 出力での信号は、CLKFX の反転信号になります。これら 2 つの出力のデューティ サイクルは、CLKIN 信号のデューティ サイクルの値に関係なく常に 50% になります。DFS クロック出力は 7 つの DLL 出力と同期し、出力位相は位相シフト ユニット (PS) で制御されます。

DFS の出力周波数 (f_{CLKFX}) は、次のように入力クロック周波数 (f_{CLKIN}) と 2 つの属性の値 (整数) を基に計算されます。

$$f_{CLKFX} = f_{CLKIN} \cdot \left(\frac{CLKFX_MULTIPLY}{CLKFX_DIVIDE} \right) \quad \text{式 1}$$

CLKFX_MULTIPLY 属性の整数の範囲は 2 ~ 32 で、式 1 の分子になります。CLKFX_DIVIDE 属性の整数の範囲は 1 ~ 32 で、式 1 の分母になります。たとえば、CLKFX_MULTIPLY = 5 および CLKFX_DIVIDE = 3 の場合、出力クロック信号の周波数は、入力クロック信号の 5/3 になります。これらの属性と範囲は、表 34 に示します。

表 34 : DFS 属性

属性	説明	値
CLKFX_MULTIPLY	周波数を通倍する定数	2 ～ 32 の整数
CLKFX_DIVIDE	周波数を分周する定数	1 ～ 32 の整数

次の条件を満たしていれば、CLKFX_MULTIPLY および CLKFX_DIVIDE 属性にはどの整数の組み合わせでも使用できます。

1. 2つの値が表 34 に示された値の範囲内である
2. 式 1 で計算される 出力周波数 f_{CLKFX} が DCM の動作周波数の仕様範囲内である (モジュール 3 の表 106 を参照)

DLL を併用または併用しない場合の DFS の使用

CLKIN 入力は DFS と DLL の両方で共有されますが、DFS は DLL と併用した場合でもしない場合でも機能します。DLL を併用しない場合、DFS は CLKFX_MULTIPLY と CLKFX_DIVIDE の値を基に CLKIN 周波数から出力周波数を生成します。周波数合成には、フィードバック ループは必要ありません。また、DLL を併用しない場合、DFS でサポートされる動作周波数の範囲は広くなります。

DLL を併用すると、DFS は上記の併用しない場合と同様に動作しますが、クロック分配遅延が削減できます。この場合、CLK0 または CLK2X 出力から CLKFB 入力までのフィードバック ループが必要です。

DLL を併用する場合、DFS の CLKFX と CLKFX180 出力の位相は、CLKIN の CLKFX_DIVIDE サイクルごと、CLKFX の CLKFX_MULTIPLY サイクルごとに、CLKIN 入りに揃えられます。たとえば、CLKFX_MULTIPLY = 5 および CLKFX_DIVIDE = 3 の場合、入力および出力クロック エッジは、CLKIN の 3 入力周期ごとに一致します。この周期は、CLKFX の 5 周期分と同じ時間です。

CLKFX_MULTIPLY および CLKFX_DIVIDE の値が小さい方がロック時間が短くなるので、CLKFX_MULTIPLY と

CLKFX_DIVIDE の値を最大公約数で割って小さい値にする必要があります。たとえば、CLKFX_MULTIPLY = 9 と CLKFX_DIVIDE = 6 を使用しても、これらの値を最大公約数 3 で割った CLKFX_MULTIPLY = 3 と CLKFX_DIVIDE = 2 を使用しても、クロック周波数は 3/2 になりますが、後者の組み合わせの方が DLL のロック時間は短くなります。

位相シフト (PS)

DCM には、CLKIN 信号に対して DCM のクロック出力信号の位相を制御する方法が 2 つあります。1 つ目の方法では、9 つの DCM クロック出力のうちの 8 つ (CLK0、CLK90、CLK180、CLK270、CLK2X、CLK2X180、CLKFX、CLKFX180) を使用して入力クロックの位相を 90 度および 180 度単位で調整します。

2 つ目の方法では、PS ユニットを使用して 9 つすべての DCM 出力の位相をさらに細かくシフトさせます。これは、DLL 入力の CLKFB と CLKIN 信号の間にファイン グレイン位相シフト遅延 (T_{PS}) を挿入することで制御します。FIXED 位相シフト モードの場合、このファイン グレイン位相シフトはデザイン時に CLKIN の 1/256 か 1 つの遅延ステップ (DCM_DELAY_STEP) のどちらか大きい方を単位に設定できます。このファイン グレイン位相シフト値は、DCM クロック出力の 90 度単位、180 度単位の位相シフト値を基準にしています。この値が使用されると、9 つの DCM 出力信号すべての位相がシフトされます。

位相シフトの使用と動作モードの選択

特定の DCM インスタンスの PS ユニットを制御するには、CLKOUT_PHASE_SHIFT 属性を使用します。表 35 に示すように、この属性の値には NONE、FIXED、VARIABLE を設定できます。CLKOUT_PHASE_SHIFT = NONE の場合は PS ユニットがディスエーブルになり、DCM 出力クロックは CLKFB フィードバックによって CLKIN 入力の位相と揃えられます (図 44a を参照)。

CLKOUT_PHASE_SHIFT 属性が FIXED または VARIABLE に設定されると、PS ユニットはイネーブルになります。この 2 つのモードについて、次のセクションで説明します。

表 35 : PS 属性

属性	説明	値
CLKOUT_PHASE_SHIFT	PS コンポーネントをディスエーブルに設定、あるいは FIXED 位相シフトモードまたは VARIABLE 位相シフト モードに設定	NONE、FIXED、VARIABLE
PHASE_SHIFT	最初のファイングレイン位相シフトの量とシフトする方向を指定	-255 ～ +255 の整数

FIXED 位相シフトモード

位相シフトモードを FIXED にすると、DCM 出力が決まった値 (T_{PS}) だけシフトされます。この値は、ユーザーの指定する PHASE_SHIFT 属性で制御されます。PHASE_SHIFT 値 (図 44 の P) の範囲は -255 ~ +255 の整数です。PHASE_SHIFT は、位相シフト遅延を T_{CLKIN} の係数として指定します。位相シフトの動作は、次に説明するように、ISE 8.1i サービス パック 3 とそれ以前のソフトウェアで異なります。



設計メモ:

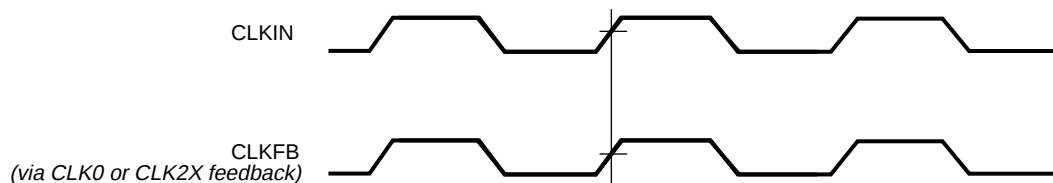
ISE 8.1i サービス パック 3 以前のソフトウェアでは、FIXED 位相シフト機能は Spartan-3 DCM デザイン プリミティブおよびシミュレーション モデルと異なります。そのため、ISE 8.1i サービス パック 3 以前のソフトウェアで作成したデザインは、最新の ISE ソフトウェアを使用してコンパイルし直す必要があります。詳細は、次のアンサーを参照してください。
アンサー #23153
<http://japan.xilinx.com/support/answers/23153.htm>

ISE 8.1i サービス パック 3 以降を使用した場合の FIXED 位相シフト

式 2 を参照してください。値は位相シフト範囲 -360 度 ~ +360 度に対応しており、Spartan-3 DCM デザイン プリミティブおよびシミュレーション モデルの動作と一致します。

$$t_{PS} = \left(\frac{\text{PHASESHIFT}}{256} \right) \cdot T_{CLKIN} \quad \text{式 2}$$

a. CLKOUT_PHASE_SHIFT = NONE



b. CLKOUT_PHASE_SHIFT = FIXED

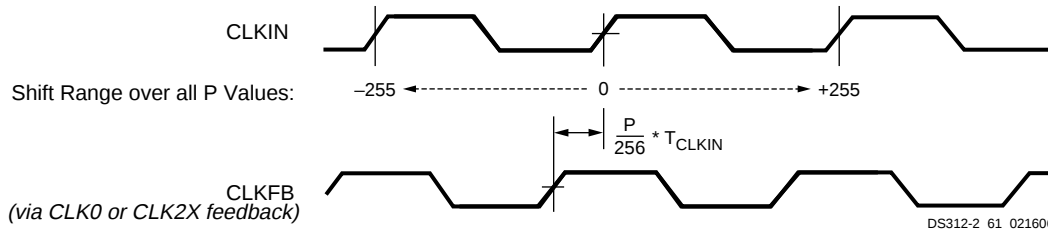


図 44: NONE および FIXED モードの場合の位相シフトの波形 (ISE 8.1i サービス パック 3 以降)

ISE 8.1i サービス パック 3 以前を使用した場合の FIXED 位相シフト

式 3 を参照してください。値は位相シフト範囲 -180 度 ~ +180 度に対応しており、Spartan-3 DCM デザイン プリミティブおよびシミュレーション モデルの動作とは異なります。ISE 8.1i サービス パック 3 以前のソフトウェアで作成したデザインは、最新の ISE ソフトウェアを使用してコンパイルし直す必要があります。

$$t_{PS} = \left(\frac{\text{PHASESHIFT}}{512} \right) \cdot T_{CLKIN} \quad \text{式 3}$$

PHASE_SHIFT の値が 0 の場合、CLKFB と CLKIN は同相になり、PS ユニットがディスエーブルの場合と同じになります。PHASE_SHIFT が正の値の場合、DCM の出力は CLKIN 入力より後ろにシフトされます。PHASE_SHIFT が負の値の場合、DCM の出力は CLKIN 入力より前にシフトされます。

図 44b は、FIXED モードでの CLKFB と CLKIN の関係を示しています。FIXED モードでは、PSEN、PSCLK、PSINCDEC 入力は使用されず、GND に接続されます。

式 2 および式 3 は、FIXED 位相シフト モードにのみ適用されます。VARIABLE 位相シフト モードでの動作は異なります。

VARIABLE 位相シフトモード

位相シフトモードが VARIABLE の場合、FPGA で PS ユニットへの 3 つの入力 (PSEN、PSCLK、PSINCDEC) を使用して、ファ

イン グレイン位相シフト値をダイナミックに調整できます。これらの入力については、表 36 および表 40 を参照してください。

表 36 : VARIABLE 位相シフトモードで使用する信号

信号	方向	説明
PSEN ⁽¹⁾	入力	VARIABLE モードの位相調整用に PS ユニットをイネーブルにします。
PSCLK ⁽¹⁾	入力	位相シフト調整を同期させるためのクロック信号です。
PSINCDEC ⁽¹⁾	入力	High の場合は現在の位相シフト値を増加させ、Low の場合は減少させます。この信号は、PSCLK 信号に同期します。
PSDONE	出力	位相調整が完了し、PS ユニットが次の位相調整できる状態になると High になります。この信号は、PSCLK 信号に同期します。

メモ :

- この入力は、いずれかの極性 (反転なし、反転あり) をサポートします。

FPGA アプリケーションでは、DCM の 9 個のクロック出力すべての位相シフト量をダイナミックに増分または減分するため、位相シフトユニットの 3 つの PS 入力を使用します。

位相シフト値を調整するには、PSEN イネーブル信号を High にして PS ユニットをイネーブルにする必要があります。これと同時に、位相シフトを増加する場合は PSINCDEC を High に、減少させる場合は Low にします。VARIABLE 位相シフトはすべて、PSCLK 入力 (CLKIN 信号またはその他のクロック信号) で制御されます。

DCM_DELAY_STEP には最大値と最小値がそれぞれあるため、増加/減少させる値 (VALUE) に対する実際の位相シフト遅延は、式 4 および式 5 の最大値と最小値の範囲内になります。

$$T_{PS}(\text{Max}) = \text{VALUE} \cdot \text{DCM_DELAY_STEP_MAX} \quad \text{式 4}$$

$$T_{PS}(\text{Min}) = \text{VALUE} \cdot \text{DCM_DELAY_STEP_MIN} \quad \text{式 5}$$

指定した CLKIN 入力周波数 TCLKIN (ns) の VARIABLE 位相シフトの最大ステップ MAX_STEPS は、式 6 で計算されます。これを時間で表す位相シフト範囲に変換するには、式 6 で計算された MAX_STEPS を式 4 および式 5 の VALUE に代入します。

$$\text{MAX_STEPS} = \pm[\text{INTEGER}(20 \cdot (T_{\text{CLKIN}} - 3))] \quad \text{式 6}$$

この位相調整には、CLKIN の約 100 サイクルと PSCLK の 3 サイクルを加算した分の時間が必要な場合があり、その後 DCM の PSDONE 出力が PSCLK 1 サイクル間 High になります。このパルスは、PS ユニットが位相調整を完了し、次の調整を行うことができる状態になったことを示します。

リセット (RST) 入力をアサートすると、位相シフトは 0 に戻ります。

ステータス ロジック

ステータス ロジックは、DCM の現在のステートを示したり、既知の初期ステートにリセットしたりするために使用されます。表 37 は、ステータス ロジックの信号を示しています。

通常、リセット (RST) 入力はデバイスのコンフィギュレーション時または CLKIN 周波数を変更するときのみアサートされます。RST 信号は、CLKIN 3 サイクル間以上アサートする必要があります。DCM リセットは、属性値 (例: CLKFX_MULTIPLY および CLKFX_DIVIDE) には影響しません。使用しない場合、RST は GND に接続します。

表 38 は、8 ビットの STATUS バスを示しています。



設計メモ :

Spartan-3E DCM の VARIABLE 位相シフト機能は Spartan-3 DCM とは異なりますが、DCM デザインプリミティブは両方に共通しています。Spartan-3E での VARIABLE 位相シフト機能は、次に説明するように動作しますが、DCM デザインプリミティブおよびシミュレーションモデルはこの動作に一致しません。ISE 8.1i サービスパック 3 以降では、VARIABLE 属性を使用するとエラーメッセージが表示されます。VARIABLE 位相シフト機能を再度イネーブルにするには、次のアンサーを参照してください。

アンサー #23004

<http://japan.xilinx.com/support/answers/23004.htm>

DCM_DELAY_STEP は、PS ユニットで使用可能な最小の遅延精度です。この値は、モジュール 3 の表 104 の一番下に記述されています。PSINCDEC が High の場合、PS ユニットがイネーブルの各 PSCLK サイクルで、9 つの DCM 出力すべてに DCM_DELAY_STEP 1 つ分の位相シフトが追加されます。PSINCDEC が Low の場合は、9 つの DCM 出力すべてから位相が DCM_DELAY_STEP の 1 つ分減少されます。

表 37 : ステータス ロジックの信号

信号	方向	説明
RST	入力	High にすると、すべての DCM が電源投入時の初期ステートにリセットされます。DLL タップを初期化して遅延を 0 にします。LOCKED 出力を Low に設定します。この入力は非同期です。
STATUS[7:0]	出力	DLL のステートおよび PS 動作に関する情報を示します。
LOCKED	出力	High の場合、CLKIN 信号と CLKFB 信号が同相であることを示します。Low の場合、この 2 つの信号の位相は揃っていません。

表 38 : DCM ステータス バス

ビット	機能	説明
0	予約済み	-
1	CLKIN 停止	High の場合は、CLKIN 入力信号がトグルしていないことを示し、Low の場合はトグルしていることを示します。このビットは、CLKFB 入力が接続されている場合에만機能します。 ⁽¹⁾
2	CLKFX 停止	High の場合は、CLKFX 出力がトグルしていないことを示し、Low の場合はトグルしていることを示します。このビットは、CLKFX または CLKFX180 出力が接続されている場合에만機能します。
3 ~ 6	予約済み	-

メモ :

- DFS クロック出力のみで、DLL クロックからの出力が使用されない場合、CLKIN 信号が停止してもこのビットは High になりません。

ユーザー モード前の DCM クロックの安定化

表 39 に示す STARTUP_WAIT 属性を使用すると、DCM が入力クロック周波数にロックされるまで、FPGA のコンフィギュレーションプロセスの終了を遅らせることができます。これにより、DCM で生成されるすべてのクロック出力が安定するまで、FPGA はコンフィギュレーションのスタートアップ段階に保持されます。STARTUP_WAIT 属性が TRUE に設定されたすべての DCM で LOCKED 信号がアサートされると、FPGA でコンフィギュレーションプロセスが終了し、ユーザー モードになります。コンフィギュレーションのスタートアップ段階の 6 つのサイクルのどのサイクルで待機するかは、Bitstream Generator

(BitGen) の LCK_cycle オプションで指定できます。詳細は、107 ページの「スタートアップ」を参照してください。

表 39 : STARTUP_WAIT 属性

属性	説明	値
STARTUP_WAIT	TRUE の場合、DCM が入力クロックにロックされるまで、コンフィギュレーションを終了し、ユーザー モードに移行するのを遅らせます。	TRUE、 <u>FALSE</u>

クロッキング構造

詳細は、[UG331](#) の「グローバル クロック リソースの使用」を参照してください。

Spartan-3E のクロッキング構造 (図 45) は、FPGA 内に高周波数の信号を転送するのに最適なキャパシタンスおよびスキューの少ないインターコネクト ラインで構成され、クロック入力や BUFGMUX クロック バッファ/マルチプレクサも含まれます。ザイリンクスの配置配線ソフトウェア (PAR) を使用すると、これらのリソースを使用してファンアウトの大きいクロック信号が自動的に配線されます。

クロック入力

クロック入力ピンは、外部クロック信号を受信し、DCM および BUFGMUX エレメントに直接接続されます。Spartan-3E FPGA に含まれるクロック入力は、次のとおりです。

- 16 個のグローバル クロック入力 (GCLK0 ~ GCLK15) : FPGA の上辺と下辺に配置されます。
- 8 個の右側のクロック入力 (RHCLK0 ~ RHCLK7) : 右側に配置されます。
- 8 個の左側のクロック入力 (LHCLK0 ~ LHCLK7) : 左側に配置されます。

設計メモ:



GCLK1 は、M2 モード セレクト ピンと共有されるので、使用しないようにしてください。一部のコンフィギュレーションでは、グローバル クロック入力 GCLK0、GCLK2、GCLK3、GCLK12、GCLK13、GCLK14、および GCLK15 の機能は共通です。

クロック入力は、専用接続を使用すると DCM に直接接続できます。表 30、表 31 および表 32 は、特定の DCM へ最良のクロック入力をパーツ別に示しています。デバイスの集積度によって DCM の数も異なります。XC3S1200E と XC3S1600E の場合は、右側と左側に DCM があります。

クロック入力は、オプションでユーザー I/O ピンとしても使用でき、内部インターコネクトに接続されます。クロックパッドピンには、「[ピン配置の説明](#)」(モジュール 4) に示すように入力のみのピンもあります。

クロック バッファ/マルチプレクサ

クロック バッファ/マルチプレクサは、クロック入力信号をクロック ラインに直接駆動するか (BUFG)、オプションでマルチプレクサを使用して 2 つの無関係な信号 (非同期の場合もあり) 間を切り替えます (BUFGMUX)。

図 46 に示される BUFGMUX エレメントは、2:1 マルチプレクサです。表 40 に示すように、セレクト ライン S で 2 つの入力 I0 または I1 が選択され、BUFGMUX 出力信号 O が駆動されます。クロックの切り替えでグリッチが発生することはない、出力の High と Low の時間がどちらかの入力クロックの High または Low の最短時間よりも短くなることはありません。2 つのクロック入力はお互いに対して非同期にでき、現在選択されたクロック (I0 または I1) の立ち上がりエッジ前の短いセットアップ タイムを除く任意のタイミングで S 入力を変更できます。このセットアップ タイムは、140 ページの表 100 で T_{GS1} と指定されています。このセットアップ タイム要件を満たさない場合、出力にラントパルスが発生する場合があります。

表 40 : BUFGMUX のクロック選択機能

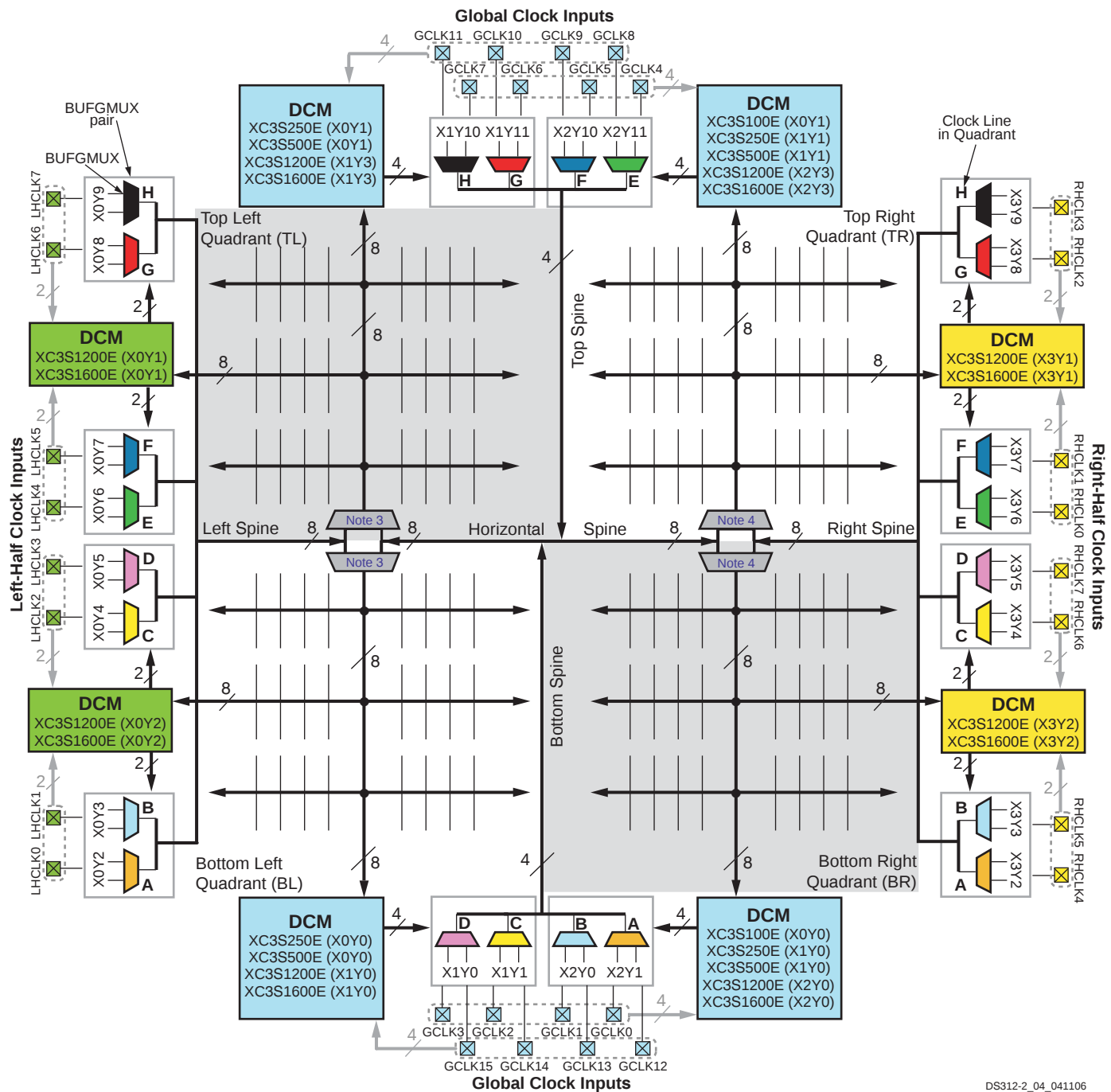
S 入力	O 出力
0	I0 入力
1	I1 入力

BUFG クロック バッファ プリミティブは、クロック ネットワークの 1 つのクロック信号を駆動します。エレメントは BUFGMUX と同じですが、クロックを選択する機能はありません。同様に、BUFGCE プリミティブは BUFGMUX のクロック選択機能を使用してイネーブル付きのクロック バッファを作成します。

BUFGMUX への I0 および I1 入力は、図 46 に示すように、クロック入力ピン、DCM、ダブルライン インターコネクトのいずれから接続されています。BUFGMUX はデバイスの 4 辺に分散されており、合計で 24 個あります (図 45 を参照)。上辺 4 つと下辺 4 つの BUFGMUX エレメントからのクロック信号は、グローバル信号で、すべてのクロック区画に接続されます。左側 8 つの BUFGMUX エレメントは、デバイスの左半分の 2 つのクロック区画のみに接続され、右側 8 つの BUFGMUX エレメントは、右半分の区画にのみ接続されます。

BUFGMUX はペアになっており、クロック スイッチ マトリクスを使用して隣接する BUFGMUX と I0 および I1 接続を共有します (図 46 を参照)。たとえば、BUFGMUX の I0 の入力はその隣の BUFGMUX の I1 への入力になります。

左右の BUFGMUX のクロック スイッチ マトリクスには、LHCLK か RHCLK ピンのどちらか、ダブルライン インターコネクト、DCM (XC3S1200E および XC3S1600E デバイスの場合) のいずれから信号が供給されます。



DS312-2_04_041106

メモ:

1. 上図は、電気的な接続を示します。コンポーネントの座標は正しいものですが、デバイス上での物理的な位置と一致しているとは限りません。
2. DCM の数や位置はデバイスの集積度によって異なります。左右の DCM は XC3S1200E と XC3S1600E の場合にのみ存在します。XC3S100E には DCM が右上と右下に 1 つずつ、合計 2 つしか存在しません。
3. 図 47a を参照してください。
4. 図 47b を参照してください。
5. DCM ではなく特定のクロック バッファにクロックを直接入力する最適な方法は、表 41 を参照してください。
6. BUFGMUX ではなく特定の DCM にクロックを直接入力する最適な方法は、表 30、表 31、および表 32 を参照してください。

図 45: Spartan-3E の内部区画ベースのクロック ネットワーク (上面図)

上下のクロック スイッチ マトリクスには、2 つの GCLK ピン、2 つの DCM 出力、1 つのダブル ライン インターコネクトのいずれかから信号が供給されます。

表 41 は、クロック入力と BUFGMUX 間で許容される接続を示しています。I0 入力は、クロック バッファへの接続に最適です。I1 入力は、クロック マルチプレクサ機能用のセカンダリ入力として使用できます。

上辺の 4 つの BUFGMUX は 2 つずつのペアになっており、その上の 8 つのグローバル クロック入力を共有します。BUFGMUX ペアは、図 45 に示すように、それぞれ 8 つのグローバル クロック入力のうちの 4 つに接続されます。これにより、BUFGMUX を無駄にせず、グローバル クロック入力で差動入力を使用できます。

表 41: クロック入力から BUFGMUX とその区画クロックへの接続

区画 クロック ライン(1)	左側の BUFGMUX			上下の BUFGMUX			右側の BUFGMUX		
	位置(2)	I0 入力	I1 入力	位置(2)	I0 入力	I1 入力	位置(2)	I0 入力	I1 入力
H	X0Y9	LHCLK7	LHCLK6	X1Y10	GCLK7 または GCLK11	GCLK6 または GCLK10	X3Y9	RHCLK3	RHCLK2
G	X0Y8	LHCLK6	LHCLK7	X1Y11	GCLK6 または GCLK10	GCLK7 または GCLK11	X3Y8	RHCLK2	RHCLK3
F	X0Y7	LHCLK5	LHCLK4	X2Y10	GCLK5 または GCLK9	GCLK4 または GCLK8	X3Y7	RHCLK1	RHCLK0
E	X0Y6	LHCLK4	LHCLK5	X2Y11	GCLK4 または GCLK8	GCLK5 または GCLK9	X3Y6	RHCLK0	RHCLK1
D	X0Y5	LHCLK3	LHCLK2	X1Y0	GCLK3 または GCLK15	GCLK2 または GCLK14	X3Y5	RHCLK7	RHCLK6
C	X0Y4	LHCLK2	LHCLK3	X1Y1	GCLK2 または GCLK14	GCLK3 または GCLK15	X3Y4	RHCLK6	RHCLK7
B	X0Y3	LHCLK1	LHCLK0	X2Y0	GCLK1 または GCLK13	GCLK0 または GCLK12	X3Y3	RHCLK5	RHCLK4
A	X0Y2	LHCLK0	LHCLK1	X2Y1	GCLK0 または GCLK12	GCLK1 または GCLK13	X3Y2	RHCLK4	RHCLK5

メモ:

- 8 つの区画クロックの接続については、「[区画クロックの配線](#)」を参照してください。
- 特定の BUFGMUX の位置については図 45 を、区画内の特定のクロック ラインをどう駆動するかについては図 47 を参照してください。

下辺の BUFGMUX の接続は、上辺と同様です (図 46 を参照)。

左右の BUFGMUX の場合、各ペアに接続されるクロック入力は 2 つのみです。

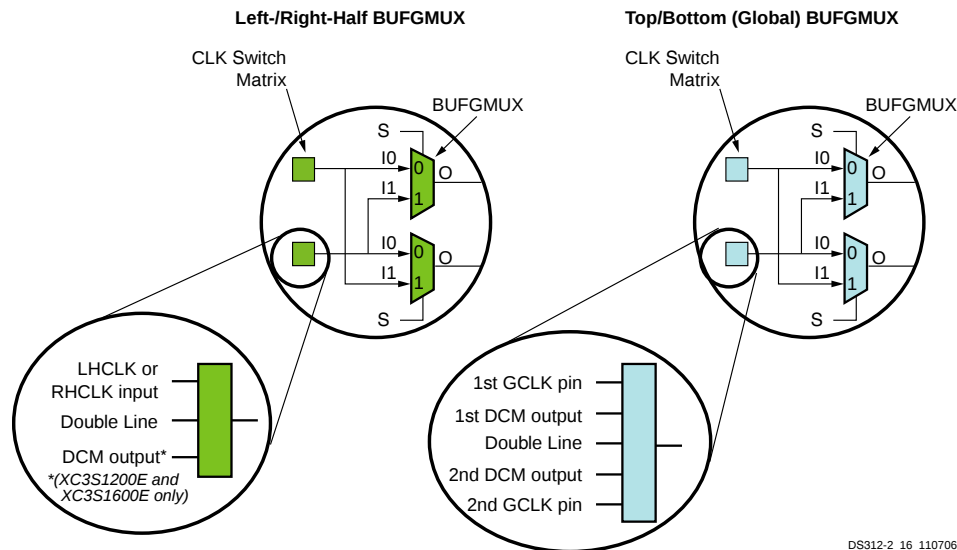


図 46: BUFGMUX ペアとクロック スイッチ マトリクスの接続

区画クロックの配線

FPGA のクロック配線は、図 45 に示すように 4 つの区画別になっています。各クロック区画では、表 41 と図 47 に示すように、A ~ H という合計 8 つのクロック信号がサポートされます。それぞれのクロック ラインのクロック ソースは、上下の BUFGMUX グローバル エLEMENT か、図 47 に示すようにそれぞれの辺にある BUFGMUX エLEMENT のいずれかです。クロック ラインは区画内の同期リソース エLEMENT (CLB、IOB、ブロック RAM、乗算器、DCM) に接続されます。

デバイスの 4 区画は、それぞれ次のように表示されています。

- 右上 (TR)
- 右下 (BR)
- 左下 (BL)
- 左上 (TL)

この区画クロックを表す TR、BR、BL、TL は、IOB の同様の配置制約で使用するものとは異なります。

特定の I/O が含まれる区画の予測には、「ピン配置の説明」(モジュール 4) のフットプリント図を参照してください。正確な区画は、PACE フロアプラン ツールを用いて確認できます。

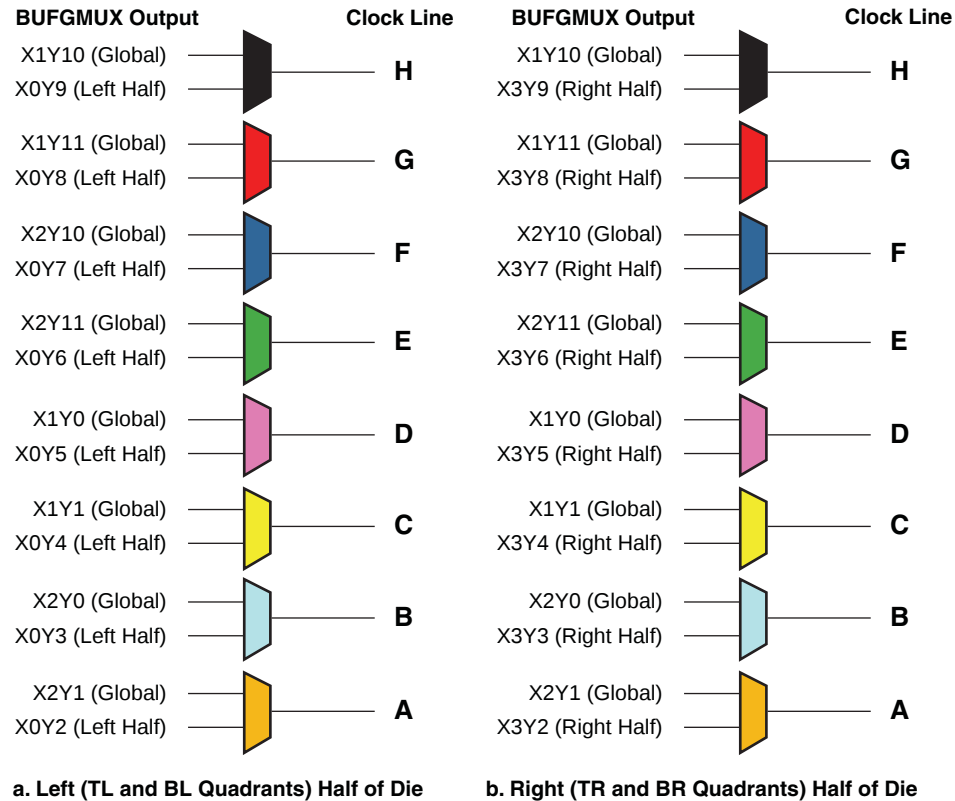


図 47: 1 クロック区画内の 8 クロック ラインのクロック ソース

上下の BUFGMUX の出力は、図 45 に示すように、これらのラインは 2 つの垂直ライン (トップ ライン/ボトム ライン) に接続され、それぞれ 4 本の垂直方向のクロック ラインを構成します。これらのクロック信号は、チップの中央で 8 本の水平方向のクロック ラインに接続されます。

左右の BUFGMUX の出力は、レフト ラインとライト ラインに配線されます。これらのラインは、それぞれ 8 本の水平方向のクロック ラインを構成します。

クロック区画内の 8 つのクロック信号は、それぞれグローバル クロック信号またはハーフ クロック信号で駆動されます。FPGA に合計で最大 24 個のクロック入力を使用できますが、そのうちの

8 つを 1 つのクロック区画の同期エレメントに接続できます。図 47 は、各区画のクロック ラインが BUFGMUX ソースからどのように選択されるかを示しています。たとえば、左下 (BL) の区画クロック A が BUFGMUX_X2Y1 から接続されている場合、BUFGMUX_X0Y2 からのクロック信号はその区画では使用できませんが、左上 (TL) の区画クロック A では BUFGMUX_X2Y1 または BUFGMUX_X0Y2 のいずれかの出力をソースとして使用できます。

ザイリンクス開発ソフトウェアでは、クロック ネットワークの電力損失を抑えるために、すべての未使用のクロック セグメントが自動的にディスエーブルになります。

インターコネクト

詳細は、[UG331](#) の「インターコネクトの使用」を参照してください。

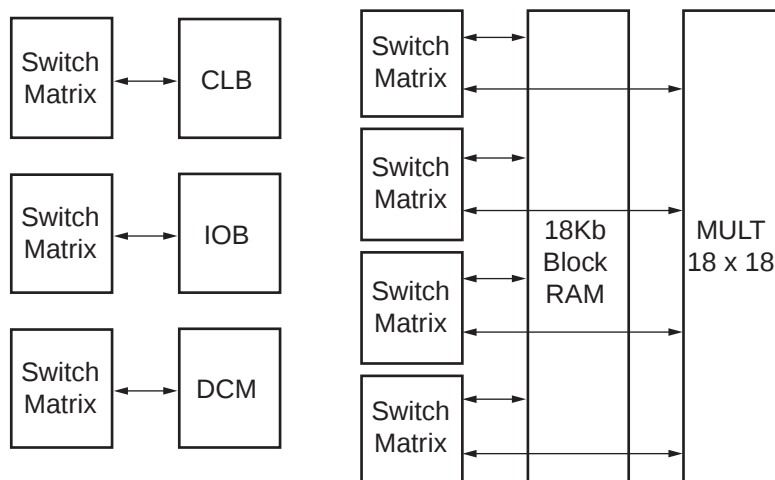
インターコネクトとは、FPGA 内の IOB、CLB、DCM、ブロック RAM のようなファンクション エLEMENT の入力と出力間をつなぐ信号経路であり、プログラム可能なネットワークのことです。

概要

インターコネクト (配線) は、最適な接続を達成するため分割されています。インターコネクト リソースの機能は **Spartan-3** と同様で、ロング ライン、HEX ライン、ダブル ライン、ダイレクト ラインの 4 種のラインがあります。ザイリンクスの配置配線 (PAR) ソフトウェアを使用すると、これらのインターコネクト配列を活用して、最適なシステム パフォーマンスと最速のコンパイル時間が達成できます。

スイッチ マトリクス

スイッチ マトリクスは、デバイスのさまざまなインターコネクトに接続されています。[図 48](#) に示すように、インターコネクト タイルは、CLB、IOB、DCM のようなファンクション エLEMENT に接続される 1 つのスイッチ マトリクスとして定義されます。ブロック RAM や乗算器のように、ファンクション エLEMENT が複数のスイッチ マトリクスに接続される場合、インターコネクト タイルはそのエレメントに接続されるスイッチ マトリクスの数で定義されます。**Spartan-3E** デバイスは、インターコネクト タイルの配列であり、インターコネクト リソースは[図 49](#) に示すように、2 つの隣接するインターコネクト タイルの行または列の間のチャネルの役割を果たします。



DS312_08_020905

図 48：4 種のインターコネクト タイル (CLB、IOB、DCM、ブロック RAM/乗算器)

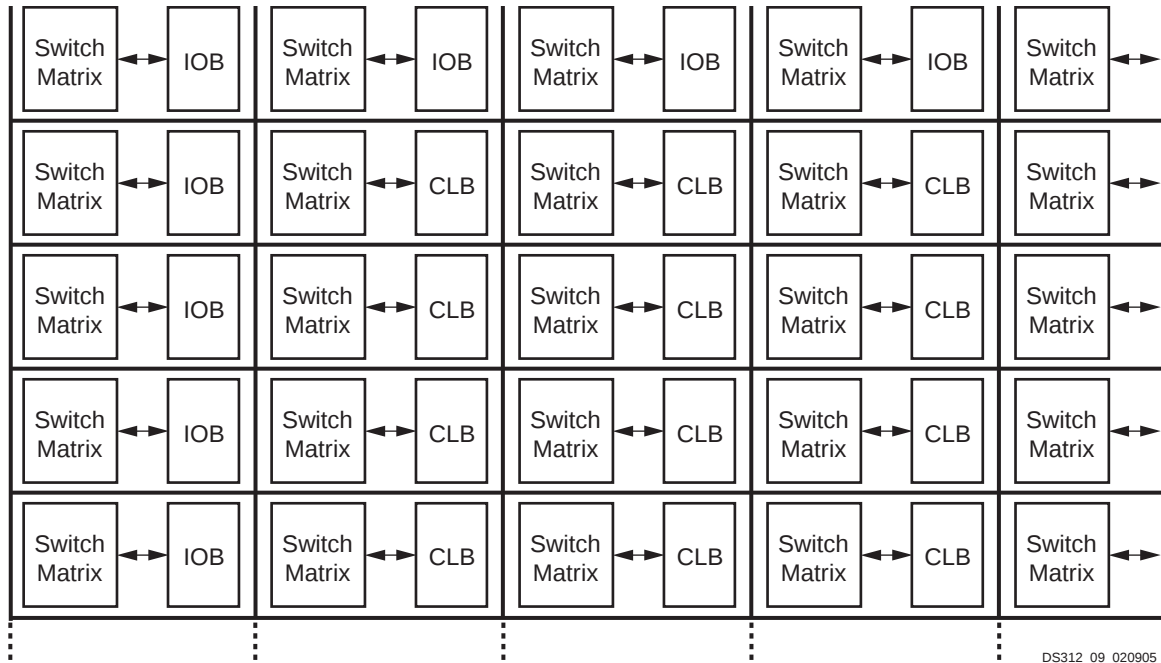


図 49 : Spartan-3E FPGA のインターコネクト タイルの配列

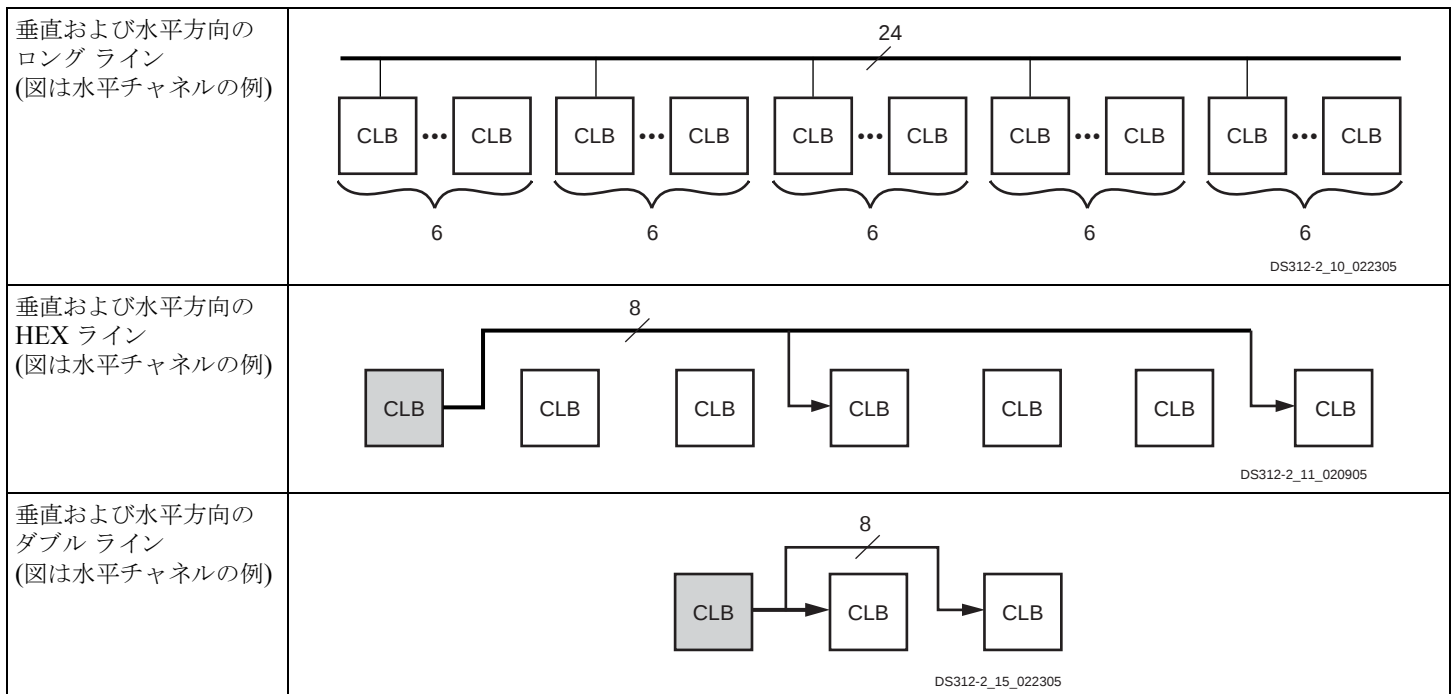


図 50 : 2 つの隣接するインターコネクト タイルのタイプ

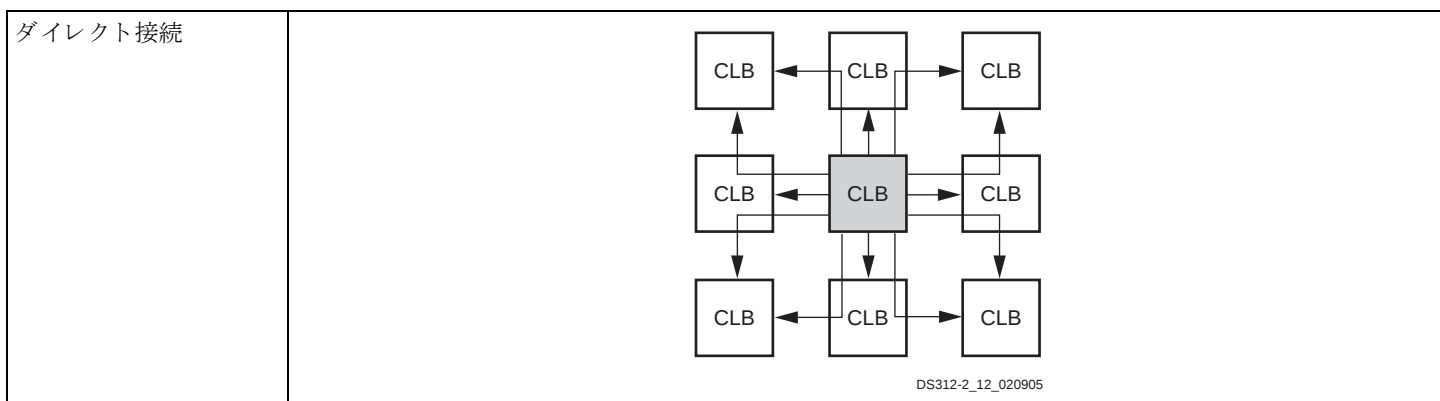


図 50：2つの隣接するインターコネクト タイルのタイプ (続き)

次に、図 50 に示す各チャンネルで使用可能な 4 つの汎用インターコネクトについて説明します。

ロングライン

チップのエッジからエッジに配線された 24 本のロングライン信号は、インターコネクト タイル 6 つごとに接続されます。どのタイルでも、4 本のロングラインでスイッチ マトリクスからの信号が送受信されます。ロングラインはキャパシタンスが低いため、最小限の負荷 (スキューなど) で高周波数の信号を送信するのに適しています。また、グローバル クロック ラインすべてが使用されており、割り当てる必要のある信号が残っている場合に、代替ラインとして使用できます。

HEX ライン

8 つの HEX ラインは、垂直方向および水平方向に、3 タイルごとに接続されます。インターコネクト タイル間で使用可能な HEX ラインは 32 本あります。このラインは、配線の最初の 1 つからしか駆動されません。

ダブルライン

ダブルラインの 8 本は、4 方向に、タイル 1 つおきに接続されます。インターコネクト タイル間で使用可能なダブルラインは 32 本あります。ダブルラインは、ロングラインや HEX ラインよりも接続が多く、柔軟性も高くなっています。

ダイレクト接続

ダイレクト接続では、隣接するタイルを垂直方向、水平方向、および対角線方向に接続します。ソース タイルからの信号をダブルライン、HEX ライン、ロングラインのいずれかに送信し、これらのインターコネクトからダイレクト ラインに信号を戻してデスティネーション タイルにアクセスします。

グローバル制御信号 (STARTUP_SPARTAN3E)

Spartan-3E には、汎用のインターコネクト以外に、表 42 に示す 2 つのグローバル ロジック制御信号が含まれます。これらの信号は、STARTUP_SPARTAN3E プリミティブを使用すると、FPGA アプリケーションで使用できます。

表 42：Spartan-3E グローバル ロジック制御信号

グローバル制御 入力	説明
GSR	グローバル セット/リセット。High の場合、非同期ですべてのレジスタとフリップフロップを初期状態に戻します (32 ページの「初期化」を参照)。FPGA コンフィギュレーション プロセス中に自動的にアサートされます (107 ページの「スタートアップ」を参照)。
GTS	グローバル トライステート。High の場合、非同期ですべての I/O ピンをハイインピーダンス状態 (Hi-Z、トライステート) にします。

グローバル セット/リセット (GSR) 信号は、ほとんどの ASIC タイプのデザインに含まれるグローバル リセット信号と同じものです。グローバル リセット信号の代わりに GSR を使用すると、CLB の入力を節約でき、より小型で効率的なデザインが作成できます。同様に、FPGA コンフィギュレーション プロセス中に GSR 信号を自動的にアサートすることにより、FPGA が既知のステートで起動されるようになります。

STARTUP_SPARTAN3E プリミティブには、コンフィギュレーション用に使用される信号がほかにも 2 つ含まれます。1 つは 93 ページの「マルチブート オプションを使用した複数のコンフィギュレーション イメージの読み込み」に記述される MBT 信号で、もう 1 つは 107 ページの「スタートアップ」に記述される、コンフィギュレーションのクロックの 1 つである CLK 入力です。

コンフィギュレーション

コンフィギュレーションの詳細は、[UG332](#):『Spartan-3 ジェネレーション コンフィギュレーション ガイド』を参照してください。

Spartan-3 FPGA との相違点

Spartan-3E FPGA のコンフィギュレーションモードは Spartan-3 FPGA と基本的に同じですが、新しく 2 つのコンフィギュレーションモードが追加されており、追加ロジックなしで、業界標準の平行 NOR Flash メモリおよびシリアル SPI Flash メモリを用いたコンフィギュレーションを実現できます。

コンフィギュレーション プロセス

Spartan-3E FPGA の機能は、マイクロプロセッサの機能をアプリケーションプログラムで定義するのと同様、アプリケーションのコンフィギュレーションデータを FPGA の再プログラム可能な内部 CMOS コンフィギュレーション ラッチ (CLL) に読み込むことで定義します。FPGA のコンフィギュレーションプロセスでは、コンフィギュレーション専用ピンやアプリケーションから借用したピンなどのデバイスピンが使用されます。借用されたピン

はコンフィギュレーションが終了すると汎用のユーザー I/O としてアプリケーションに戻されます。

Spartan-3E FPGA には、コンフィギュレーションのシステム デザイン全体に与える影響を最小限に抑えるコンフィギュレーション オプションが複数含まれます。コンフィギュレーション モードには、FPGA がクロックを生成し、外部メモリソースからシリアルまたはバイト幅のデータバスを介して読み込むものがあります。マイクロプロセッサのような外部ホストにより、単純な同期シリアル インターフェイスまたはバイト幅のペリフェラル型 インターフェイスを使用して、FPGA のコンフィギュレーションデータをダウンロードする方法もあります。また、デジタイゼーションという構造を作成して、複数の FPGA で 1 つのコンフィギュレーション メモリ ソースを共有させることもできます。

3 つの FPGA ピン (M2、M1、M0) は、コンフィギュレーション モードを選択するのに使用します。モード ピンの設定を表 43 に示します。モード ピンの値は、FPGA の INIT_B 出力が High になると、コンフィギュレーションの開始時にサンプリングされます。FPGA のコンフィギュレーションが終了したら、これらのモードピンはユーザー I/O として使用できます。

表 43 : Spartan-3E FPGA のコンフィギュレーション モード オプションとピン設定

	マスタ シリアル	SPI	BPI	スレーブ パラレル	スレーブ シリアル	JTAG
M[2:0] モード ピンの 設定	<0:0:0>	<0:0:1>	<0:1:0>=Up <0:1:1>=Down	<1:1:0>	<1:1:1>	<1:0:1>
データ幅	シリアル	シリアル	バイト幅	バイト幅	シリアル	シリアル
コンフィギュレー ション メモリ ソース	ザイリンクス Platform Flash	業界標準のシリ アル SPI Flash	業界標準のパラ レル NOR Flash またはザイリン クスのパラレル Platform Flash	マイクロコント ローラ、CPU、 ザイリンクスの パラレル Platform Flash などを介した ソース	マイクロコント ローラ、CPU、 ザイリンクス Platform Flash などを介した ソース	マイクロコント ローラ、CPU、 System ACE™ CF などを介し たソース
クロック ソース	内部 オシレータ	内部オシレータ	内部オシレータ	CCLK ピンの外 部クロック	CCLK ピンの 外部クロック	TCK ピンの 外部クロック
コンフィギュレーシ ョン中に借用した I/O ピ ンの総数	8	13	46	21	8	0
デジタイゼーション 接続されたダウン ストリームの FPGA のコンフィギュレー ション モード	スレーブ シリアル	スレーブ シリアル	スレーブ パラレル	スレーブ パラレル またはメモリ マップ	スレーブ シリアル	JTAG
スタンドアロンの FPGA アプリケー ション (外部ダウン ロード ホストなし)	✓	✓	✓	オプションで CCLK を生成で きる XCFxxP Platform Flash を使用すれば 可能	オプションで CCLK を生成で きる XCFxxP Platform Flash を使用すれば 可能	

表 43 : Spartan-3E FPGA のコンフィギュレーション モード オプションとピン設定 (続き)

	マスタ シリアル	SPI	BPI	スレーブ パラレル	スレーブ シリアル	JTAG
低コストの業界標準の Flash メモリの使用		✓	✓			
マルチブート モード とマルチ コンフィ ギュレーション モードをオプションで サポート			✓			

コンフィギュレーション ビットストリームの イメージ サイズ

表 44 に示す特定の製品番号の Spartan-3E には、デザインの複雑さに関係なく、常に決まった数のコンフィギュレーション ビットが必要です。複数の FPGA がデジタイズ チェーン接続されるデザインのコンフィギュレーション ファイルのサイズは、それぞれのファイル サイズの合計とほぼ同じになります。

表 44 : Spartan-3E のプログラムに必要なビット数
(ビットストリームの圧縮なし)

Spartan-3E FPGA	コンフィギュレーション ビット数
XC3S100E	581,344
XC3S250E	1,353,728
XC3S500E	2,270,208
XC3S1200E	3,841,184
XC3S1600E	5,969,696

コンフィギュレーション中のピンの動作

詳細は、[UG332](#) の「コンフィギュレーション中のコンフィギュレーション ピンおよびピンの動作」を参照してください。

表 45 に、FPGA のコンフィギュレーション中のピンの動作を示します。実際の動作は、モード ピン (M2、M1、M0) と HSWAP ピンの値によって異なります。モード ピンの設定によって、コンフィギュレーション中にどの I/O ピンを借用するか、どのように機能させるかが決まります。JTAG コンフィギュレーション モードの場合、ユーザー I/O ピンはコンフィギュレーション用に借用できません。

選択したコンフィギュレーション モードで使用されないユーザー I/O ピン、入力のためのピン、多目的ピンはすべて、コンフィギュレーション プロセス中はハイ インピーダンス (フローティング状態、トライステート、Hi-Z) になります。表 45 では、これらのピンを影付きのセルで表示しています。

HSWAP 入力、すべてのユーザー I/O ピン、入力のためのピン、多目的ピンのプルアップ抵抗を電源レールに接続するかどうかを制御します。HSWAP が Low の場合、コンフィギュレーション中これらのピンの内部プルアップ抵抗がアクティブになります。コンフィギュレーションが終了すると、「**プルアップ抵抗およびプルダウン抵抗**」で説明するように、プルアップ抵抗とプルダウン抵抗が FPGA アプリケーションで使用可能になります。

表の黄色のセルは、HSWAP 入力にかかわらず、コンフィギュレーション中にプルアップ抵抗が常にイネーブルになっているピンを示します。コンフィギュレーション後の動作は、Bitstream Generator (BitGen) のオプションで指定します (表 68 を参照)。

表 45 : コンフィギュレーション中のピンの動作

ピン名	マスタ シリアル	SPI (シリアル Flash)	BPI (パラレル NOR Flash)	JTAG	スレーブ パラレル	スレーブ シリアル	I/O バンク ⁽³⁾
IO* (ユーザー I/O) IP* (入力のみ)							-
TDI	TDI	TDI	TDI	TDI	TDI	TDI	V _{CCAUX}
TMS	TMS	TMS	TMS	TMS	TMS	TMS	V _{CCAUX}
TCK	TCK	TCK	TCK	TCK	TCK	TCK	V _{CCAUX}
TDO	TDO	TDO	TDO	TDO	TDO	TDO	V _{CCAUX}
PROG_B	PROG_B	PROG_B	PROG_B	PROG_B	PROG_B	PROG_B	V _{CCAUX}
DONE	DONE	DONE	DONE	DONE	DONE	DONE	V _{CCAUX}

表 45：コンフィギュレーション中のピンの動作 (続き)

ピン名	マスタ シリアル	SPI (シリアル Flash)	BPI (パラレル NOR Flash)	JTAG	スレーブ パラレル	スレーブ シリアル	I/O バンク ⁽³⁾
HSWAP	HSWAP	HSWAP	HSWAP	HSWAP	HSWAP	HSWAP	0
M2	0	0	0	1	1	1	2
M1	0	0	1	0	1	1	2
M0	0	1	0 = Up 1 = Down	1	0	1	2
CCLK	CCLK (I/O)	CCLK (I/O)	CCLK (I/O)		CCLK (I)	CCLK (I)	2
INIT_B	INIT_B	INIT_B	INIT_B		INIT_B	INIT_B	2
CSO_B		CSO_B	CSO_B		CSO_B		2
DOUT/BUSY	DOUT	DOUT	BUSY		BUSY	DOUT	2
MOSI/CSI_B		MOSI	CSI_B		CSI_B		2
D7			D7		D7		2
D6			D6		D6		2
D5			D5		D5		2
D4			D4		D4		2
D3			D3		D3		2
D2			D2		D2		2
D1			D1		D1		2
D0/DIN	DIN	DIN	D0		D0	DIN	2
RDWR_B			RDWR_B		RDWR_B		2
A23			A23				2
A22			A22				2
A21			A21				2
A20			A20				2
A19/VS2		VS2	A19				2
A18/VS1		VS1	A18				2
A17/VS0		VS0	A17				2
A16			A16				1
A15			A15				1
A14			A14				1
A13			A13				1
A12			A12				1
A11			A11				1
A10			A10				1
A9			A9				1
A8			A8				1
A7			A7				1
A6			A6				1
A5			A5				1
A4			A4				1
A3			A3				1

表 45: コンフィギュレーション中のピンの動作 (続き)

ピン名	マスタ シリアル	SPI (シリアル Flash)	BPI (パラレル NOR Flash)	JTAG	スレーブ パラレル	スレーブ シリアル	I/O バンク ⁽³⁾
A2			A2				1
A1			A1				1
A0			A0				1
LDC0			LDC0				1
LDC1			LDC1				1
LDC2			LDC2				1
HDC			HDC				1

メモ:

- 影付きのセルは、コンフィギュレーション中にハイ インピーダンス (Hi-Z、フローティング状態) のピンを表しています。HSWAP 入力 Low の場合、これらのピンとコンフィギュレーション中アクティブな V_{CCO} 電源ピン間には、オプションで内部プルアップ抵抗を付けることができます。
- 黄色のセルは、HSWAP 入力にかかわらず、コンフィギュレーション中内部プルアップ抵抗が常にイネーブルになっているピンを示します。
- 多目的出力ピンは V_{CCO} によって、コンフィギュレーション入力は V_{CCAUX} によって電源供給されます。

表 46: コンフィギュレーション中のデフォルトの I/O 規格設定 ($V_{CCO_2} = 2.5V$)

ピン	I/O 規格	出力電流	スルー レート
CCLK を含むすべて	LVC MOS25	8mA	Slow

HSWAP ピン自体は、コンフィギュレーション中プルアップ抵抗がイネーブルになっていますが、 V_{CCO_0} 電源を適用しないとプルアップ抵抗がアクティブになりません。 V_{CCO_0} 電源を V_{CCO_2} 電源より後に適用する場合は、HSWAP をフロート状態にせず、特定のロジック レベルに接続してください。

Spartan-3E FPGA には、DONE および PROG_B ピンと、4 つの JTAG バウンダリ スキャン ピン (TDI、TDO、TMS、および TCK) の 6 つのコンフィギュレーション専用ピンがあります。その他のコンフィギュレーション ピンは多目的 I/O ピンであり、DONE ピンが High になった後は FPGA アプリケーションで使用できます。詳細は、「スタートアップ」を参照してください。表 46 は、コンフィギュレーション プロセス中のさまざまなコンフィギュレーション ピンのデフォルトの I/O 規格設定を示しています。コンフィギュレーション インターフェイスは、 V_{CCO_2} (BPI モードでは V_{CCO_1}) を 2.5V に接続して 2.5V で動作するよう設計されています。

コンフィギュレーション ピンは、 V_{CCO_2} (BPI モードでは V_{CCO_1}) を 3.3V か 1.8V に設定すると、ほかの電圧でも動作します。 V_{CCO} の電圧を変更すると、有効な IOSTANDARD を含む I/O の特性も変わります。たとえば、 $V_{CCO} = 3.3V$ の場合、出力特性は LVC MOS33 に類似し、High を駆動する出力電流 I_{OH} は約 12 ~ 16mA に増加します。 $V_{CCO} = 1.8V$ の場合、出力特性は LVC MOS18 に類似し、High を駆動する出力電流 I_{OH} は約 6 ~ 8mA に下がります。どちらの場合も、Low を駆動する電流 I_{OL} は 8mA のままです。出力電圧は V_{CCO} 電圧によって決定され、LVC MOS18 では 1.8V、LVC MOS25 では 2.5V、LVC MOS33 では 3.3V となります。詳細は [UG332](#) を参照してください。

CCLK デザインに関する注意事項

詳細は、[UG332](#) の「コンフィギュレーション中のコンフィギュレーション ピンおよびピンの動作」を参照してください。

FPGA のコンフィギュレーション プロセスは、CCLK コンフィギュレーション クロックで制御されます。このため、コンフィギュレーションを問題なく実行するには、CCLK のシグナル インテグリティが重要な要素となります。リンギングや反射などにより CCLK のシグナル インテグリティが低下すると、ダブル クロッキングが発生し、コンフィギュレーション プロセスが停止してしまいます。

CCLK の周波数が比較的低い場合でも、Spartan-3E の出力エッジレートは高速になります。このため、PCB の CCLK のシグナル インテグリティには十分な注意が必要です。IBIS を使用したシグナル インテグリティのシミュレーションをお勧めします。JTAG 以外のコンフィギュレーション モードの場合、FPGA の CCLK ピンを含む CCLK のトレース先で、シグナル インテグリティを考慮する必要があります。

シグナル インテグリティの解析は、FPGA でコンフィギュレーション後にユーザー I/O として CCLK ピンが再び使用される場合に特に重要です。この場合、CCLK に無関係のデバイスが接続されていることがあり、トレース長が長くなり、信号の送信先が多くなってしまうことがあるからです。

マスタシリアル、SPI、BPI コンフィギュレーション モードの場合、FPGA で CCLK ピンが駆動されます。CCLK はシグナル インテグリティ解析用に双方向の I/O にする必要があります。BPI モードの場合、CCLK は複数の FPGA を含むデジタイズ チェーンでのみ使用されます。

シグナル インテグリティの問題がないようにするには、次の基本的な PCB ガイドラインに従ってください。

- CCLK 信号を 50 Ω のインピーダンス制御された伝送ラインとして配線します。
- CCLK 信号の配線は分岐せず、スター トポロジ (星型配線) も使用しないでください。
- スタブが必要な場合は、10mm (0.4 インチ) 未満の長さにします。
- CCLK 伝送ラインの終わりを終端処理します。

HSWAP、M[2:0]、VS[2:0] ピンに関する注意事項

詳細は、[UG332](#) の「コンフィギュレーション中のコンフィギュレーション ピンおよびピンの動作」を参照してください。

以前にリリースされた Spartan ファミリとは違い、Spartan-3E の多目的コンフィギュレーション ピンのほとんどはコンフィギュレーション後に DONE 出力が High になると、ユーザー I/O ピンとして使用できるようになります。

HSWAP ピン、モード セレクト ピン (M[2:0])、バリエント セレクト ピン (VS[2:0]) は、コンフィギュレーション開始時に有効で安定したロジック値になっている必要があります。VS[2:0] は、

SPI コンフィギュレーション モードでしか使用されません。M[2:0] と VS[2:0] ピンのレベルは、INIT_B ピンが High に戻るとサンプリングされます。タイミングの例は、[図 77](#) を参照してください。

[表 47](#) に示すように、HSWAP ピンの設定によって、コンフィギュレーション中に FPGA のユーザー I/O ピンと V_{CCO} 間にプルアップ抵抗が付くかどうかが決まります。HSWAP ピンは、コンフィギュレーション開始時に有効になっており、コンフィギュレーション中は一定値に保つ必要があります。

表 47 : HSWAP の動作

HSWAP の値	説明
0	プルアップ抵抗がコンフィギュレーション中にすべてのユーザー I/O または多目的 I/O ピンと V _{CCO} 間に接続されます。プルアップ抵抗は、コンフィギュレーションが終了するまでアクティブになります。
1	コンフィギュレーション中、プルアップ抵抗は使用されません。ユーザー I/O または多目的 I/O ピンはすべて、ハイ インピーダンスになります。

表 48 : HSWAP、M[2:0]、VS[2:0] ピンのプルアップ/プルダウン抵抗

HSWAP の値	コンフィギュレーション中の I/O のプルアップ抵抗	HSWAP、M[2:0]、VS[2:0] のロジック レベルを定義するのに必要な抵抗値	
		High	Low
0	オン	V _{CCO} に接続される内部プルアップ抵抗を使用し、ロジック レベルを High にします。外部からのプルアップ抵抗は必要ありません。	GND に最適なサイズのプルダウン抵抗を使用し、ロジック レベルを Low にします。2.5V または 3.3V の場合は $R \leq 560\Omega$ 、1.8V の場合は $R \leq 1.1k\Omega$ です。
1	オフ	V _{CCO} に 3.3 ~ 4.7kΩ の抵抗を使用し、ロジック レベルを High にします。	V _{CCO} に 3.3 ~ 4.7kΩ の抵抗を使用し、ロジック レベルを Low にします。

コンフィギュレーションのセクションでは、コンフィギュレーション モード別に詳細な回路図を掲載しています。回路図には、HSWAP、M[2:0]、VS[2:0] に必要なロジック値が示されていますが、アプリケーションでどのようにロジック Low または High にするかは示されていません。HSWAP、M[2:0]、VS[2:0] は、専用ピンにするか、FPGA アプリケーションで再使用するかのいずれかに指定できます。

専用ピンとしての HSWAP、M[2:0]、VS[2:0]

HSWAP、M[2:0]、VS[2:0] ピンをコンフィギュレーション後の FPGA で使用しない場合は、これらのピンは V_{CCO} または GND に接続します。詳細は、該当するコンフィギュレーション回路図を参照してください。

コンフィギュレーション後の HSWAP、M[2:0]、VS[2:0] の再使用

コンフィギュレーション後に HSWAP、M[2:0]、VS[2:0] ピンを再使用する場合は、プルアップまたはプルダウン抵抗を付けるとロジック値を決定できます。詳細は、該当するコンフィギュレーション回路図を参照してください。

[表 48](#) に示すように、HSWAP のロジック レベルによって M[2:0] と VS[2:0] のロジック レベルが決まります。アプリケーションで HSWAP を High にする必要がある場合は、V_{CCO_0} に 3.3 ~ 4.7kΩ の外部抵抗を使用して HSWAP ピンを High にします。HSWAP を Low にする必要がある場合は、HSWAP を GND に接続するか、最適なサイズの外部プルダウン抵抗を GND に接続します。HSWAP が Low になると、V_{CCO_0} に内部プルアップ抵抗が付きます。また、外部プルダウン抵抗には、コンフィギュレーション中に使用される I/O 規格で HSWAP を Low に指定できる抵抗値を使用する必要があります。2.5V または 3.3V の

I/O の場合は、 560Ω 以下のプルダウン抵抗を使用します。1.8V の I/O の場合は、 $1.1k\Omega$ 以下のプルダウン抵抗にします。

HSWAP が決定したら、表 48 を使用して M[2:0] および VS[2:0] のロジック値を決定します。

外部プルアップまたはプルダウン抵抗には、アプリケーションで使用可能な範囲内の一番弱い抵抗を使用してください。この抵抗には、コンフィギュレーション中にロジック Low または High を

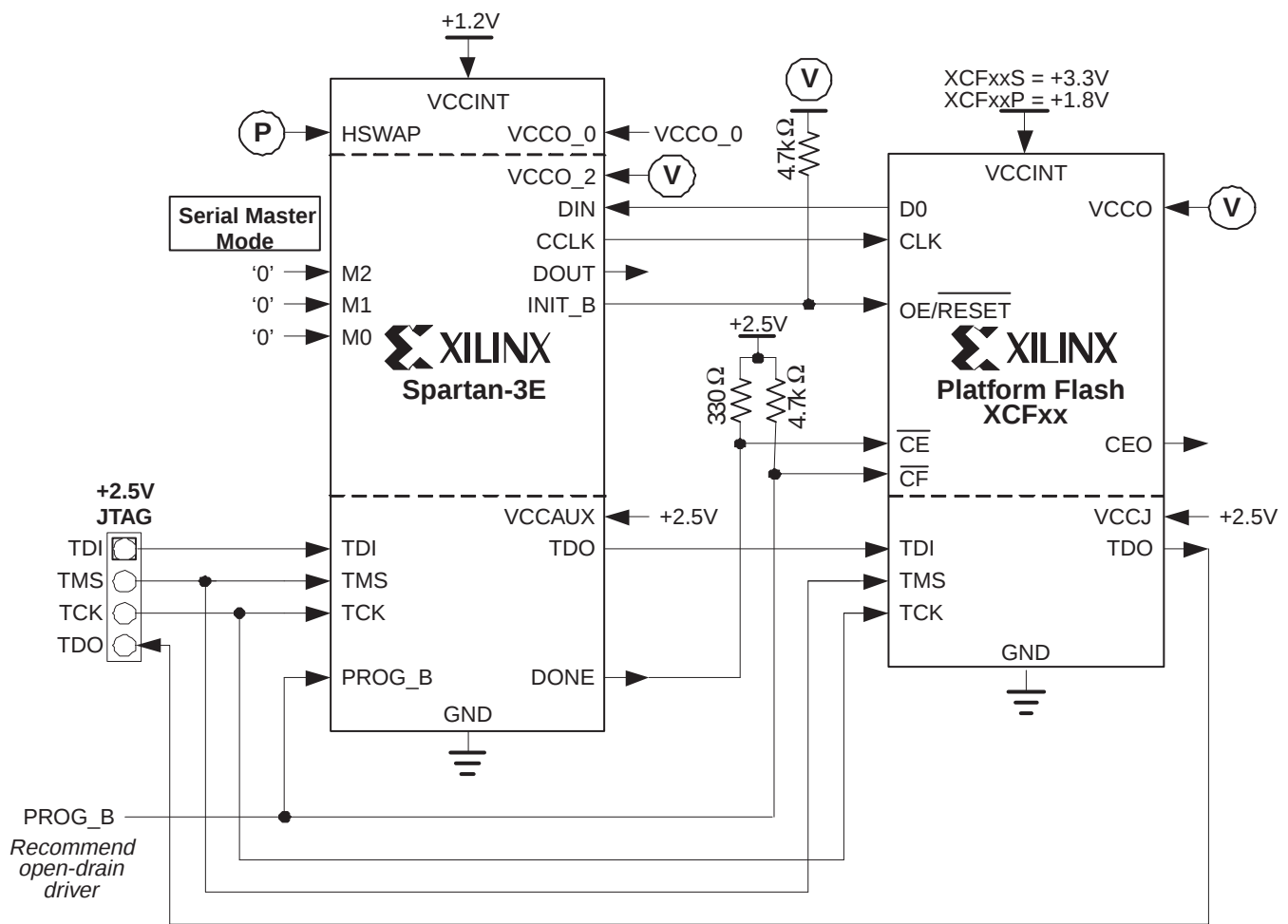
定義できる抵抗値のものを使用する必要があります。ただし、コンフィギュレーション後に HSWAP、M[2:0]、VS[2:0] ピンを駆動する場合、出力電流はプルアップ/プルダウン抵抗があっても、最適なロジックレベルに駆動できる強さにする必要があります。たとえば、プルダウン抵抗が 560Ω の場合、3.3V の I/O ピンに 6mA 以上の電流が必要です。

マスタ シリアル モード

詳細は、UG332 の「マスタ シリアル モード」を参照してください。

マスタ シリアル モード (M[2:0] = <0:0:0>) の場合、図 51 に示すように、Spartan-3E は接続されたザイリンクス Platform Flash PROM からコンフィギュレーションされます。FPGA の内部オ

シレータからの CCLK 出力が Platform Flash PROM に供給され、Platform Flash PROM から FPGA の DIN 入力にビット シリアル形式のデータが送信されます。FPGA はこのデータを CCLK の立ち上がりエッジごとに受信します。



DS312-2_44_102105

図 51: Platform Flash PROM を使用したマスタ シリアル モード

モード セレクト ピン (M[2:0]) は、FPGA の INIT_B 出力が High になってサンプリングされるときに、Low になっている必要があります。コンフィギュレーション後に FPGA の DONE 出力が High になると、このピンはユーザー I/O ピンとして使用できます。

Ⓐ FPGA の HSWAP ピンは、コンフィギュレーション中にすべてのユーザー I/O ピンのプルアップ抵抗をオンにする場合は Low に、オフにする場合は High にする必要があります。HSWAP は、FPGA コンフィギュレーション中は一定のロジックレベルに保つ必要があります。このピンは、コンフィギュレーションが終わって FPGA の DONE 出力が High になったら、ユーザー I/O

ピンとして使用できるようになります。電源には **VCCO_0** が使用されます。

一の FPGA アプリケーションの場合は使用されませんが、コンフィギュレーション プロセス中にはアクティブに駆動します。

FPGA の DOUT ピンはデジタイズ チェーン接続のアプリケーション (後に説明あり) で使用されます。FPGA の DOUT ピンは、**表 49: シリアル マスタ モードの接続**

ピン名	FPGA の方向	説明	コンフィギュレーション中	コンフィギュレーション後
HSWAP (P)	入力	ユーザー I/O のプルアップ抵抗制御。コンフィギュレーション中に Low の場合、各 I/O バンクの V_{CCO} 入力へのすべての I/O ピンのプルアップ抵抗がオンになります。 0: コンフィギュレーション中にプルアップ抵抗を使用 1: プルアップ抵抗なし	コンフィギュレーション中、有効なロジック レベルに駆動します。	ユーザー I/O
M[2:0]	入力	モード セレクト。FPGA コンフィギュレーション モードを選択します。詳細は、「 HSWAP、M[2:0]、VS[2:0] ピンに関する注意事項」を参照してください。	M2 = 0、M1 = 0、M0 = 0。 INIT_B が High になるとサンプリングされます。	ユーザー I/O
DIN	入力	シリアル データ入力	PROM の D0 出力からのシリアル データを受信します。	ユーザー I/O
CCLK	出力	コンフィギュレーション クロック。FPGA の内部オシレータで生成されます。周波数は Bitstream Generator (BitGen) の ConfigRate オプションで指定します。CCLK の PCB トレースが長い、接続が複数ある場合は、この出力を終端処理してシグナル インテグリティを維持します。詳細は、「 CCLK デザインに関する注意事項 」を参照してください。	PROM のクロック入力 (CLK) を駆動します。	ユーザー I/O
DOUT	出力	シリアル データ出力	アクティブに駆動されます。単一の FPGA デザインでは使用されません。デジタイズ チェーン接続の場合は、チェーンの次の FPGA の DIN に接続されます。	ユーザー I/O
INIT_B	オープン ドレインの双方向 I/O	初期化インジケータ。アクティブ Low。コンフィギュレーション開始時、メモリの初期化 (クリア プロセス) 中は Low になります。メモリのクリアが終了し、モード セレクト ピンがサンプリングされると解除されます。 VCCO_2 に対して 4.7kΩ の外部プルアップ抵抗を必要とします。	PROM の OE/RESET 入力に接続されます。FPGA はコンフィギュレーション開始時に PROM のアドレス カウンタを 0 にして、コンフィギュレーション中の出力をイネーブルにします。また、PROM がパワーオン リセット (POR) 状態になるまで FPGA を初期値に保ちます。コンフィギュレーション中に CRC エラーがあると、INIT_B が Low になります。	ユーザー I/O。アプリケーションで使用されない場合は、INIT_B が High になります。

表 49 : シリアル マスタ モードの接続 (続き)

ピン名	FPGA の方向	説明	コンフィギュレーション中	コンフィギュレーション後
DONE	オープン ドレイン の双方向 I/O	FPGA のコンフィギュレーション終了。コンフィギュレーション中は Low で、コンフィギュレーションが終了すると High になります。2.5V に対して 330Ω の外部プルアップ抵抗を必要とします。	PROM の CE (チップ イネーブル) 入力に接続されます。コンフィギュレーション中、PROM をイネーブルにし、コンフィギュレーション後にディスエーブルにします。	外部プルアップ抵抗を使用して High にします。High の場合は、FPGA が問題なくコンフィギュレーションされたことを示します。
PROG_B	入力	FPGA のプログラム。アクティブ Low。500ns 以上 Low にすると、PROG_B を再び High にしたときにコンフィギュレーション メモリがクリアされ、DONE と INIT_B ピンがリセットされ、FPGA のコンフィギュレーション プロセスが再開されます。2.5V に対して 4.7kΩ の外部プルアップ抵抗を推奨します。内部プルアップ値が低い可能性があります (表 77 参照)。3.3V 出力で外部から駆動する場合は、オープン ドレインまたはオープン コレクタのドライバを使用するか、限流直列抵抗を使用してください。	コンフィギュレーション中は High にしてコンフィギュレーションが開始されるようにする必要があります。PROM の CF ピンに接続すると、JTAG の PROM プログラム アルゴリズムで FPGA を再プログラム可能な状態にします。	FPGA を再プログラムする場合、PROG_B を Low にしてから High にします。

使用する電圧

PROM の V_{CCINT} は、シリアル XCFxxS Platform Flash PROM の場合は 3.3V、シリアル/パラレル XCFxxP PROM の場合は 1.8V にする必要があります。

⑤ FPGA の V_{CCO_2} 入力と Platform Flash PROM の V_{CCO} 入力は同じ電圧 (理想は +2.5V) にする必要があります。どちらのデバイスでも 1.8V と 3.3V がサポートされますが、FPGA の $PROG_B$ と $DONE$ の電源は V_{CCAUX} (2.5V) なので、注意が必要です。詳細は、アプリケーション ノート [XAPP453](#) 『Spartan-3 FPGA の 3.3V コンフィギュレーション』を参照してください。

サポートされる Platform Flash PROM

表 50 は、Spartan-3E FPGA をプログラムするのに必要な最小の Platform Flash PROM を示しています。複数の FPGA をデジタイズチェーン接続したアプリケーションの場合、各 FPGA のファイルサイズの合計を保存できる容量の [Platform Flash PROM](#) が必要になります。

表 50 : Spartan-3E をプログラムするのに必要なビット数と最小の Platform Flash PROM

Spartan-3E FPGA	コンフィギュレーション ビット数	最小の Platform Flash
XC3S100E	581,344	XCF01S
XC3S250E	1,353,728	XCF02S
XC3S500E	2,270,208	XCF04S
XC3S1200E	3,841,184	XCF04S
XC3S1600E	5,969,696	XCF08P または 2 x XCF04S

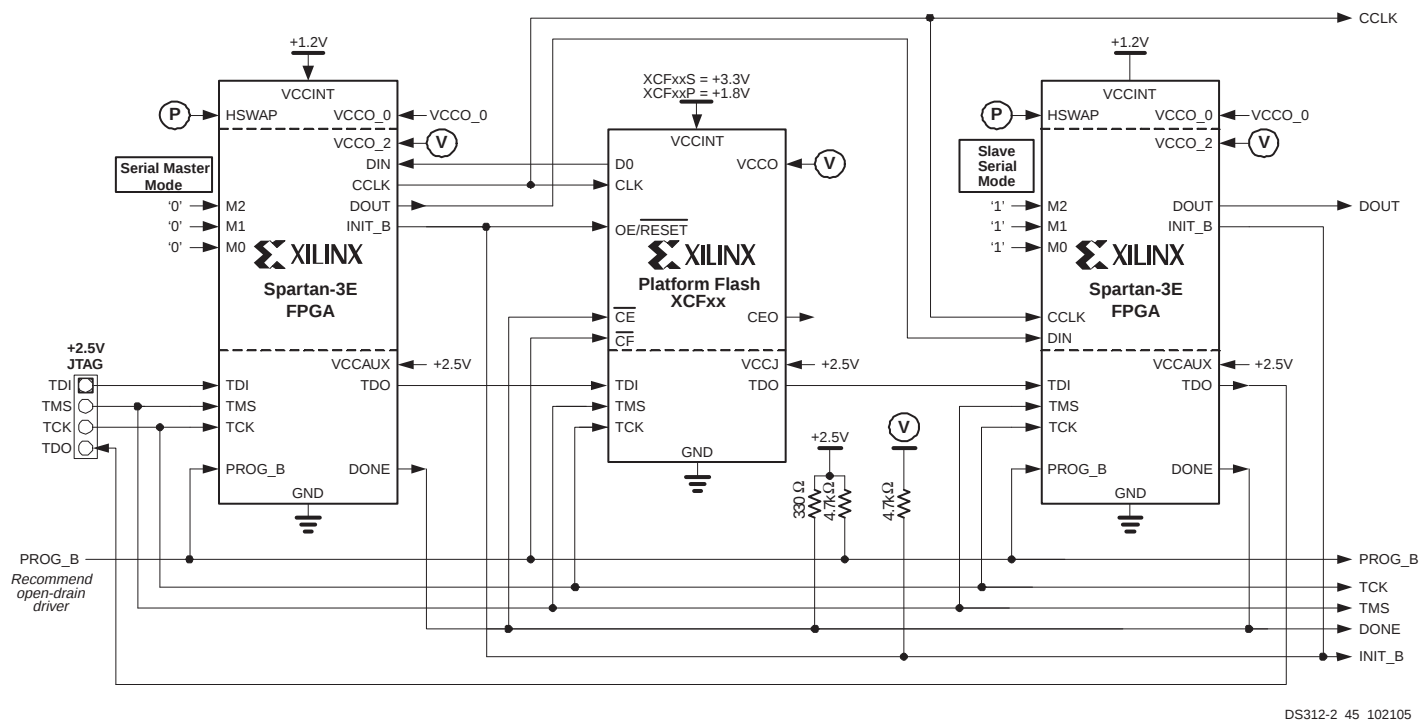
XC3S1600E の場合、8Mb の PROM が必要です。この場合、8Mb の XCF08P パラレル/シリアル PROM を 1 つ使用するか、4Mb の XCF04S シリアル PROM を 2 つカスケード接続して使用します。XCF04S PROM を 2 つ使用する場合は 3.3V の V_{CCINT} が必要で、XCF08P を 1 つ使用する場合は 1.8V の V_{CCINT} が必要になります。ボードに 1.8V 電源がない場合は、2 つの XCF04S PROM をカスケード接続して使用してください。

CCLK の周波数

マスタシリアルモードの場合、FPGA の内部オシレータによってコンフィギュレーションクロック周波数が生成されます。FPGA ではこのクロック信号を CCLK 出力ピンに供給し、PROM の CLK 入力ピンを駆動します。FPGA のコンフィギュレーションは最小の周波数で開始され、この周波数は残りのコンフィギュレーションプロセス中に増加していきます (コンフィギュレーションビットストリームで指定した場合のみ)。最大周波数は、Bitstream Generator (BitGen) の ConfigRate オプションで指定します。表 51 に、Platform Flash デバイスおよび I/O 電圧別の ConfigRate の最大値を MHz で示します。シリアル XCFxxS PROM の場合、最大周波数はそのインターフェイスの電圧によって異なります。

表 51 : Platform Flash の ConfigRate 最大値

Platform Flash の製品番号	I/O 電圧 (V_{CCO_2} , V_{CCO})	ConfigRate の 最大値
XCF01S XCF02S XCF04S	3.3V または 2.5V	25
	1.8V	12
XCF08P XCF16P XCF32P	3.3V、2.5V、1.8V	25



DS312-2_45_102105

図 52: マスタ シリアル モードからのデージー チェーン接続

デージー チェーン接続

アプリケーションにコンフィギュレーションの異なる複数の FPGA を使用する必要がある場合は、図 52 に示すようなデージー チェーンを使用して FPGA をコンフィギュレーションします。Platform Flash PROM に接続される FPGA はマスタ シリアル モード ($M[2:0] = \langle 0:0:0 \rangle$)、その他のデージー チェーン接続の FPGA はスレーブ シリアル モード ($M[2:0] = \langle 1:1:1 \rangle$) に設定します。マスタ FPGA (図の左側) は Platform Flash からコンフィギュレーションデータを読み込むと、CCLK の立ち下がりエッジで、DOUT 出力ピンを使用して、デージー チェーンの次のデバイスにデータを送信します。

JTAG インターフェイス

Spartan-3E FPGA と Platform Flash PROM には、4 ワイヤの IEEE 1149.1/1532 準拠の JTAG ポートがそれぞれ含まれます。TCK クロック入力と TMS モード セレクト入力は、両方のデバイスで共有されます。デバイスは JTAG チェーンでどの順序でも接続でき、1 つのデバイスの TDO 出力をチェーンの次のデバイスの TDI 入力に接続します。JTAG チェーンの最後のデバイスの TDO 出力で JTAG コネクタを駆動します。

Spartan-3E の JTAG インターフェイスの電源は 2.5V の VCCAUX です。このため、PROM の VCCJ 入力も 2.5V にする必要があります。3.3V の JTAG インターフェイスを作成する場合は、アプリケーション ノート [XAPP453](#) 『Spartan-3 FPGA の 3.3V コンフィギュレーション』を参照してください。

インシステム プログラミング (ISP) のサポート

FPGA と Platform Flash PROM は、どちらも JTAG チェーンを使用してインシステム プログラミングできます。ダウンロードには、ザイリンクスのプログラム ソフトウェア iMPACT とプログラム ケーブル ([パラレル ケーブル IV](#)、[プラットフォーム ケーブル USB](#) のいずれか) を使用します。

Platform Flash へのユーザー データの追加

コンフィギュレーション後も、FPGA アプリケーションでは Platform Flash PROM とのデータ転送にマスタ シリアル インターフェイス ピンが続けて使用されます。必要な場合は、より大型の Platform Flash PROM を使用して、MicroBlaze™ プロセッサ コードなどの不揮発性アプリケーション データや、シリアル番号やイーサネットの MAC ID のようなその他のユーザー データを追加で格納できるようにします。FPGA はまず Platform Flash PROM からコンフィギュレーションされ、コンフィギュレーションが終了したら、Platform Flash から外部の DDR SDRAM に MicroBlaze コードの実行ファイルがコピーされます。このようなインターフェイスのインプリメント方法は、アプリケーション ノート [XAPP694](#) 『コンフィギュレーション PROM からユーザー データの読み込み』および [XAPP482](#) 『MicroBlaze Platform Flash/PROM ブート ロードおよびユーザー データ ストレージ』を参照してください。

SPI シリアル Flash モード

詳細は、[UG332](#) の「マスタ SPI モード」を確認してください。

SPI シリアル Flash モード ($M[2:0] = <0:0:1>$) の場合、[図 53](#) および [図 55](#) に示すように、Spartan-3E は接続された業界標準の SPI

シリアル Flash PROM からコンフィギュレーションされます。FPGA の内部オシレータからの CCLK 出力が、SPI Flash PROM のクロック入力に供給されます。

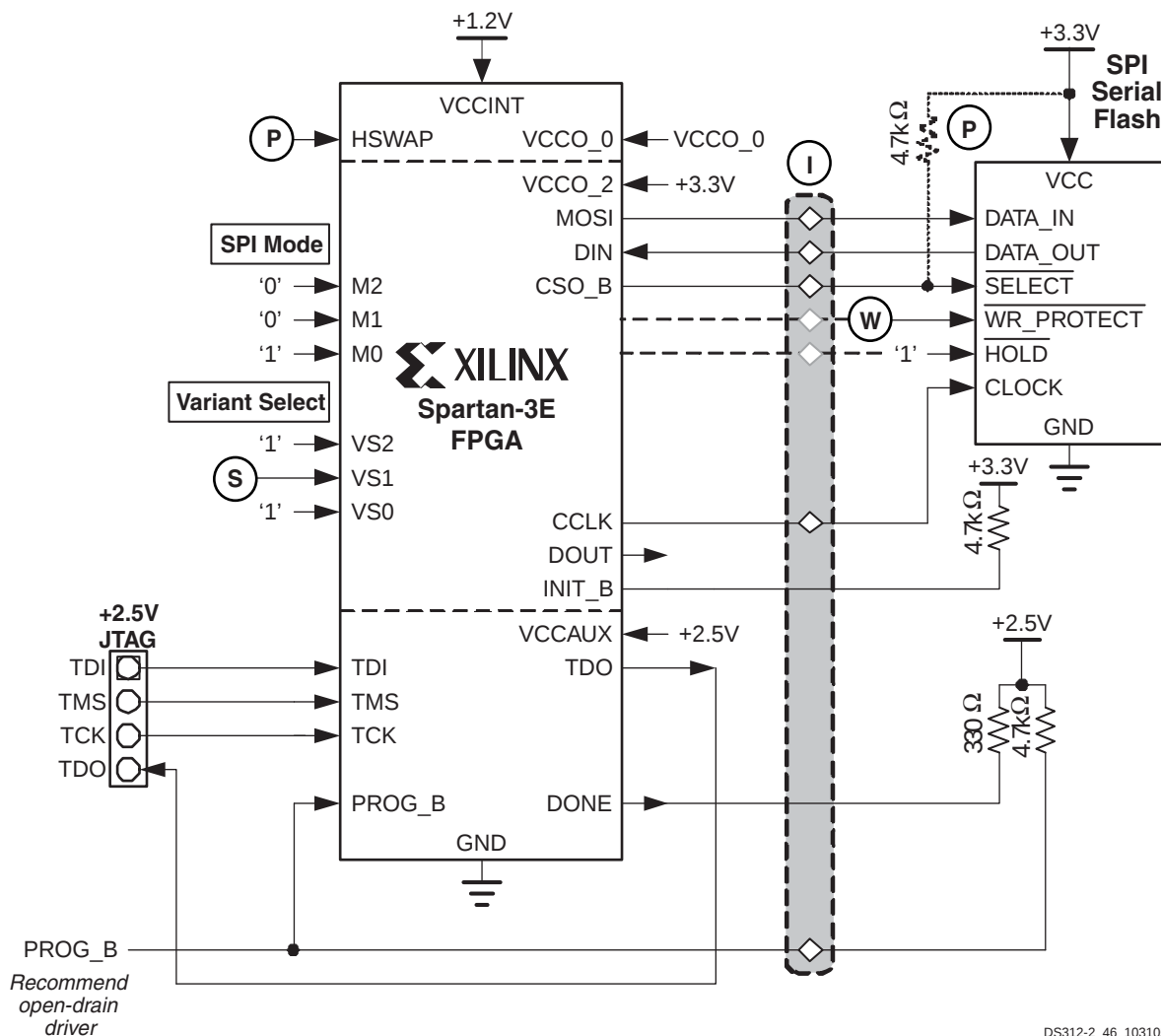


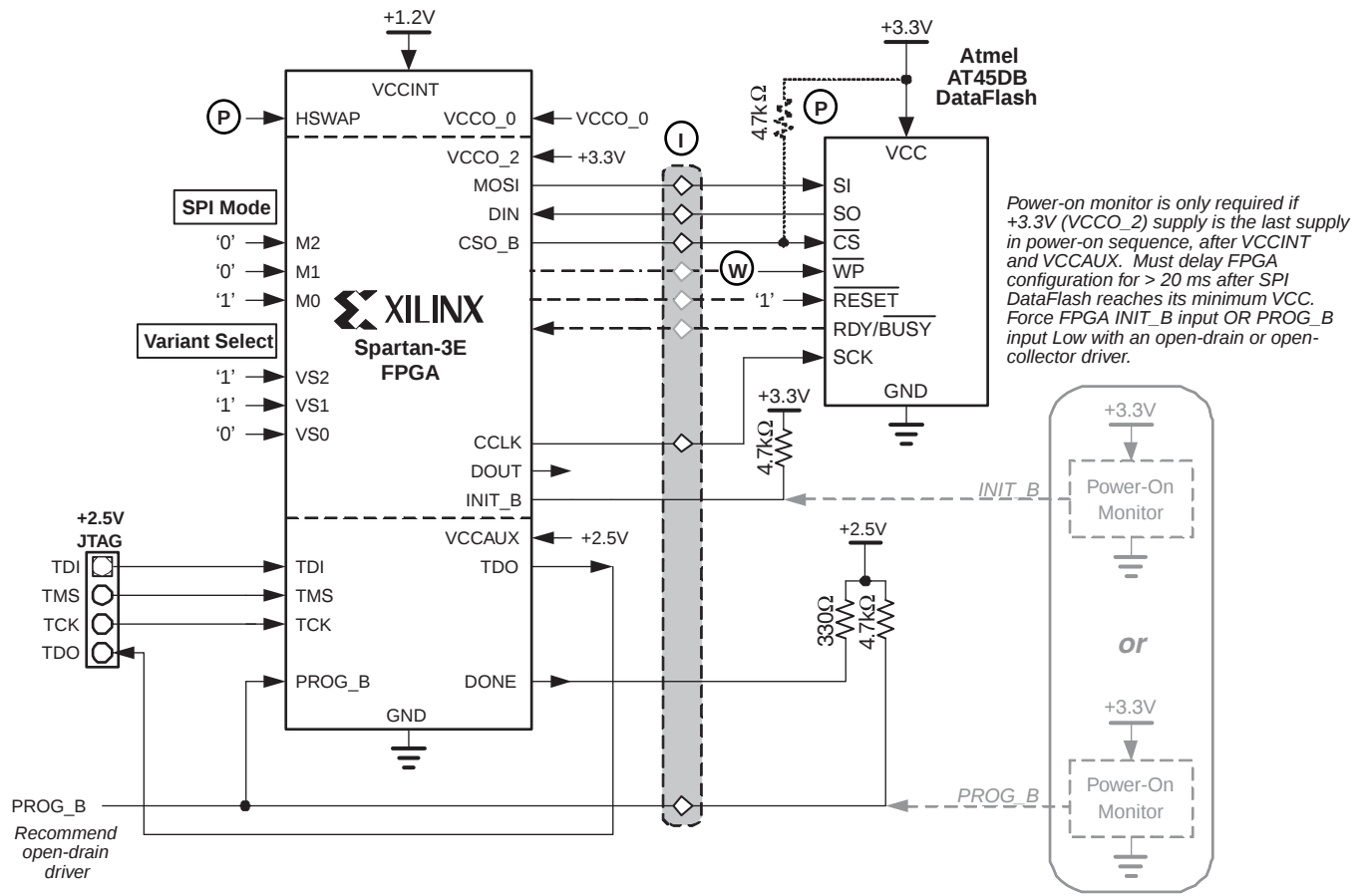
図 53: READ (0x03) と FAST_READ (0x0B) コマンドをサポートする SPI Flash PROM インターフェイス

⑤ SPI は標準的な 4 ワイヤのインターフェイスですが、使用可能な SPI Flash PROM にはそれぞれ異なるコマンドプロトコルが使用されます。FPGA のバリエーション セレクト ピン $VS[2:0]$ では、どの SPI Flash コマンドで読み出しを開始するか、SPI Flash からの有効なデータの受信を予測する前に何バイトのダミー バイトを挿入するか、といった FPGA と SPI Flash の通信方法が定義されます。表 52 は、Spartan-3E で使用可能な SPI Flash PROM を示しています。これ以外にも互換性のあるデバイスがありますが、Spartan-3E ではテストされていません。ほかの $VS[2:0]$ の値はすべて、今後使用するために予約されています。最適な SPI Flash デバイスを確認するには、データシートを参照してください。基本的なタイミング要件や波形は、モジュール 3 の「**シリアル パリフェラル インターフェイス (SPI) コンフィギュレーションのタイミング**」に記載されています。

図 53 は、0x03 READ または 0x0B FAST READ コマンドをサポートする SPI Flash PROM の接続図を示しています。

図 54 は、SPI ベースのプロトコルを使用する Atmel DataFlash シリアル PROM の接続図を示しています。B シリーズの DataFlash デバイスは、商業温度範囲で動作する FPGA アプリケーションに限定されます。工業温度範囲のアプリケーションには、C または D シリーズの DataFlash デバイスを使用する必要があります。これらのデバイスでは、低温での FPGA CCLK の周波数が高いので、DataFlash セレクト セットアップ タイムが短くなります。

84 ページの図 57 は、異なるコンフィギュレーションの複数の FPGA を 1 つの SPI Flash に格納し、コンフィギュレーションする方法を示しています。この図では標準的な SPI Flash メモリを使用していますが、全般的な手法は Atmel DataFlash にも適用されます。



DS312-2_50a_031706

図 54 : Atmel SPI ベースの DataFlash のコンフィギュレーション インターフェイス

表 52 : SPI シリアル Flash PROM のバリエーション セレクト コード

VS2	VS1	VS0	SPI 読み出し コマンド	ダミー バイト	SPI シリアル Flash の ベンダー	SPI Flash ファミリ	iMPACT プログラミング サポート
1	1	1	FAST READ (0x0B) (図 53 参照)	1	STMicroelectronics (ST)	M25Pxx M25PExx/M45PExx	はい
					Atmel	AT45DB 'D'-Series Data Flash	はい
						AT26 / AT25 ⁽¹⁾	
					Intel	S33	
					Spansion (AMD、富士通)	S25FLxxxA	
					Winbond (NexFlash)	NX25 / W25	
					Macronix	MX25Lxxxx	
					Silicon Storage Technology (SST)	SST25LFxxxA SST25VFxxxA	
					Programmable Microelectronics Corp. (PMC)	Pm25LVxxx	
					AMIC Technology	A25L	
					Eon Silicon Solution, Inc.	EN25	
1	0	1	READ (0x03) (図 53 参照)	0	STMicroelectronics (ST)	M25Pxx M25PExx/M45PExx	はい
					Spansion (AMD、富士通)	S25FLxxxA	
					Winbond (NexFlash)	NX25 / W25	
					Macronix	MX25Lxxxx	
					Silicon Storage Technology (SST)	SST25LFxxxA SST25VFxxxA SST25VFxxx	
					Programmable Microelectronics Corp. (PMC)	Pm25LVxxx	
1	1	0	READ ARRAY (0xE8) (図 54 参照)	4	Atmel Corporation	AT45DB DataFlash (インダストリアル温 度範囲では C または D シリーズのみを使用)	はい
Others			Reserved				

メモ :

1. 特定のデバイスのサポートについては、iMPACT の資料を参照してください。

Ⓜ 表 53 は、SPI Flash PROM と FPGA の SPI コンフィギュレーション インターフェイスの接続を示しています。SPI Flash PROM の信号名は、ベンダーによって多少異なります。SPI Flash PROM のライト プロテクトおよびホールド制御は、コンフィ

ギュレーション中の FPGA では使用されませんが、 $\overline{\text{HOLD}}$ ピンはコンフィギュレーション中は High にしておく必要があります。PROM のライト プロテクト入力は、Flash メモリに書き込んだり、プログラムする場合は High にしておく必要があります。

表 53 : SPI Flash PROM の接続とピン名の例

SPI Flash ピン	FPGA 接続	STMicro	NexFlash	Silicon Storage Technology	Atmel DataFlash
DATA_IN	MOSI	D	DI	SI	SI
DATA_OUT	DIN	Q	DO	SO	SO
$\overline{\text{SELECT}}$	CSO_B	$\overline{\text{S}}$	$\overline{\text{CS}}$	CE#	$\overline{\text{CS}}$
CLOCK	CCLK	C	CLK	SCK	SCK
$\overline{\text{WR_PROTECT}}$ (W)	FPGA のコンフィギュレーションには必要ありません。SPI Flash をプログラムする場合は High にする必要があります。コンフィギュレーション後は FPGA ユーザー I/O への接続になります (オプション)。	$\overline{\text{W}}$	$\overline{\text{WP}}$	WP#	$\overline{\text{WP}}$
$\overline{\text{HOLD}}$ (図 53 参照)	FPGA コンフィギュレーションには必要ありませんが、コンフィギュレーション中は High にしておく必要があります。コンフィギュレーション後は FPGA ユーザー I/O への接続になります (オプション)。Atmel DataFlash の場合は使用できません。	$\overline{\text{HOLD}}$	$\overline{\text{HOLD}}$	HOLD#	なし
$\overline{\text{RESET}}$ (図 54 参照)	Atmel DataFlash でしか使用できません。FPGA コンフィギュレーションには必要ありませんが、コンフィギュレーション中は High にしておく必要があります。コンフィギュレーション後は FPGA ユーザー I/O への接続になります (オプション)。DataFlash が直接プログラムできなくなるので、FPGA の PROG_B には接続しないでください。	なし	なし	なし	$\overline{\text{RESET}}$
RDY/ $\overline{\text{BUSY}}$ (図 54 参照)	Atmel DataFlash でのみ使用でき、一部のパッケージでのみ使用できます。FPGA のコンフィギュレーションには必要ありません。DataFlash PROM からの出力で、コンフィギュレーション後は FPGA ユーザー I/O への接続になります (オプション)。	なし	なし	なし	RDY/ $\overline{\text{BUSY}}$

モード セレクト ピン (M[2:0]) とバリエーション セレクト ピン (VS[2:0]) は、FPGA の INIT_B 出力が High になるとサンプリングされ、このときに指定したロジック レベルにしておく必要があります。コンフィギュレーション後に FPGA の DONE 出力が High になると、これらのピンはすべてユーザー I/O ピンとして使用できます。

(P) FPGA の HSWAP ピンは、すべてのユーザー I/O ピンのプルアップ抵抗をオンにする場合は Low に、オフにする場合は

High にする必要があります。HSWAP は、FPGA コンフィギュレーション中は一定のロジック レベルに保つ必要があります。このピンは、コンフィギュレーションが終わって FPGA の DONE 出力が High になったら、ユーザー I/O ピンとして使用できるようになります。電源には VCCO_0 が使用されます。

FPGA の DOUT ピンは、単一の FPGA アプリケーションの場合は使用されませんが、コンフィギュレーション プロセス中はアクティブに駆動します。

表 54 : シリアル ペリフェラル インターフェイス (SPI) 接続

ピン名	FPGA の方向	説明	コンフィギュレーション中	コンフィギュレーション後
HSWAP (P)	入力	ユーザー I/O のプルアップ抵抗制御。 コンフィギュレーション中に Low の場合、各 I/O バンクの V _{CCO} 入力とすべての I/O ピン間のプルアップ抵抗がオンになります。 0 : コンフィギュレーション中にプルアップ抵抗を使用 1 : プルアップ抵抗なし	コンフィギュレーション中、有効なロジック レベルに駆動します。	ユーザー I/O
M[2:0]	入力	モード セレクト。FPGA コンフィギュレーション モード を選択します。 「HSWAP、M[2:0]、VS[2:0] ピンに関する注意事項」を参照してください。	M2 = 0、M1 = 0、M0 = 1。INIT_B が High になるとサンプリングされます。	ユーザー I/O
VS[2:0] (S)	入力	バリエーション セレクト。FPGA と接続した SPI Flash PROM との通信方法を指示します。「HSWAP、M[2:0]、VS[2:0] ピンに関する注意事項」を参照してください。	表 52 のロジック レベルにする必要があります。INIT_B が High になるとサンプリングされます。	ユーザー I/O
MOSI	出力	シリアル データ出力。	SPI Flash メモリ読み出しコマンドおよび開始アドレスを PROM のシリアル データ入力に送信します。	ユーザー I/O
DIN	入力	シリアル データ入力	PROM のシリアル データ出力からのシリアル データを受信します。	ユーザー I/O
CSO_B	出力	チップ セレクト出力。アクティブ Low	SPI Flash PROM のチップ セレクト入力に接続されます。HSWAP = 1 の場合は、この信号と 3.3V 間に 4.7kΩ のプルアップ抵抗が接続されます。	コンフィギュレーション後に CSO_B を High にし、SPI Flash をディスエーブルにして OSI、DIN、CCLK ピンを再使用できるようにします。オプションでこのピンと MOSI、DIN、CCLK を使用して SPI Flash と通信し続けることができます。
CCLK	出力	コンフィギュレーション クロック。FPGA の内部オシレータで生成されます。周波数は Bitstream Generator (BitGen) の ConfigRate オプションで指定します。CCLK の PCB トレースが長い、接続が複数ある場合は、この出力を終端処理してシグナル インテグリティを維持します。「CCLK デザインに関する注意事項」を参照してください。	PROM のクロック入力を駆動します。	ユーザー I/O
DOUT	出力	シリアル データ出力	アクティブに駆動されます。単一の FPGA デザインでは使用されません。デジタイズ チェーン接続の場合は、チェーンの次の FPGA の DIN に接続されます。	ユーザー I/O
INIT_B	オープン ドレインの双方向 I/O	初期化インジケータ。アクティブ Low。コンフィギュレーション開始時、メモリの初期化 (クリア プロセス) 中は Low になります。メモリのクリアが終了し、モード セレクト ピンがサンプリングされると解除されます。デジタイズ チェーンのアプリケーションでは、V _{CCO_2} に対して 4.7kΩ の外部プルアップ抵抗を必要とします。	コンフィギュレーション中はアクティブです。SPI Flash PROM が電源投入後ウェークアップ状態になるのに 2ms 以上必要な場合、PROM の準備が完了するまで INIT_B を Low に保持します。コンフィギュレーション中に CRC エラーがあると、INIT_B が Low になります。	ユーザー I/O。アプリケーションで使用されない場合は、INIT_B が High になります。

表 54 : シリアル ペリフェラル インターフェイス (SPI) 接続 (続き)

ピン名	FPGA の方向	説明	コンフィギュレーション中	コンフィギュレーション後
DONE	オープンドレインの双方向 I/O	FPGA のコンフィギュレーション終了。コンフィギュレーション中は Low で、コンフィギュレーションが終了すると High になります。2.5V に対して 330Ω の外部プルアップ抵抗を必要とします。	Low の場合は、FPGA がまだコンフィギュレーションされていないことを示します。	外部プルアップ抵抗を使用して High にします。High の場合は、FPGA が問題なくコンフィギュレーションされたことを示します。
PROG_B	入力	FPGA のプログラム。アクティブ Low。500ns 以上 Low にすると、PROG_B を再び High にしたときにコンフィギュレーション メモリがクリアされ、DONE と INIT_B ピンがリセットされ、FPGA のコンフィギュレーション プロセスが再開されます。2.5V に対して 4.7kΩ の外部プルアップ抵抗を推奨します。内部プルアップ値が低い可能性があります (表 77 参照)。3.3V 出力で外部から駆動する場合は、オープンドレインまたはオープンコレクタのドライバを使用するか、限流直列抵抗を使用してください。	コンフィギュレーションが開始されるようにするには、High にする必要があります。	FPGA を再プログラムする場合、PROG_B を Low にしてから High にします。PROG_B を保持して FPGA の I/O ピンをハイインピーダンス状態にすると、Flash PROM ピンに直接アクセスしてプログラムできます。

使用する電圧

使用可能な SPI Flash PROM では、3.3V の電圧のみが使用されます。FPGA の SPI Flash のインターフェイス信号はすべて I/O バンク 2 にあります。このため、FPGA の VCCO_2 電圧も SPI Flash PROM にあわせて 3.3V にする必要があります。

3.3V 電源がシーケンスの最後にある場合の電源投入

Spartan-3E には、図 66 に示すようにビルトインのパワーオンリセット (POR) 回路が含まれます。FPGA は、コンフィギュレ

ション プロセスが始まる前に、V_{CCINT}、V_{CCAUX}、I/O バンク 2 (VCCO_2) への V_{CCO} の 3 つの電源がそれぞれのパワーオンしきい値に達するまで待ちます。

SPI Flash PROM の電源は、FPGA の VCCO_2 電圧入力と同じ電圧 (通常 3.3V) になります。SPI Flash PROM は、V_{CC} がデータシートの最小電圧に到達してから、ある遅延後までアクセスできないように指定されています。デバイスによっては、この遅延が表 55 に示すように 10μs のものもあります。ベンダーによっては、この遅延が 20ms のものもあります。

表 55 : SPI Flash PROM 別の電源投入からセレクトまでの最小時間

ベンダー名	SPI Flash PROM 製品番号	V _{CC} 最小電圧に達してからセレクト = Low になるまでの データシートの最小時間		
		シンボル	値	単位
STMicroelectronics	M25Pxx	T _{VSL}	10	μs
Spansion	S25FLxxxA	t _{PU}	10	ms
NexFlash	NX25xx	T _{VSL}	10	μs
Macronix	MX25Lxxxx	t _{VSL}	10	μs
Silicon Storage Technology	SST25LFxx	T _{PU-READ}	10	μs
Programmable Microelectronics Corporation	Pm25LVxxx	T _{VCS}	50	μs
Atmel Corporation	AT45DBxxxD	t _{VCSL}	30	μs
	AT45DBxxxB		20	ms

ほとんどのシステムで、FPGA の VCCO_2 入力に使用される 3.3V 電源は、その他の V_{CCINT} および V_{CCAUX} 電源の前に有効になるので問題ありませんが、この 3.3V 電源がシーケンスの最

後である場合、図 55 に示すように FPGA と SPI Flash PROM の間で競合が発生することがあります。

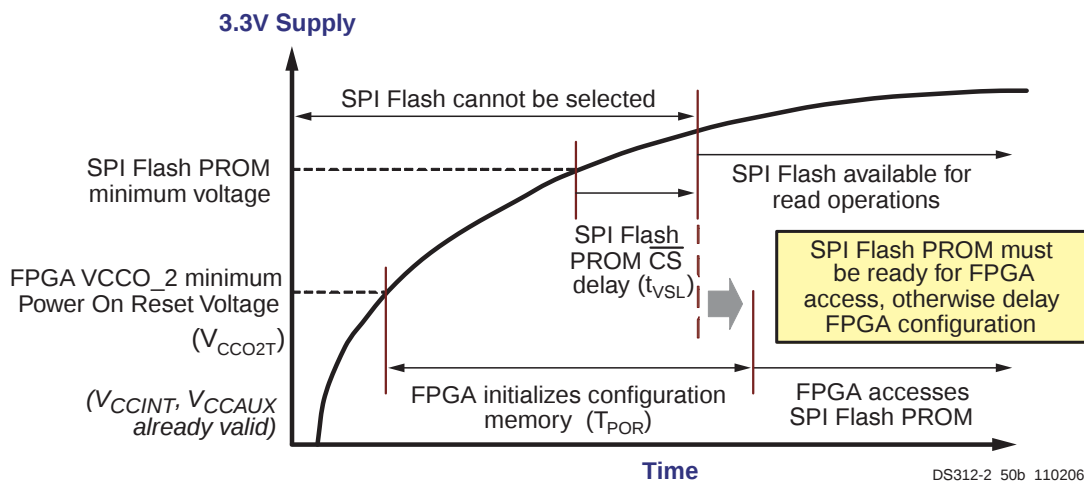


図 55：3.3V がパワーオン シーケンスの最後の場合の SPI Flash PROM/FPGA の電源投入のタイミング

FPGA の V_{CCINT} と V_{CCAUX} が既に有効になっている場合、FPGA はコンフィギュレーションを始める前に、 V_{CCO_2} が最小しきい値電圧に達するまで待ちます。このしきい値電圧は、モジュール 3 の表 73 に V_{CCO2T} として記述されており、範囲は約 0.4V ~ 1.0V で、SPI Flash PROM の最小電圧よりもかなり小さくなります。FPGA の 3 つの電源すべてがそれぞれの POR しきい値に達すると、コンフィギュレーションプロセスが始まり、内部コンフィギュレーション メモリの初期化が始まります。初期化には約 1ms (モジュール 3 の表 110 の最小値 T_{POR} を参照) 必要で、この後、INIT_B がディASSERTされ、SPI Flash PROM が選択されて、最適な読み出しコマンドが送信され始めます。SPI Flash PROM はこの時点で読み出しできる状態になっている必要があります。Spartan-3E FPGA では、読み出しコマンドを 1 度のみ発行します。SPI Flash が使用可能でない場合、FPGA は正しくコンフィギュレーションしません。

3.3V 電源がシーケンスの最後で、上昇速度が遅すぎる場合、または SPI Flash PROM が FPGA で必要なときに準備できていない場合は、図 54 のように、FPGA の PROG_B 入力または INIT_B 入力のいずれかを Low に保持してコンフィギュレーションプロセスを遅らせてください。SPI Flash PROM の準備ができたら、これらのピンを解除します。たとえば、単純な R-C 遅延回路を INIT_B に接続すると、FPGA は選択した時間待機状態になります。また、3.3V 電源からのパワーグッド信号やシステムリセット信号を同じ目的で使用することもできます。PROG_B または INIT_B を駆動する場合は、オープンドレインまたはオープンコレクタ出力を使用してください。

SPI Flash PROM のメモリ容量

表 56 は、Spartan-3E FPGA をプログラムするのに最低限必要な SPI Flash PROM の容量を示しています。市販の SPI Flash PROM の容量の範囲は、1Mb ~ 128Mb です。複数の FPGA をデジタイズチェーン接続したアプリケーションの場合、各 FPGA のファイルサイズの合計を保存できる容量の Platform Flash PROM が必要となります。また、アプリケーションで FPGA のコンフィギュレーションデータ以外のデータを格納するために、大きな容量の SPI Flash PROM が必要なこともあります。たと

えば、SPI Flash PROM には Spartan-3E に含まれる [MicroBlaze™](#) RISC プロセッサのアプリケーションコードを格納することもできます。詳細は、「[コンフィギュレーション後の SPI Flash インターフェイスの使用](#)」を参照してください。

表 56：Spartan-3E FPGA をプログラムするのに必要なビット数と SPI Flash PROM の容量

デバイス	コンフィギュレーションビット数	使用可能な最小の SPI Flash PROM
XC3S100E	581,344	1 Mb
XC3S250E	1,353,728	2 Mb
XC3S500E	2,270,208	4 Mb
XC3S1200E	3,841,184	4 Mb
XC3S1600E	5,969,696	8 Mb

CCLK の周波数

SPI Flash モードの場合、FPGA の内部オシレータによってコンフィギュレーションクロック周波数が生成されます。FPGA はこのクロック信号を CCLK 出力ピンに供給し、PROM のクロック入力ピンを駆動します。FPGA のコンフィギュレーションは最小の周波数で開始され、その周波数は残りのコンフィギュレーションプロセス中に増加していきます (コンフィギュレーションビットストリームで指定した場合のみ)。最大周波数は、Bitstream Generator (BitGen) の [ConfigRate](#) オプションで指定します。FPGA コンフィギュレーションロジックでサポートされる最大周波数は、SPI Flash デバイスのタイミングによって異なります。特定の SPI Flash PROM のタイミングを確認していない場合、 $ConfigRate = 12$ 以下の値を使用してください。FAST READ コマンドをサポートする SPI Flash PROM では、より高速なデータレートが使用できます。このような PROM には $ConfigRate = 25$ 以上をサポートするものもありますが、注意が必要となるので、詳細はデータシートを参照してください。詳細なタイミング解析については、「[シリアルペリフェラルインターフェイス \(SPI\) コンフィギュレーションのタイミング](#)」を参照してください。

コンフィギュレーション後の SPI Flash インターフェイスの使用

FPGA のコンフィギュレーションが終了したら、SPI Flash PROM に接続されるピンはすべてユーザー I/O として使用できるようになります。

コンフィギュレーション後に SPI Flash PROM を使用しない場合は、CSO_B を High にすると PROM をディスエーブルにできます。これで MOSI、DIN、CCLK ピンが FPGA アプリケーションで使用できるようになります。

インターフェイスピンはすべてコンフィギュレーション後にユーザー I/O になるので、図 56 に示すように、SPI Flash インターフェイスピンを続けて FPGA アプリケーションで SPI Flash PROM と通信するために使用できます。SPI Flash PROM は、FPGA アプリケーションにランダム アクセスおよびバイト アドレス指定可能な読み出し/書き込み用の不揮発性メモリです。

SPI Flash PROM の容量は、1Mb ~ 128Mb までありますが、1つの Spartan-3E FPGA に必要なのは 6Mb 未満です。必要場合は、MicroBlaze プロセッサコードのような不揮発性アプリケーションデータや、シリアル番号/イーサネット MAC ID などその他のユーザーデータを含めるために、これより大きい容量の SPI Flash PROM を使用します。図 56 の例では、FPGA が SPI Flash PROM からコンフィギュレーションされます。この後、FPGA はコンフィギュレーション後の FPGA ロジックを使用し、SPI Flash から MicroBlaze のコードを外部 DDR SDRAM にコピーして、コードが実行されます。同様に、FPGA アプリケーションには SPI Flash PROM 内に不揮発性のアプリケーションデータを格納できます。

FPGA コンフィギュレーションデータはロケーション 0 から格納されます。データを追加する場合は、次に使用可能な SPI Flash PROM のセクタまたはページに格納してください。コンフィ

ギュレーションデータとユーザーデータは、同じセクタやページに格納しないでください。

同様に、SPI バスは追加の SPI ペリフェラルに延長できます。SPI は業界標準のインターフェイスなので、アナログ デジタル (A/D) コンバータ、デジタル アナログ (D/A) コンバータ、CAN コントローラ、温度センサなど、さまざまな SPI ベースのペリフェラルが使用できます。アプリケーションで適切な I/O ピンが使用可能な場合、ザイリンクスでは、別の SPI バスを作成し、ペリフェラルの制御に使用することを推奨します。2 つ目のポートを作成すると、コンフィギュレーションに重要な CCLK および DIN ピンへの読み込みが減少します。

MOSI、DIN、CCLK ピンはすべての SPI ペリフェラルで共通です。追加した SPI ペリフェラルのセレクト入力を FPGA のユーザー I/O ピンの 1 つに接続してください。コンフィギュレーション中に HSWAP = 0 の場合、FPGA はセレクトラインを High に保ちます。HSWAP = 1 の場合、不要な読み出し/書き込みがないように、セレクトラインを 4.7kΩ の外部プルアップ抵抗を介して 3.3V に接続します。コンフィギュレーション後はセレクトラインを Low にして、該当する SPI ペリフェラルを選択します。

CCLK は、コンフィギュレーション中は FPGA で制御され、FPGA の生成する周波数に制限されます。コンフィギュレーションが終了すると、FPGA アプリケーションではほかの信号を使用して CCLK ピンを駆動したり、SPI ベースの通信を最適化できます。

インターフェイスや通信プロトコルの要件については、それぞれの SPI ペリフェラルのデータシートを参照してください。

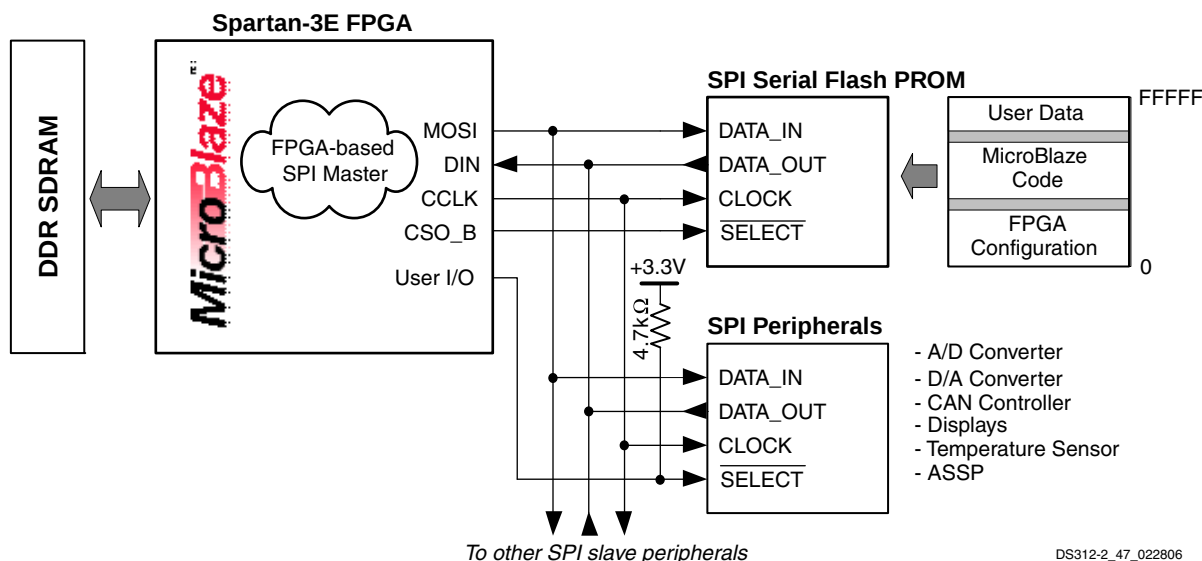


図 56：コンフィギュレーション後の SPI Flash インターフェイスの使用

デジチェーン接続

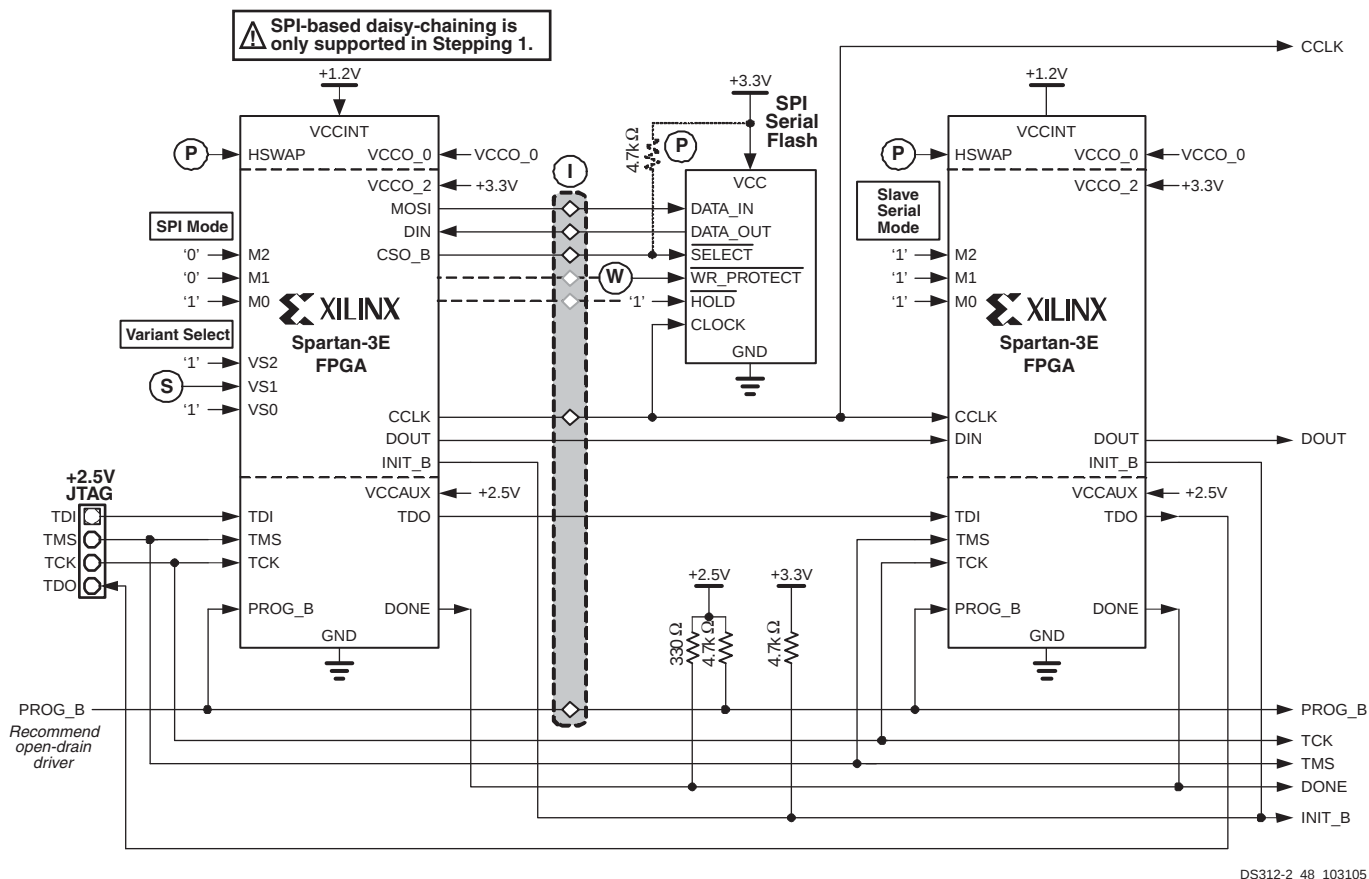
設計メモ:



SPI モードのデジチェーン接続は、ステップ 1 のシリコンでのみサポートされます。

アプリケーションでコンフィギュレーションの異なる FPGA が複数必要な場合は、図 57 に示すように、デジチェーンを使用して FPGA をコンフィギュレーションします。単一の SPI シリアル

Flash PROM によるデジチェーンのコンフィギュレーションは、ステップ 1 のデバイスでサポートされます。ステップ 0 のデバイスではサポートされません。Platform Flash PROM に接続される FPGA は SPI Flash モード ($M[2:0] = <0:0:1>$)、その他のデジチェーン接続の FPGA はスレーブ シリアル モード ($M[2:0] = <1:1:1>$) に設定します。マスタ FPGA (図の左側) は SPI Flash PROM からコンフィギュレーション データを読み込み終わると、CCLK の立ち上がりエッジで DOUT 出力ピンを使用してデータをデジチェーンの次のデバイスに送信します。



DS312-2_48_103105

図 57: SPI Flash モードからのデジチェーン接続 (stepping 1)

プログラム サポート

デジチェーンを問題なく動作させるには、コンフィギュレーション オプションの DONE_cycle を 5 サイクル以下に設定する必要があります。デフォルトのサイクル数は 4 です。詳細は、表 68 および「スタートアップ」を参照してください。

① 製品アプリケーションの場合、SPI Flash PROM は通常 PCB に実装される前にプログラムされます。ザイリンクス開発ソフトウェアの ISE を使用すると、サードパーティのプログラム ツールでも使用可能な業界標準のプログラム ファイルが作成できます。最適なプログラム ソリューションについては、ご使用の SPI Flash のベンダーにお問い合わせください。

インシステム プログラミングは、ワイヤが接続されたソケット アダプタを使用すると、一部のサードパーティの PROM プログラム ツールでサポートされます。SPI Flash 信号にアクセスするに

は、FPGA の PROG_B 入力 (オープン ドレイン ドライバ) を Low にします。これにより、SPI Flash に接続されるピンも含め、すべての FPGA の I/O ピンがハイ インピーダンス (Hi-Z) になります。HSWAP 入力 Low の場合、I/O とそれぞれの I/O バンクの VCCO 入力間にプルアップ抵抗が付きます。これで、外部プログラム ハードウェアが SPI Flash に直接アクセスできるようになります。プログラム アクセス ポイントは、図 53、図 54、図 57 にそれぞれグレーで表示されています。

ザイリンクスでは ISE 8.2i のリリースから、Platform ケーブル USB、ザイリンクス パラレル ケーブル IV、またはその他の互換性のあるケーブルを使用し、SSTMicro M25P-series SPI シリアル Flash PROM および Atmel AT45DB-series データ Flash PROM の直接的なインシステムのプロトタイプ プログラミングを iMPACT プログラミング ツールでサポートします。

BPI パラレル Flash モード

詳細は、[UG332](#) の「マスタ BPI モード」を参照してください。

BPI (Byte-wide Peripheral Interface) モード (M[2:0] = <0:1:0> または <0:1:1>) の場合、Spartan-3E FPGA は [図 58](#) に示すように、業界標準の平行 NOR Flash PROM からコンフィギュレーションされます。FPGA では、最大で 24 ビットのアドレスラインを生成して接続した平行型 Flash にアクセスします。TQ144 パッケージの場合、生成されるアドレスラインは 20 本のみです。同様に、CP132 パッケージの XC3S250E および XC3S500E にはアドレスラインが 24 本ありますが、同じパッケージの XC3S100E FPGA では 20 本しかありません。VQ100 パッケージを使用する場合、BPI モードは平行 NOR Flash では使用できませんが、平行型の Platform Flash (XCFxxP) を使用する場合はサポートされます。

BPI コンフィギュレーション インターフェイスは、主に標準的な平行 NOR Flash PROM 用にデザインされており、バイト幅 (x8) とバイト幅/ハーフワード (x8/x16) の PROM の両方がサポートされています。ハーフワードのみ (x16) の PROM でも使用できますが、PROM の上位バイトが未使用のままになってしま

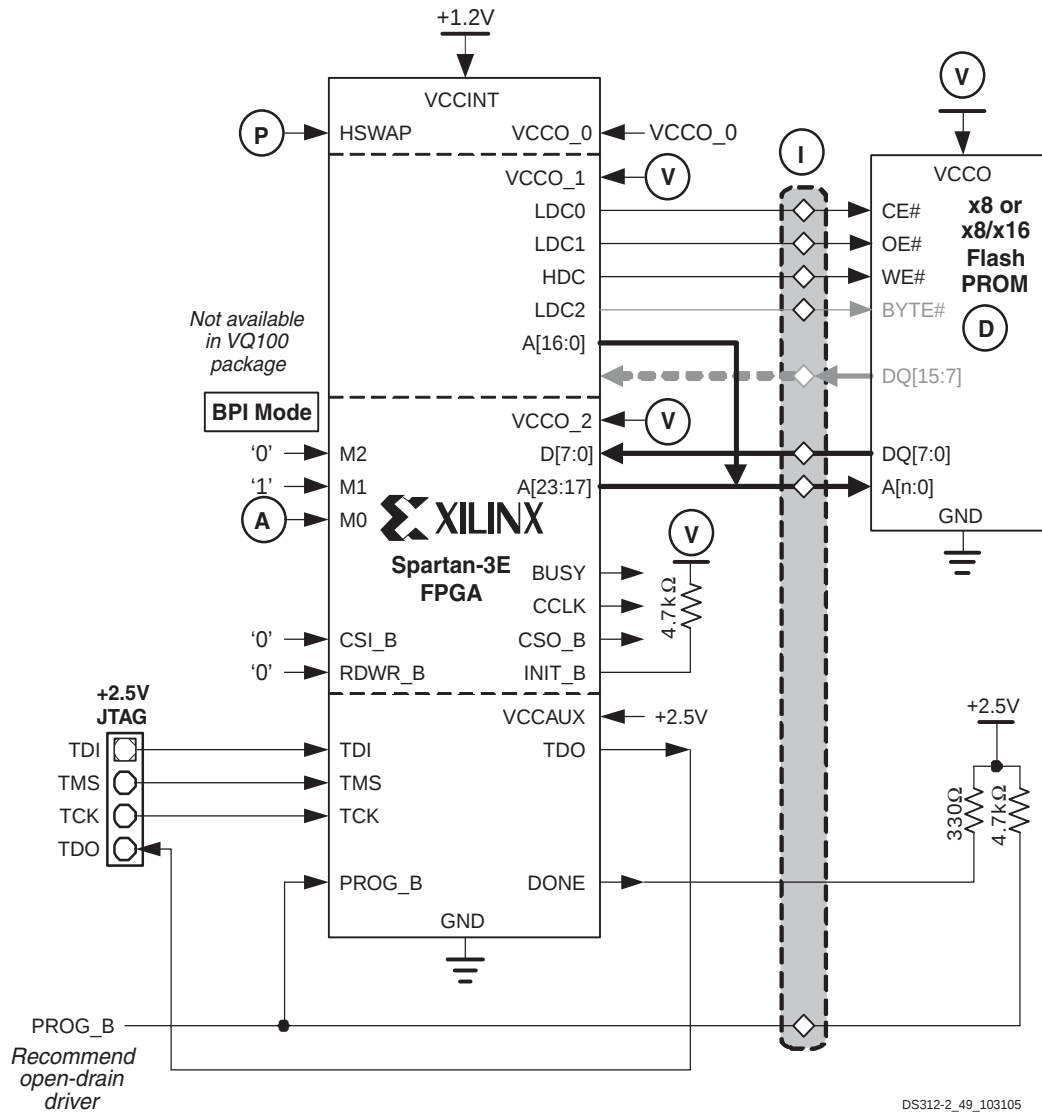
います。BPI インターフェイスは、コンフィギュレーションに、ブート ブロックや特定のセクタ サイズなどの Flash PROM 機能が必要としません。

また、BPI インターフェイスも、FPGA のアドレスラインは未接続のままになりますが、ザイリンクスの平行型 Platform Flash PROM (XCFxxP) で使用できます。

BPI インターフェイスは、SRAM、NVRAM、EEPROM、EPROM、マスクされた ROM など、類似した SRAM 形式のインターフェイスを使用するその他の非同期メモリでも使用できます。

NAND Flash メモリは、通常デジタル カメラのメモリ カードに使用されます。Spartan-3E は、NAND Flash メモリからは、直接コンフィギュレーションされません。

インターフェイスのタイミングは FPGA の内部オシレータで制御されます。FPGA が CCLK 出力ピンにクロックを供給します。ただし、CCLK 信号は単一の FPGA アプリケーションでは使用されません。同様に、FPGA は PROM の制御入力に対し、コンフィギュレーション中に 3 つのピンを Low に駆動し (LDC[2:0])、1 つのピンを High に駆動します (HDC)。



DS312-2_49_103105

図 58: パラレル NOR Flash PROM からコンフィギュレーションされた BPI モード

Ⓐ コンフィギュレーション中は、表 57 に示すように、M0 モードピンの値によって FPGA のアドレス生成方法が決まります。M0=0 の場合、FPGA は 0 からアドレスを生成し始め、アドレスは CCLK の立ち下がりエッジごとに増加します。M0=1 の場合、FPGA は 0xFF_FFFF (すべて 1) からアドレスを生成し始め、アドレスは CCLK の立ち下がりエッジごとに減少します。

表 57: BPI アドレス制御

M2	M1	M0	開始アドレス	アドレスの増減
0	1	0	0	増加
		1	0xFF_FFFF	減少

この柔軟なアドレス指定により、FPGA ではパラレル Flash PROM を外部またはエンベデッド プロセッサと共有できます。プロセッサアーキテクチャによって、プロセッサはメモリの上部または下部のいずれかから起動されます。FPGA は柔軟で、プロセッサのメモリの反対部分から起動されます。プロセッサと

FPGA は同時に起動できません。FPGA が最初にコンフィギュレーションされると、プロセッサがリセット状態に保持され、プロセッサが最初に起動されると、FPGA の PROG_B ピンがアサートされます。

モード選択ピン M[2:0] は、FPGA の INIT_B 出力が High になるとサンプリングされ、この間は定義されたロジックレベルになっている必要があります。コンフィギュレーション後に FPGA の DONE 出力が High になったら、モードピンはユーザー I/O ピンとして使用できるようになります。

Ⓐ 同様に、FPGA の HSWAP ピンはユーザー I/O ピンのプルアップ抵抗をイネーブルにする場合は Low に、ディスエーブルにする場合は High にする必要があります。HSWAP 制御は、FPGA のコンフィギュレーション中は一定のロジックレベルにしておく必要があります。このピンは、コンフィギュレーションが終わって FPGA の DONE 出力が High になったら、ユーザー I/O ピンとして使用できるようになります。電源には VCCO_0 が使用されます。

RDWR_B と CSI_B ピンは、コンフィギュレーション中は Low にしておく必要があります。コンフィギュレーション後はユーザー I/O になります。

単一の FPGA アプリケーションの場合、FPGA の CSO_B と CCLK ピンは使用されませんが、コンフィギュレーション中はアクティブに駆動されます。BUSY ピンは使用されませんが、これもまたコンフィギュレーション中はアクティブに駆動し、コンフィギュレーション後はユーザー I/O として使用できます。

コンフィギュレーションが終了したら、DONE と PROG_B 以外のインターフェイス ピンはすべてユーザー I/O として使用できま

す。また、双方向の SelectMAP コンフィギュレーション パリフェラル インターフェイス (「スレーブ パラレル モード」を参照) もコンフィギュレーション後に使用できます。SelectMAP モードを使用し続けるには、Bitstream Generator (BitGen) の Persist オプションを Yes に設定します。これで外部ホストにコンフィギュレーション データを読み込んで検証できるようになります。

注意：SelectMAP モードでは A20 ～ A23 は使用しませんが、Persist オプションを設定するとコンフィギュレーション ピンとして保持され I/O として使用できません。

表 58 : BPI 接続

ピン名	FPGA の方向	説明	コンフィギュレーション中	コンフィギュレーション後
HSWAP (P)	入力	ユーザー I/O のプルアップ抵抗制御。コンフィギュレーション中に Low の場合、各 I/O バンクの V _{CC0} 入力とすべての I/O ピン間のプルアップ抵抗がオンになります。 0: コンフィギュレーション中にプルアップ抵抗を使用 1: プルアップ抵抗なし	コンフィギュレーション中、有効なロジック レベルに駆動します。	ユーザー I/O
M[2:0] (A)	入力	モード セレクト。FPGA のコンフィギュレーション モードを選択します。詳細は、「HSWAP、M[2:0]、VS[2:0] ピンに関する注意事項」を参照してください。	M2=0、M1=1。M0=0 に設定すると、アドレスは 0 から開始され、増加します。M0=1 に設定すると、アドレスは 0xFFFFF から開始され、減少します。INIT_B が High になるとサンプリングされます。	ユーザー I/O
CSI_B	入力	チップ セレクト入力。アクティブ Low。	コンフィギュレーション中は Low にする必要があります。	ユーザー I/O。ビットストリーム オプションの Persist が Yes に設定されていると、SelectMap パラレル パリフェラル インターフェイスの一部になります。
RDWR_B	入力	読み出し/書き込み制御。アクティブ Low のライト イネーブル。読み出しは、ビットストリーム オプションの Persist が Yes の場合に、通常コンフィギュレーション後にのみ使用されます。	コンフィギュレーション中は Low にする必要があります。	ユーザー I/O。ビットストリーム オプションの Persist が Yes に設定されていると、SelectMap パラレル パリフェラル インターフェイスの一部になります。
LDC0	出力	PROM チップ イネーブル	PROM チップ セレクト入力 (CE#) に接続されます。コンフィギュレーション中は Low に駆動されます。	ユーザー I/O。FPGA がコンフィギュレーション後 PROM にアクセスしない場合は、このピンを High にして PROM をディスエーブルにします。これで、A[23:0]、D[7:0]、LDC[2:1]、HDC がユーザー I/O として使用できるようになります。
LDC1	出力	PROM 出力イネーブル	PROM 出力イネーブル入力 (OE#) に接続します。コンフィギュレーション中は Low に駆動されます。	ユーザー I/O
HDC	出力	PROM ライト イネーブル	PROM のライト イネーブル入力 (WE#) に接続します。FPGA はこの信号をコンフィギュレーション中 High に駆動します。	ユーザー I/O

表 58 : BPI 接続 (続き)

ピン名	FPGA の方向	説明	コンフィギュレーション中	コンフィギュレーション後
LDC2 Ⓓ	出力	PROM バイト モード	この信号は x8 PROM には使用されません。x8/x16 データ幅の PROM の場合、PROM バイト モード入力 (BYTE#) に接続します。詳細は、「x8/x16 Flash PROM を使用する場合は注意」を参照してください。コンフィギュレーション中は Low に駆動されます。	ユーザー I/O。コンフィギュレーション後にこのピンを High にすると、x16 モードで x8/x16 PROM を使用できます。
A[23:0]	出力	アドレス	PROM のアドレス入力に接続します。パッケージによっては、上位のアドレスラインが使用できなかったり、必要ない場合があります。必要なアドレスラインは、接続した Flash PROM の容量によって異なります。FPGA のアドレス生成は、M0 モード ピンで制御されます。アドレスは、CCLK の立ち下がりがエッジで出力されます。 TQ144 パッケージの場合、使用可能なアドレスラインは 20 本のみになります。	ユーザー I/O
D[7:0]	入力	データ入力	A[23:0] のアドレスに基づき、これらのピンでバイト幅のデータが受信され、取り込まれます。データは CCLK の立ち上がりエッジで FPGA にキャプチャされます。	ユーザー I/O。ビットストリーム オプションの Persist が Yes に設定されていると、SelectMap パラレルペリフェラル インターフェイスの一部になります。
CSO_B	出力	チップ セレクト入力。アクティブ Low。	単一の FPGA アプリケーションでは使用されません。デジタイズ チェーンのコンフィギュレーションでは、このピンがチェーンの次の FPGA の CSI_B ピンに接続されます。複数 FPGA を接続するデジタイズ チェーン アプリケーションで HSWAP = 1 に設定すると、この信号と VCCO_2 間に 4.7kΩ のプルアップ抵抗を接続します。チェーンのダウンストリームのデバイスが選択されると Low になります。	ユーザー I/O
BUSY	出力	BUSY インジケータ。通常、ビットストリーム オプションの Persist が Yes の場合に、コンフィギュレーション後にのみ使用されます。	コンフィギュレーション中には使用されませんが、アクティブに駆動されます。	ユーザー I/O。ビットストリーム オプションの Persist が Yes に設定されていると、SelectMap パラレルペリフェラル インターフェイスの一部になります。
CCLK	出力	コンフィギュレーション クロック。FPGA 内部オシレータで生成されます。周波数は Bitstream Generator (BitGen) の ConfigRate オプションで設定できます。CCLK の PCB トレースが長かったり、接続が複数ある場合は、この出力を終端処理してシグナル インテグリティを保ちます。詳細は、「CCLK デザインに関する注意事項」を参照してください。	単一の FPGA アプリケーションでは使用されませんが、アクティブに駆動します。デジタイズ チェーンのコンフィギュレーションでは、デジタイズ チェーンのその他すべての FPGA の CCLK 入力を駆動します。	ユーザー I/O。ビットストリーム オプションの Persist が Yes に設定されていると、SelectMap パラレルペリフェラル インターフェイスの一部になります。
INIT_B	オープン ドレインの 双方向 I/O	初期化インジケータ。アクティブ Low。コンフィギュレーションの開始時、メモリの初期化 (クリア プロセス) 中は Low になります。メモリのクリアが終了し、モード セレクト ピンがサンプリングされると解除されます。デジタイズ チェーンのアプリケーションでは、VCCO_2 に対して 4.7kΩ の外部プルアップ抵抗を必要とします。	コンフィギュレーション中、アクティブ。コンフィギュレーション中に CRC エラーが検出されると、INIT_B が Low になります。	ユーザー I/O。アプリケーションで使用されない場合は High にします。

表 58 : BPI 接続 (続き)

ピン名	FPGA の方向	説明	コンフィギュレーション中	コンフィギュレーション後
DONE	オープン ドレインの 双方向 I/O	FPGA のコンフィギュレーション終了。 コンフィギュレーション中は Low で す。FPGA のコンフィギュレーションが 終了すると High になります。2.5V に対 して 330Ω の外部プルアップ抵抗が必 要です。	Low の場合、FPGA のコンフィギュ レーションが終了していないことを示 します。	外部プルアップを介して High になります。High の場合、 FPGA のコンフィギュレーションが 問題なく終了したことを示 します。
PROG_B	入力	FPGA のプログラム。アクティブ Low。 500ns 以上 Low にアサートされると、 FPGA でコンフィギュレーション メモ リがクリアされ、PROG_B が High に なったら DONE と INIT_B ピンがリ セットされ、コンフィギュレーション プロセスが再開されます。2.5V に対 して 4.7kΩ の外部プルアップ抵抗を推奨 します。内部プルアップ値が低い可能性 があります (表 77 参照)。3.3V 出力で外 部から駆動する場合は、オープンドレ インまたはオープンコレクタのドライ バを使用するか、限流直列抵抗を使用し てください。	コンフィギュレーションを開始するに は、High にする必要があります。	FPGA を再プログラムする場合、 PROG_B を Low にしてから High にします。PROG_B を保持 して FPGA の I/O ピンをハイ イ ンピーダンス状態にすると、 Flash PROM ピンに直接アクセ スしてプログラムできます。

使用する電圧

⑤ FPGA のパラレル Flash インターフェイス信号は、I/O バンク 1 と 2 にあります。パラレル Flash PROM のほとんどが単一の 3.3V 電圧を使用しています。このため、ほとんどの場合、FPGA の VCCO_1 と VCCO_2 電圧もパラレル Flash PROM と同じ 3.3V にする必要があります。1.8V のパラレル Flash PROM もあります。この場合は、VCCO_1 と VCCO_2 の電圧も 1.8V にする必要があります。

PROM 電源がシーケンスの最後にある場合の電源投入

SPI Flash PROM と同様、パラレル Flash PROM も電圧が最小値に達した後、ある程度の内部初期化時間が必要になります。

PROM の電源電圧は、FPGA の VCCO_2 入力にも接続する必要があります。FPGA の VCCO_2 入力への PROM の電源は、FPGA のほかの V_{CCINT} および V_{CCAUX} 電源より前に有効になるので問題はありますが、PROM の電源がシーケンスの最後にある場合、FPGA とパラレル Flash PROM 間で競合状態が発生することがあります。SPI Flash PROM の同様の問題については、「3.3V 電源がシーケンスの最後にある場合の電源投入」を参照してください。

サポートされるパラレル NOR Flash PROM の容量

表 59 は、1 つ Spartan-3E をプログラムするのに使用される最小のパラレル Flash PROM を示しています。パラレル Flash メモリの容量はビットで、アドレスはバイトで指定されます。FPGA は、コンフィギュレーション中に最大で 24 本のアドレスラインを使用できますが、1 つの FPGA アプリケーションにすべてが必要なわけではありません。表 59 に、FPGA とパラレル Flash PROM 間に最低限必要なアドレスラインの本数を示します。実際に必要なアドレスラインは、接続したパラレル Flash PROM の容量によって異なります。

複数の FPGA をデジタイズ チェーン接続したアプリケーションの場合、各 FPGA のファイルサイズの合計を保存できる容量のパラレル Flash PROM が必要です。FPGA のコンフィギュレーション データ以外のデータも格納するために、より容量の大きいパラレル Flash PROM が必要なこともあります。たとえば、パラレル Flash PROM には、Spartan-3E にインプリメントされる MicroBlaze RISC プロセッサ コアのアプリケーションコードを含めることができます。コンフィギュレーション後、MicroBlaze プロセッサを外部 Flash メモリから直接実行したり、コードを実行する前により高速なシステム メモリにコードをコピーしたりできます。

表 59 : Spartan-3E をプログラムするのに必要なビット数と最小のパラレル Flash PROM

Spartan-3E FPGA	圧縮なしのファイル サイズ (ビット)	最小のパラレル Flash PROM	最低限必要なアドレス ライン
XC3S100E	581,344	1 Mb	A[16:0]
XC3S250E	1,353,728	2 Mb	A[17:0]
XC3S500E	2,270,208	4 Mb	A[18:0]
XC3S1200E	3,841,184	4 Mb	A[18:0]
XC3S1600E	5,969,696	8 Mb	A[19:0]

互換性のある Flash ファミリ

Spartan-3E の BPI コンフィギュレーション インターフェイスは、さまざまな x8 または x8/x16 のパラレル NOR Flash デバイスで動作します。表 60 には、Spartan-3E の BPI インターフェイスで動作する Flash メモリ ファミリの一部を示しています。パラレル NOR Flash が使用可能かどうかは、データシートを参照してください。基本的なタイミング要件と波形は「**BPI (Byte-wide Peripheral Interface) コンフィギュレーションのタイミング**」(モジュール 3)に記載されています。

表 60 : 互換性のあるパラレル NOR Flash ファミリ

Flash ベンダー	Flash メモリ ファミリ
ST Microelectronics	M29W
Atmel	AT29 / AT49
Spansion (AMD、富士通)	Am29 / S29
Intel	J3D StrataFlash
Macronix	MX29

CCLK の周波数

BPI モードの場合、FPGA の内部オシレータですべてのインターフェイス タイミングを制御するコンフィギュレーション クロック周波数が生成されます。FPGA のコンフィギュレーションは最小の周波数で開始され、その周波数は残りのプロセス中に増加していきます (指定した場合のみ)。最大周波数は、Bitstream Generator (BitGen) の **ConfigRate** で指定します。

表 61 : パラレル Flash PROM の ConfigRate の最大値 (商業温度の範囲内)

Flash の読み出しアクセス時間	ConfigRate の最大値
≤ 250 ns	3
≤ 115 ns	6
≤ 45 ns	12

表 61 に、一般的な PROM の読み出しアクセス時間での ConfigRate の最大値 (商業温度の範囲内) を示します。詳細は、「**BPI (Byte-wide Peripheral Interface) コンフィギュレーションのタイミング**」(モジュール 3) および [UG332](#) を参照してください。一番遅い ConfigRate 設定を除いて、BPI モードの速度はほかのコンフィギュレーション モードのと変わりません。BPI モードでは、データが ConfigRate の周波数でアクセスされ、8 倍のクロック周波数を使用して内部でシリアル化されます。

コンフィギュレーション後の BPI インターフェイスの使用

FPGA のコンフィギュレーションが終了すると、パラレル Flash PROM に接続されるピンはすべてユーザー I/O として使用できるようになります。

コンフィギュレーション後にパラレル Flash PROM を使用しない場合は、LDC0 を High にすると PROM のチップ セレクト入力をディスエーブルにできます。これで、残りの 24 本のアドレスライン、8 本のデータライン、LDC2、LDC1、HDC 制御ピンなどの BPI ピンが FPGA アプリケーションで使用できるようになります。

インターフェイス ピンはすべてコンフィギュレーション後にユーザー I/O になるので、インターフェイス ピンを続けて FPGA アプリケーションでパラレル Flash PROM と通信するために使用できます。パラレル Flash PROM の容量は、1Mb ~ 128Mb 以上までありますが、1 つの Spartan-3E のコンフィギュレーションに必要なのは 6Mb 未満です。必要な場合は、MicroBlaze プロセッサコードのような不揮発性アプリケーション データや、シリアル番号/イーサネット MAC ID などその他のユーザー データを含めるために、これより大きい容量のパラレル Flash PROM を使用します。この場合、FPGA はパラレル Flash PROM からコンフィギュレーションされます。コンフィギュレーション後に FPGA ロジックを使用すると、FPGA に組み込まれた MicroBlaze プロセッサをパラレル Flash PROM から直接実行したり、外部の DDR SDRAM にコードをコピーしてから実行したりできます。同様に、FPGA アプリケーションはパラレル Flash PROM 内に不揮発性のアプリケーション データを格納できます。

FPGA のコンフィギュレーション データはアドレス 0 かメモリの最上位 (すべて 1)、またはマルチブート モードの場合は両方のロケーションから格納されます。データを追加する場合は、パラレル Flash PROM のほかの使用可能なセクタに格納されます。コンフィギュレーション データとユーザー データは、同じセクタに格納しないでください。

同様に、パラレル Flash PROM インターフェイスは追加したパラレル ペリフェラルまで延長できます。

アドレス、データ、LDC1 (OE#)/HDC (WE#) 制御信号は、すべてのパラレル ペリフェラルに含まれます。追加したペリフェラルのチップ セレクト入力を FPGA のユーザー I/O ピンの 1 つに接続してください。コンフィギュレーション中に HSWAP = 0 の場合、内部プルアップ抵抗を使用してチップ セレクトラインが High に保持されます。HSWAP = 1 の場合、不要な読み出し/書き込みがないように、セレクトラインを 4.7kΩ の外部プルアップ抵抗を介して 3.3V に接続します。コンフィギュレーション後はセレクトラインを Low にし、該当するペリフェラルを選択します。インターフェイスや通信プロトコルの要件については、それぞれのペリフェラルのデータシートを参照してください。

FPGA では、コンフィギュレーション後に LDC2 (BYTE#) 制御ピンを High に駆動すると、オプションで 16 ビットのペリフェラル インターフェイスがサポートされます。詳細は、「**x8/x16 Flash PROM を使用する際の注意**」を参照してください。

FPGA では最高で 24 本のアドレスラインを使用でき、128Mb (16MB) までアドレス指定できます。より容量の大きいパラレル PROM を使用する場合は、アドレスラインの上位ビットを FPGA のユーザー I/O に接続します。コンフィギュレーション中に HSWAP = 0 の場合、この上位ビットのアドレスラインが

High になります。HSWAP = 0 ではない場合は、これらのアドレスラインの外部プルアップまたはプルダウン抵抗を使用して値を決めます。

x8/x16 Flash PROM を使用する際の注意

㊦ 小容量から中容量の PROM のほとんどは、バイト幅 (x8) しかサポートしません。大容量の Flash PROM の多くは、バイト幅 (x8) とハーフワード (x16) のデータパスの両方をサポートし、x8 と x16 の切り替えに BYTE# というモード入力を使用します。Spartan-3E は、コンフィギュレーション中にはバイト幅のデータしかサポートしませんが、コンフィギュレーション後は x8 または x16 モードをサポートします。x16 モードの場合、上位のデータビット D[15:8] 用に最大 8 つのユーザー I/O ピンが追加で必要になります。

Spartan-3E FPGA と x8/x16 Flash PROM の接続は単純ですが、注意が必要です。Flash PROM ベンダーによって、x8 と x16 モードの両方をサポートするインターフェイスが異なることがあります。一部のベンダー (Intel、Micron、STMicroelectronics デバイスの一部) では、FPGA 接続と同じピン名を使用するインターフェイスを使用しますが、PROM の A0 ピンは x16 アプリケー

ションでは無駄になり、D15 データラインには別の FPGA のユーザー I/O ピンが必要になります。ただし、FPGA の A0 ピンは Flash PROM に接続されていても、コンフィギュレーション後はユーザー I/O として使用できます。

また、ほかのベンダー (AMD、Atmel、Silicon Storage Technology、STMicroelectronics デバイスの一部) では、効率的なピン配置のインターフェイスが使用されますが、PROM が x8 モードか x16 モードかによって、IO15/A-1 というピンのファンクションが変わります。x8 モード (BYTE# = 0) の場合、このピンは最下位のアドレスラインになります。A0 アドレスラインはハーフワードのロケーションを、A-1 アドレスラインはバイトロケーションを選択します。x16 モード (BYTE# = 1) の場合、バイトのアドレス指定が必要ないため、この IO15/A-1 ピンが最上位のデータビット (D15) になります。Flash PROM に IO15/A-1 または DQ15/A-1 という名前のピンがないかどうか確認してください。ある場合は、表 62 のように x8/x16 の Flash PROM を正しく接続してください。また、D[14:8] データの接続には FPGA のユーザー I/O ピンが必要ですが、D15 データは既に FPGA の A0 ピン用に接続されていることにも注意してください。

表 62 : IO15/A-1 ピンを使用した FPGA と Flash PROM の接続

FPGA ピン	IO15/A-1 ピンを使用した Flash PROM への接続	FPGA コンフィギュレーション後の x8 Flash PROM インターフェイス	FPGA コンフィギュレーション後の x16 Flash PROM インターフェイス
LDC2	BYTE#	LDC2 を Low に駆動するか、未接続のままにして PROM の BYTE# 入力を GND に接続します。	LDC2 を High に駆動
LDC1	OE#	アクティブ Low の Flash PROM 出力イネーブル制御	アクティブ Low の Flash PROM 出力イネーブル制御
LDC0	CS#	アクティブ Low の Flash PROM チップセレクト制御	アクティブ Low の Flash PROM チップセレクト制御
HDC	WE#	Flash PROM のライト イネーブル制御	Flash PROM のライト イネーブル制御
A[23:1]	A[n:0]	A[n:0]	A[n:0]
A0	IO15/A-1	IO15/A-1 は最下位のアドレス入力	IO15/A-1 は最上位のデータライン IO15
D[7:0]	IO[7:0]	IO[7:0]	IO[7:0]
ユーザー I/O	コンフィギュレーション後に x16 Flash インターフェイスとして使用しない場合、上位のデータライン IO[14:8] は必要なし	上位データライン IO[14:8] は必要なし	IO[14:8]

x8/x16 Flash PROM の中には、BYTE# 信号のセットアップタイムが長いものがあります。電源投入時または FPGA の PROG_B が Low になったときに、PROM が x8 モード (BYTE# = 0) になっていないと、FPGA は正しくコンフィギュレーションされません。必要に応じて、FPGA の LDC2 ピンに 680Ω の外部プルダウン抵抗を使用するか、FPGA への CSI_B セレクト入力のアサートが遅らせて、3.3V PROM の BYTE# セットアップタイムを延長してください。

デジチェーン接続



設計メモ:

BPI モードのデジチェーン接続は、ISE 8.2i 以降のソフトウェアでサポートされます。

アンサー #23061

<http://japan.xilinx.com/support/answers/23061.htm>

3 つ以上の FPGA デバイスを含むデジチェーンでのコンフィギュレーションの場合、最初および最後以外の FPGA デバイスは、Spartan-3E または Virex-5 FPGA である必要があります。チェーンの最後にあたるデバイスは、ザイリンクス FPGA ファミリのいずれのデバイスでも可能です。

アプリケーションでコンフィギュレーションの異なる FPGA が複数必要な場合は、図 59 に示すように、デジチェーンを使用して FPGA をコンフィギュレーションします。パラレル PROM に接続された FPGA には BPI モード ($M[2:0] = <0:1:0>$ または $<0:1:1>$)、デジチェーンのダウストリーム FPGA にはスレーブパラレルモード ($M[2:0] = <1:1:0>$) を設定します。

チェーンに 3 つ以上の FPGA がある場合、最後の FPGA にはザイリンクス FPGA ファミリの任意のデバイスを接続できます。ただし、最初および最後以外の FPGA は、Spartan-3E または Virtex™-5 FPGA である必要があります。

マスタ FPGA (図の左側) は、パラレル Flash PROM からコンフィギュレーションデータを読み込み終えた後も、この Flash PROM に対してアドレスを生成して続け、CSO_B 出力を Low にしてデジチェーンの次の FPGA をイネーブルにします。この後、チェーンの次の FPGA が Flash PROM からパラレルコンフィギュレーションデータを受信します。マスタ FPGA の CCLK でデータの取り込みを同期化します。

HSWAP = 1 の場合、4.7kΩ の外部プルアップ抵抗を CSO_B ピンに追加する必要があります。HSWAP = 0 の場合、外部プルアップ抵抗は必要ありません。

BPI モードと右側と下辺のグローバルクロック入力の関係

BPI モードのコンフィギュレーションピンの中には、デバイスの右側 (バンク 1) と下辺 (バンク 2) のグローバルクロック入力と共有されるものがあります。これらのピンは、特に FPGA アプリケーションがコンフィギュレーション後にパラレル NOR Flash にアクセスする場合、簡単にクロック入力としては使用できません。表 63 は、これらの共有ピンについてまとめています。

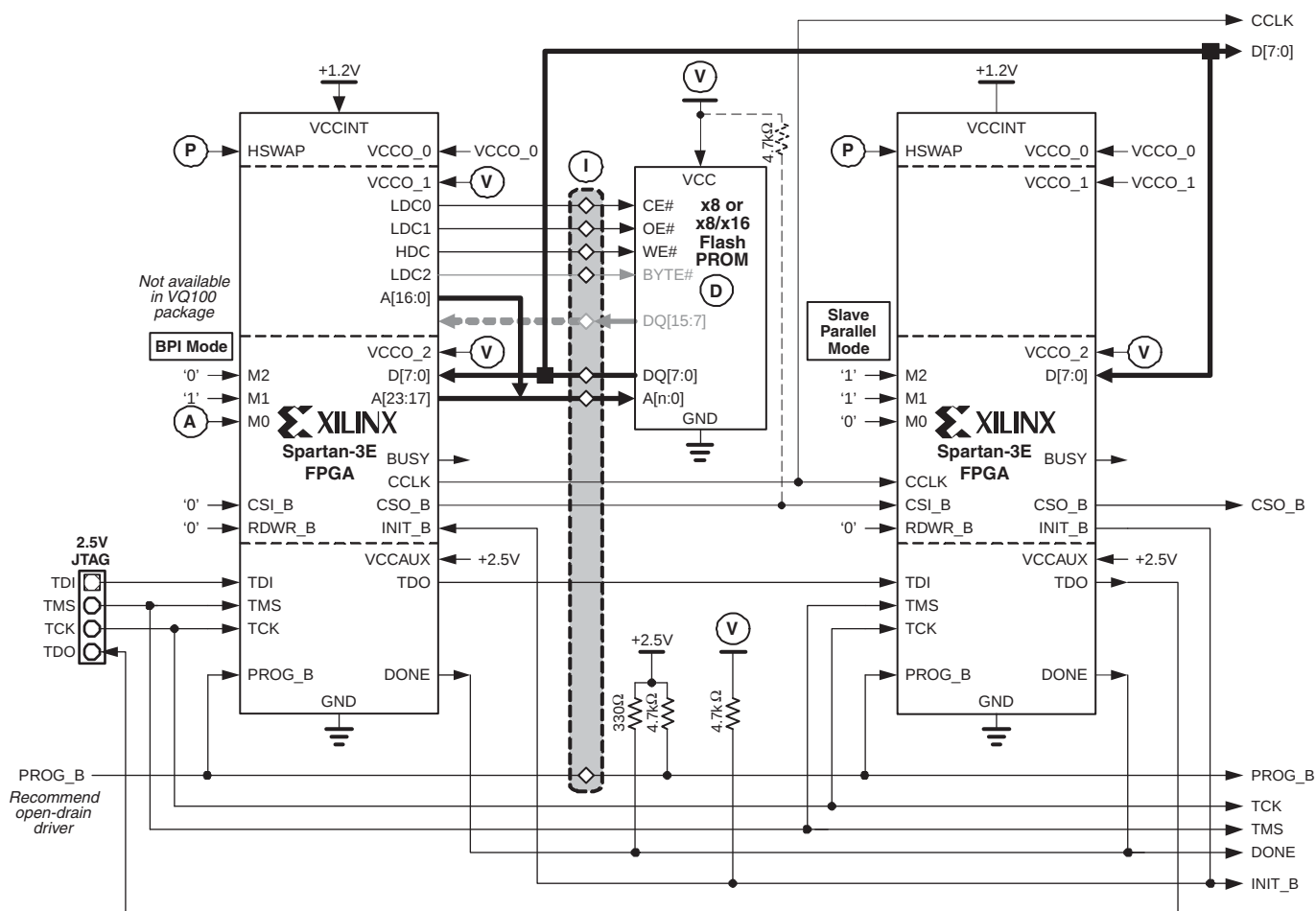
表 63: 共有される BPI コンフィギュレーションモードとグローバルバッファ入力ピン

デバイスエッジ	グローバルバッファ入力ピン	BPI モード コンフィギュレーションピン
下辺	GCLK0	RDWR_B
	GCLK2	D2
	GCLK3	D1
	GCLK12	D7
	GCLK13	D6
	GCLK14	D4
	GCLK15	D3
右側	RHCLK0	A10
	RHCLK1	A9
	RHCLK2	A8
	RHCLK3	A7
	RHCLK4	A6
	RHCLK5	A5
	RHCLK6	A4
	RHCLK7	A3

FPGA のコンフィギュレーションが BPI モードの場合の JTAG を使用した再プログラム (ステッピング 0 の制限)

FPGA は、モードピン ($M[2:0]$) の設定に関係なく、常に JTAG ポートを使用して再プログラムできますが、ステッピング 0 の場合には、制限があります。ステッピング 0 の FPGA が BPI モードでコンフィギュレーションされ、有効な FPGA コンフィギュレーションファイルを含むパラレルメモリに接続されている場合は、JTAG ポートを使用してリコンフィギュレーションできません。この問題は、モードピンを JTAG コンフィギュレーション用に設定するか、Flash の初期メモリロケーションを 0x2000 でオフセットにすると、回避できることがあります。

ステッピング 1 のデバイスでは、FPGA モードピンが BPI モードに設定されていても、JTAG コンフィギュレーションが完全にサポートされます。



DS312-2_50_103105

図 59 : BPI Flash モードのデジーチェーン接続

インシステムプログラミング (ISP) のサポート

① 製品アプリケーションの場合、パラレル Flash PROM は通常 PCB に実装される前にプログラムされます。インシステムプログラミングは、ワイヤが接続されたソケットアダプタを使用すると、サードパーティのバウンダリスキャンツールや一部の PROM プログラムツールでサポートされます。パラレル Flash 信号にアクセスするには、FPGA の PROG_B 入力 (オープンドレインドライバ) を Low にします。これにより、パラレル Flash に接続されるピンも含め、すべての FPGA の I/O ピンがハイインピーダンス (Hi-Z) になります。HSWAP 入力がある場合、I/O にはそれぞれの I/O バンクの V_{CCO} 入力に対してプルアップ抵抗が付きます。これで、外部プログラムハードウェアがパラレル Flash に直接アクセスできるようになります。プログラムアクセスポイントは、図 58 および図 59 に灰色表示されています。

開発およびテスト段階では、FPGA 自体をパラレル Flash PROM プログラムツールとして使用することもできます。まず、FPGA ベースのプログラムツールを JTAG を使用して FPGA にダウンロードします。その後、FPGA が Flash PROM のプログラムアルゴリズムを実行し、FPGA の JTAG インターフェイスを使用してホストからプログラムデータを受信します。詳細は、『エンベデッドシステムリファレンスマニュアル』を参照してください。

マルチブートオプションを使用した複数のコンフィギュレーションイメージの読み込み

詳細は、UG332 の「推奨およびマルチブート」を参照してください。

FPGA がパラレル Flash PROM の終わってから BPI モードを使用してコンフィギュレーションされると、マルチブートイベントがトリガされ、同じ PROM の反対側からリコンフィギュレーションされます。マルチブートは、BPI モードを使用している場合、およびアプリケーションに単一の Spartan-3E FPGA しか含まれない場合にのみ使用できます。

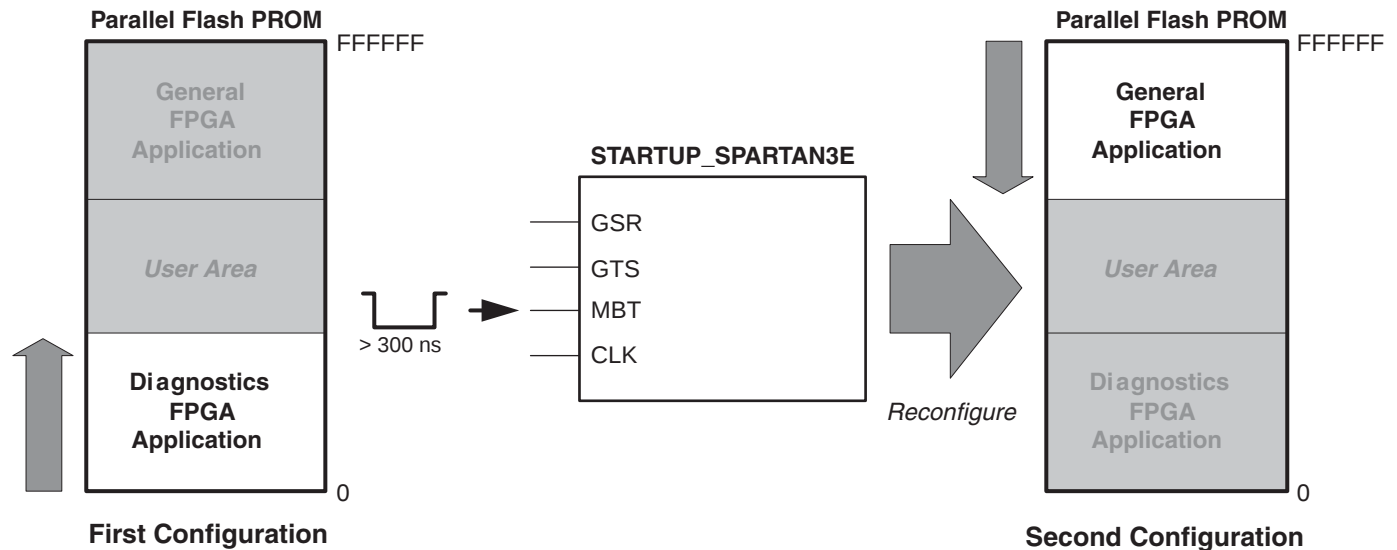
マルチブートモードは、デフォルトではディスエーブルになっています。マルチブートイベントをトリガするには、[STARTUP_SPARTAN3E](#) ライブラリプリミティブの MBT (マルチブートトリガ) 入力に Low パルスを送信してください。300ns 後に MBT 信号が High に戻ると、FPGA は自動的にパラレル Flash PROM メモリの反対側からリコンフィギュレーションされます。

図 60 は、この使用例を示します。電源を投入すると、FPGA は接続したパラレル Flash PROM から読み込みを開始します。この例では、M0 モードピンが Low なので、FPGA はアドレス 0 で開始され、メ

メモリ ロケーションが増加していきます。コンフィギュレーションが終了すると、FPGA に読み込まれたアプリケーションにより FPGA ロジックを使用してボード レベルまたはシステム レベルのテストが実行されます。テストが問題なく終了すると、マルチブート イベントがトリガされ、FPGA が Flash PROM メモリの反対側からリコン

フィギュレーションされます。この 2 回目のコンフィギュレーションには、通常動作の FPGA アプリケーションが含まれます。

同様に、通常の FPGA アプリケーションでは、どの時点でも別のマルチブート イベントをトリガして診断デザインを再び読み込むことができます。



DS312-2_51_103105

図 60: マルチブート を使用した別のコンフィギュレーション イメージの読み込み

また、最初にエラーのないコンフィギュレーション イメージを読み込み、外部と通信して新しいイメージがないかどうかを確認できるようにするアプリケーションも可能です。新しいコンフィギュレーションのバージョンがあり、そのイメージに問題がないかどうかを検証されると、マルチブート イベントがトリガされ、新しいイメージが読み込まれます。

マルチブート イベントがトリガされると、表 58 に示すコンフィギュレーション ピンが再び駆動されますが、PROG_B ピンはア

サートされません。リコンフィギュレーション中にほかのデバイスでこれらのピンが駆動されないようにしてください。また、FPGA の DONE、LDC[2:0]、HDC ピンを使用すると、リコンフィギュレーション中は競合のあるドライバを一時的にディスエーブルにできます。

PROG_B ピンを Low にアサートすると、マルチブート機能は無効になり、表 57 に示すように、FPGA はモード ピンで指定されたメモリの最後 からリコンフィギュレーションされます。

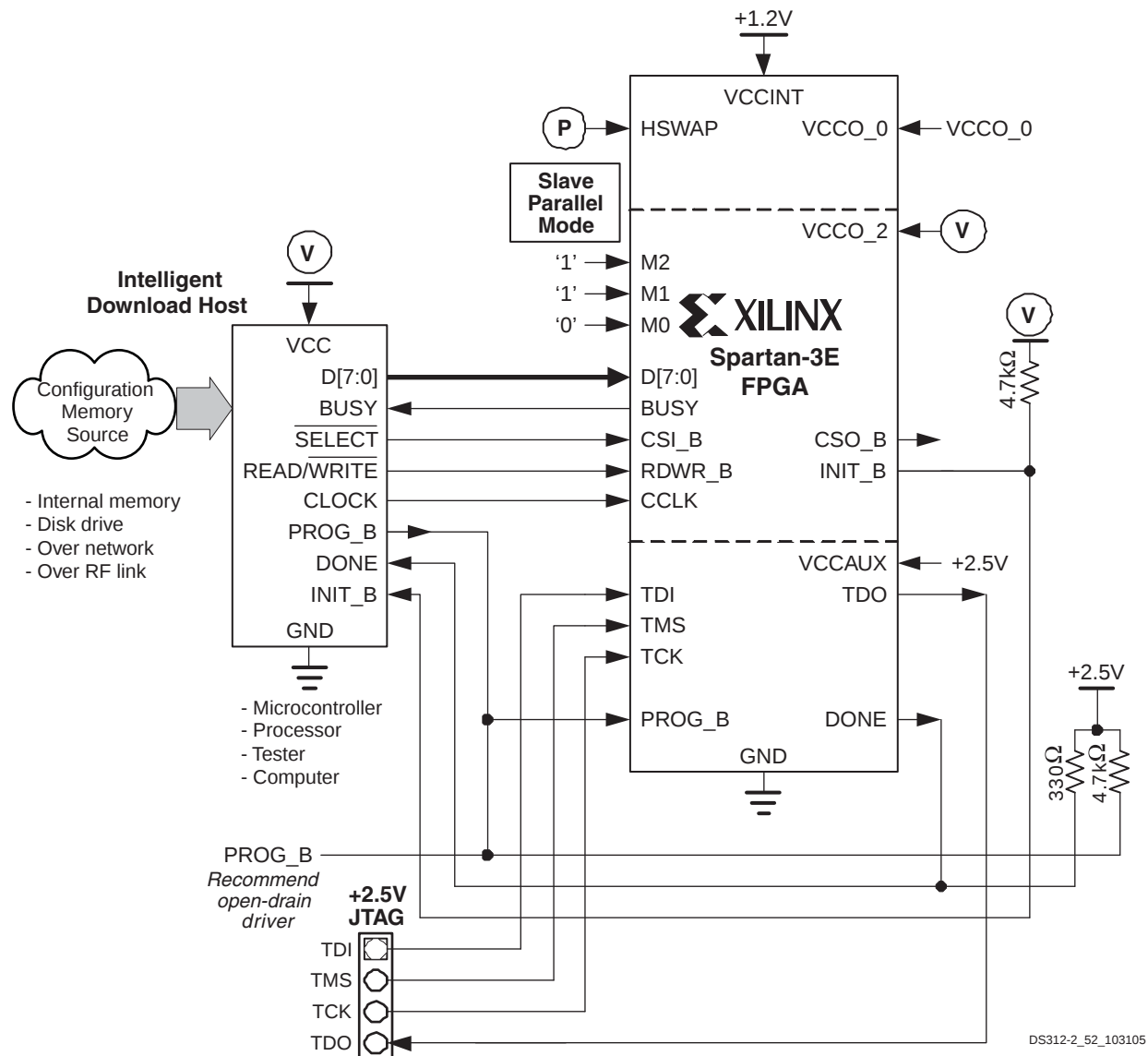


図 61: スレーブ パラレル コンフィギュレーション モード

スレーブ パラレル モード

詳細は、[UG332](#) の「スレーブ パラレル (SelectMAP) モード」を参照してください。

スレーブ パラレル モード (M[2:0]=<1:1:0>) の場合、[図 61](#) に示すように、マイクロプロセッサやマイクロコントローラなどの外部ホストにより、一般的なペリフェラル インターフェイスを使用して FPGA にバイト幅のコンフィギュレーション データが書き込まれます。

外部ダウンロード ホストは、PROG_B を Low にし、INIT_B ピンが High になって FPGA で最初のデータを受信する準備ができたことを確認してから、コンフィギュレーションプロセスを開始します。ホストは、アクティブ Low のチップ セレクト信号 (CSI_B) とアクティブ Low のライト信号 (RDWR_B) をアサートします。この後、FPGA の DONE ピンが High になってコンフィギュレーションが問題なく終了したことが示されるまで、または FPGA の INIT B ピンが Low になってコンフィギュレー

ション エラーがあったことが示されるまで、ホストはデータとクロック信号を送信し続けます。

FPGA は CCLK の立ち上がりエッジでデータを取り込みます。CCLK 周波数が 50MHz を超える場合、ホストで FPGA の BUSY 出力も監視する必要があります。FPGA で BUSY が High にアサートされた場合は、Low に戻るまで数クロック サイクル間、ホストでデータを保持する必要があります。CCLK 周波数が 50MHz 以下の場合、BUSY ピンは無視されることがありますが、コンフィギュレーション中はアクティブに駆動されます。

コンフィギュレーションプロセスには、コンフィギュレーションファイルのサイズで示されるよりも多くのクロックサイクルが必要です。また、選択したデジタル クロック マネージャ (DCM) がそれぞれのクロック入力にロックされるまで待機するようにプログラムされている場合などは、FPGA のスタートアップシーケンスでさらにクロック サイクルが必要になります (107 ページの「スタートアップ」参照)。

スレーブ パラレル インターフェイスが FPGA をコンフィギュレーションするためだけに使用され、データをリードバックするのに使用されない場合は、RDWR_B もインターフェイスから削除できますが、コンフィギュレーション中は Low にしておく必要があります。

コンフィギュレーションが終了したら、DONE と PROG_B 以外のインターフェイス ピンはすべてユーザー I/O として使用できます。また、双方向の SelectMAP コンフィギュレーション インターフェイスもコンフィギュレーション後に使用できます。SelectMAP モードを使用し続けるには、Bitstream Generator (BitGen) の Persist オプションを Yes に設定します。これで外部

ホストにコンフィギュレーション データを読み込んで検証できるようにします。

注意 : A20 ~ A23 は SelectMAP モードで使用しませんが、Persist オプションではこれらをコンフィギュレーション ピンとして保持され I/O として使用できません。

スレーブ パラレル モードは BPI モードでも使用でき、複数の FPGA をデイジー チェーン接続できます。図 59 に示すように、マスタ FPGA を BPI モードに設定し、デイジー チェーン接続されたその他のダウンストリームの FPGA をスレーブ パラレル モードに設定します。

表 64 : スレーブ パラレル モード接続

ピン名	FPGA の方向	説明	コンフィギュレーション中	コンフィギュレーション後
HSWAP	入力	ユーザー I/O のプルアップ抵抗制御。コンフィギュレーション中に Low の場合は、それぞれの I/O バンクの V _{CCO} 入力とすべての I/O ピンの間のプルアップ抵抗がイネーブルになります。 0 : コンフィギュレーション中にプルアップ抵抗を使用 1 : プルアップ抵抗なし	コンフィギュレーション中、有効なロジック レベルに駆動します。	ユーザー I/O
M[2:0]	入力	モード セレクト。FPGA のコンフィギュレーション モードを選択します。詳細は、「HSWAP、M[2:0]、VS[2:0] ピンに関する注意事項」を参照してください。	M2 = 1、M1 = 1、M0 = 0。INIT_B が High になるとサンプリングされます。	ユーザー I/O
D[7:0]	入力	データ入力	ホストから送信されるバイト幅のデータ。CCLK の立ち上がりエッジで FPGA に取り込まれます。	ユーザー I/O。ビットストリーム オプションの Persist が Yes に設定されていると、SelectMap パラレル ペリフェラル インターフェイスの一部になります。
BUSY	出力	BUSY インジケータ	CCLK 周波数が 50MHz 未満の場合、このピンは無視される可能性があります。High の場合、FPGA は追加のコンフィギュレーション データを受信する準備ができていないことを示し、ホストにデータを保持する必要があります。	ユーザー I/O。ビットストリーム オプションの Persist が Yes に設定されていると、SelectMap パラレル ペリフェラル インターフェイスの一部になります。
CSI_B	入力	チップ セレクト入力。アクティブ Low。	コンフィギュレーション中は Low にする必要があります。	ユーザー I/O。ビットストリーム オプションの Persist が Yes に設定されていると、SelectMap パラレル ペリフェラル インターフェイスの一部になります。
RDWR_B	入力	読み出し/書き込み制御。アクティブ Low のライト イネーブル。	コンフィギュレーション中は Low にする必要があります。	ユーザー I/O。ビットストリーム オプションの Persist が Yes に設定されていると、SelectMap パラレル ペリフェラル インターフェイスの一部になります。
CCLK	入力	コンフィギュレーション クロック。CCLK の PCB トレースが長かったり、接続が複数ある場合は、この出力を終端処理してシグナル インテグリティを保ちます。詳細は、「CCLK デザインに関する注意事項」を参照してください。	外部クロック	ユーザー I/O。ビットストリーム オプションの Persist が Yes に設定されていると、SelectMap パラレル ペリフェラル インターフェイスの一部になります。

表 64 : スレーブ パラレル モード接続 (続き)

ピン名	FPGA の方向	説明	コンフィギュレーション中	コンフィギュレーション後
CSO_B	出力	チップ セレクト出力。アクティブ Low。	単一の FPGA アプリケーションでは使用されません。デイジー チェーンのコンフィギュレーションでは、このピンがチェーンの次の FPGA の CSI_B ピンに接続されます。アクティブに駆動されます。	ユーザー I/O
INIT_B	オープン ドレインの双方向 I/O	初期化インジケータ。アクティブ Low。コンフィギュレーションの開始時、メモリの初期化 (クリア プロセス) 中は Low になります。メモリのクリアが終了し、モード セレクト ピンがサンプリングされると解除されます。デイジー チェーンのアプリケーションでは、VCCO_2 に対して 4.7kΩ の外部プルアップ抵抗を必要とします。	コンフィギュレーション中、アクティブ。コンフィギュレーション中に CRC エラーが検出されると、INIT_B が Low になります。	ユーザー I/O。アプリケーションで使用されない場合は、INIT_B を High にします。
DONE	オープン ドレインの双方向 I/O	FPGA のコンフィギュレーション終了。コンフィギュレーション中、Low。FPGA のコンフィギュレーションが終了すると High になります。2.5V に対して 330Ω の外部プルアップ抵抗が必要です。	Low の場合、FPGA がコンフィギュレーションされていないことを示します。	外部プルアップを使用して High にします。High の場合、FPGA が問題なくコンフィギュレーションされたことを示します。
PROG_B	入力	FPGA のプログラム。アクティブ Low。500ns 以上 Low にアサートされると、FPGA でコンフィギュレーション メモリがクリアされ、PROG_B が High になったら DONE と INIT_B ピンがリセットされ、コンフィギュレーション プロセスが再開されます。2.5V に対して 4.7kΩ の外部プルアップ抵抗を推奨します。内部プルアップ値が低い可能性があります (表 77 参照)。3.3V 出力で外部から駆動する場合は、オープン ドレインまたはオープン コレクタのドライバを使用するか、限流直列抵抗を使用してください。	コンフィギュレーションを開始するには、High にする必要があります。	FPGA を再プログラムする場合、PROG_B を Low にしてから High にします。

使用する電圧

⑤ ほとんどのスレーブ パラレル インターフェイスの信号は FPGA の I/O パンク 2 にあり、VCCO_2 電源入力に接続されます。VCCO_2 の電圧は、外部ホストの電圧要件に合わせて 1.8V、2.5V、3.3V のいずれかにできますが、2.5V が最適です。DONE と PROG_B ピンは FPGA の 2.5V V_{CCAUX} 電源に接続されているため、1.8V または 3.3V を使用する場合は注意が必要です。詳細は、[XAPP453](#) 『Spartan-3 FPGA の 3.3V コンフィギュレーション』を参照してください。

デイジー チェーン接続

アプリケーションでコンフィギュレーションの異なる FPGA が複数必要な場合は、デイジー チェーンを使用して FPGA をコンフィギュレーションします。デイジー チェーン接続された FPGA には、スレーブ パラレル モード (M[2:0] = <1:1:0>) を使用してください。図 62 の回路図は、FPGA のダウンロード用に最適化されており、SelectMAP 読み出しインターフェイスはサポートしていません。FPGA の RDWR_B ピンは、コンフィギュレーション中は Low にしておく必要があります。

マスタ FPGA へのコンフィギュレーション データの読み込みが終了すると、チップ セレクト出力 CSO_B がアサートされてデイジー チェーンの次の FPGA がイネーブルになります。

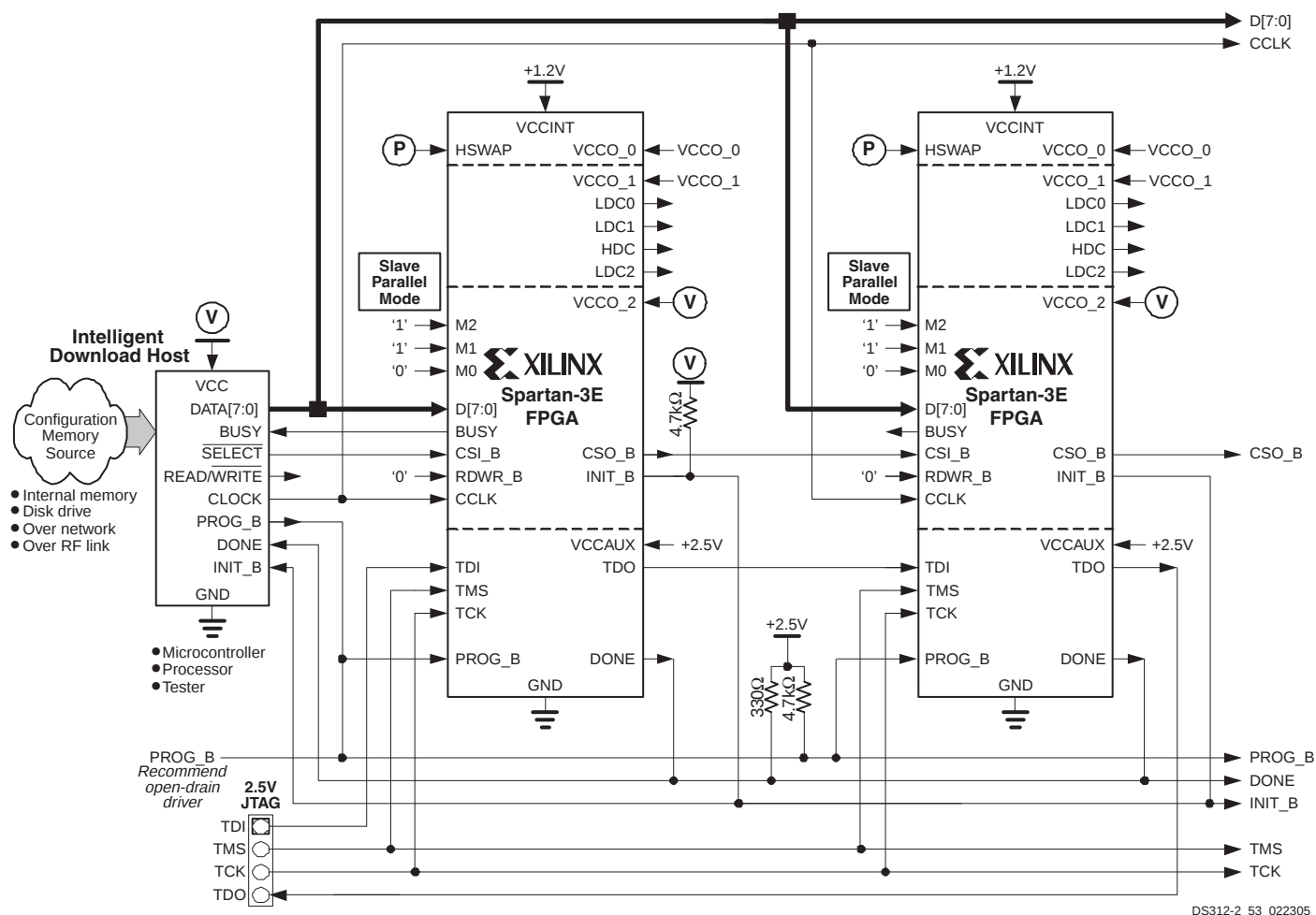


図 62：スレーブ パラレル モードを使用したデジー チェーン接続

スレーブ シリアル モード

詳細は、[UG332](#) の「スレーブ シリアル モード」を参照してください。

スレーブ シリアル モード ($M[2:0] = \langle 1:1:1 \rangle$) の場合、[図 63](#) に示すように、マイクロプロセッサやマイクロコントローラなどの外部ホストにより、同期シリアル インターフェイスを使用して FPGA にシリアル コンフィギュレーション データを書き込みます。シリアル コンフィギュレーション データは、外部で生成された CCLK クロック入力の各立ち上がりエッジの必要なセットアップ タイム前に、FPGA の DIN 入力に送信されます。

ホストは、PROG_B を Low にし、INIT_B ピンが High になって FPGA で最初のデータを受信する準備ができたことを確認し

てから、コンフィギュレーション プロセスを開始します。この後、FPGA の DONE ピンが High になってコンフィギュレーション が問題なく終了したことが示されるか、または INIT_B ピンが Low になってコンフィギュレーション エラーがあったことが示されるまで、ホストはデータとクロック信号を送信し続けます。コンフィギュレーション プロセスには、コンフィギュレーション ファイルのサイズで示されるよりも多くのクロック サイクルが必要です。また、選択したデジタル クロック マネージャ (DCM) がそれぞれのクロック入力にロックされるまで待機するようにプログラムされている場合、FPGA のスタートアップ シーケンスでさらにクロック サイクルが必要になります ([107 ページの「スタートアップ」](#) 参照)。

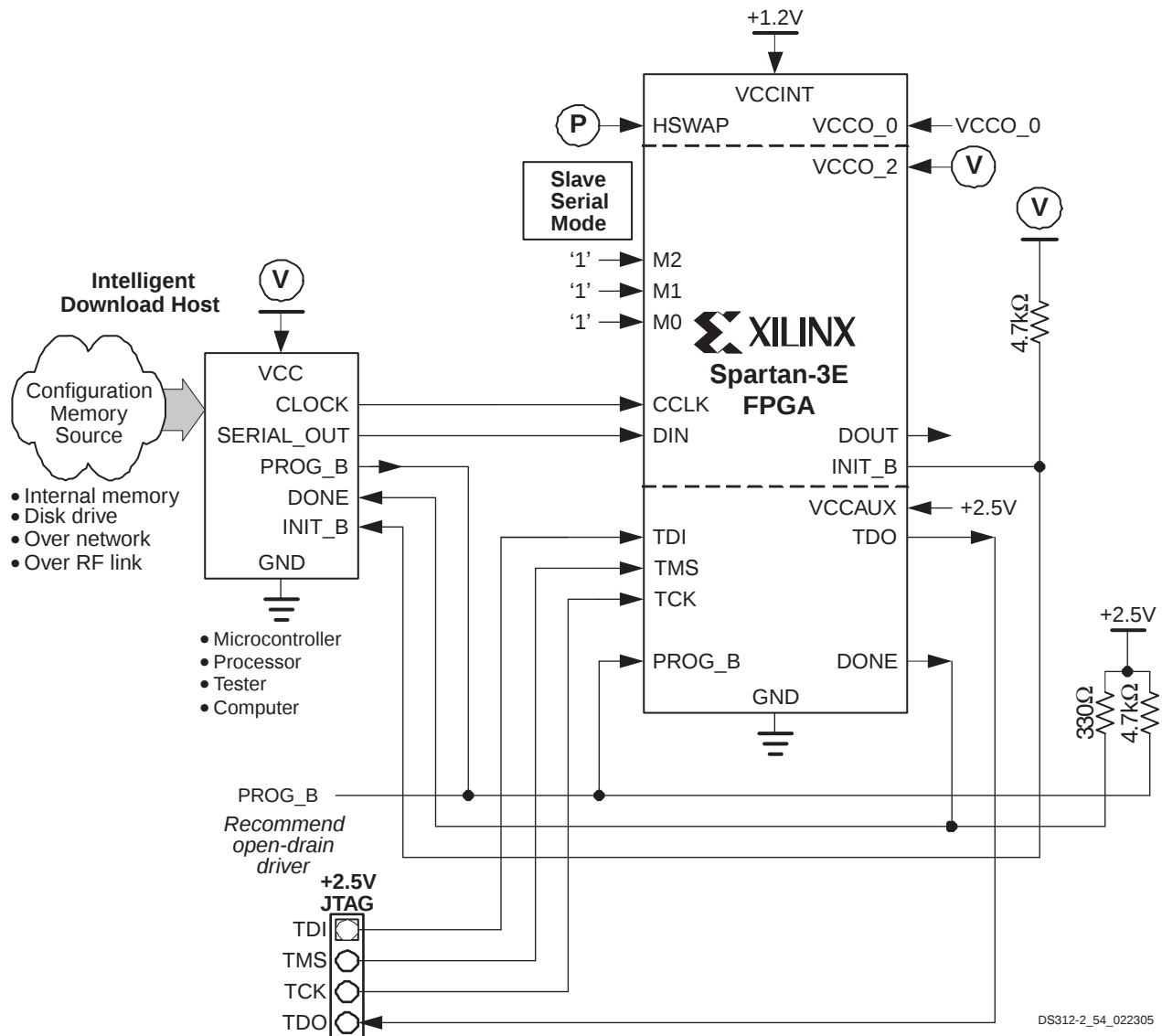


図 63: スレーブ シリアル コンフィギュレーション

モード セレクト ピン M[2:0] は、FPGA の INIT_B 出力が High になるとサンプリングされるので、この間は決まったロジックレベルになっている必要があります。コンフィギュレーション後に FPGA の DONE 出力が High になったら、モード ピンはユーザー I/O ピンとして使用できるようになります。

Ⓟ FPGA の HSWAP ピンはユーザー I/O ピンのプルアップ抵抗をイネーブルにする場合は Low に、ディスエーブルにする場合は High にする必要があります。HSWAP 制御は、FPGA のコンフィギュレーション中は一定のロジックレベルにしておく必要があります。このピンは、コンフィギュレーションが終わって FPGA の DONE 出力が High になったら、ユーザー I/O ピンとして使用できるようになります。電源には VCCO_0 が使用されます。

使用する電圧

Ⓥ ほとんどのスレーブ シリアル インターフェイスの信号は FPGA の I/O バンク 2 にあり、VCCO_2 電源入力に接続されま

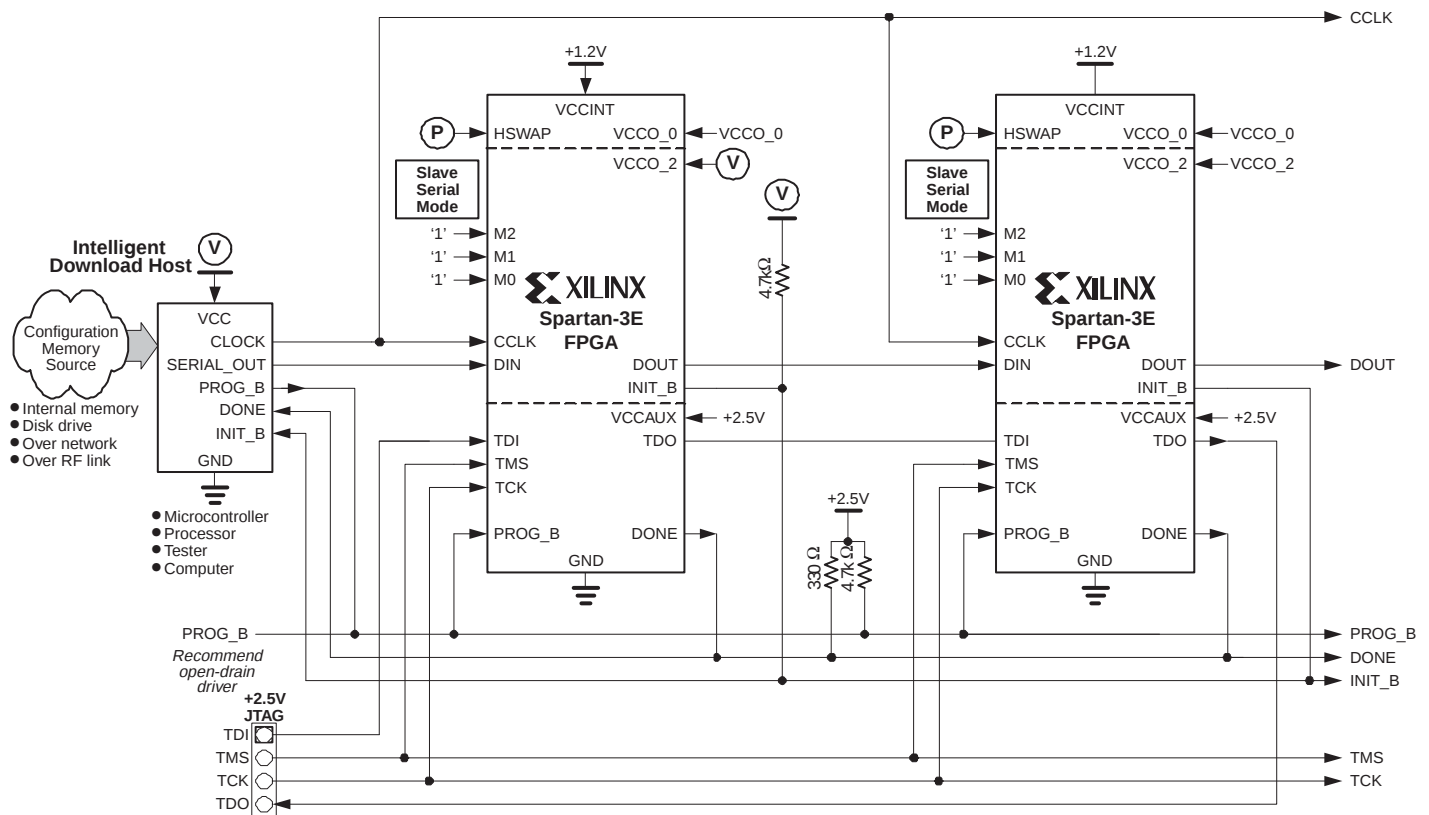
す。VCCO_2 の電圧は、外部ホストの電圧要件に合わせて 1.8V、2.5V、3.3V のいずれかにできますが、2.5V が最適です。DONE と PROG_B ピンは FPGA の 2.5V VCCAUX 電源に接続されているため、1.8V または 3.3V を使用する場合は注意が必要です。詳細は、[XAPP453](#) 『Spartan-3 FPGA の 3.3V コンフィギュレーション』を参照してください。

デイジー チェーン接続

アプリケーションでコンフィギュレーションの異なる FPGA が複数必要な場合は、[図 64](#) に示すように、デイジー チェーンを使用して FPGA をコンフィギュレーションします。デイジー チェーン接続された FPGA は、スレーブ シリアル モード (M[2:0] = <1:1:1>) に設定します。マスタ FPGA へのコンフィギュレーション データの読み込みが終了すると、データは CCLK の立ち上がりエッジで DOUT 出力から次の FPGA に送信されます。

表 65 : スレーブ シリアル モード接続

ピン名	FPGA の方向	説明	コンフィギュレーション中	コンフィギュレーション後
HSWAP	入力	ユーザー I/O のプルアップ抵抗制御。コンフィギュレーション中に Low の場合は、それぞれの I/O バンクの V_{CCO} 入力に対するすべての I/O ピンのプルアップ抵抗がイネーブルになります。 0 : コンフィギュレーション中にプルアップ抵抗を使用 1 : プルアップ抵抗なし	コンフィギュレーション中、有効なロジックレベルに駆動します。	ユーザー I/O
M[2:0]	入力	モード セレクト。FPGA のコンフィギュレーション モードを選択します。詳細は、「 CCLK デザインに関する注意事項 」を参照してください。	M2 = 1、M1 = 1、M0 = 1。INIT_B が High になるとサンプリングされます。	ユーザー I/O
DIN	入力	データ入力	ホストから送信されるシリアル データ。CCLK の立ち上がりエッジで FPGA に取り込まれます。	ユーザー I/O
CCLK	入力	コンフィギュレーション クロック。CCLK の PCB トレースが長かったり、接続が複数ある場合は、この出力を終端処理してシグナル インテグリティを保ちます。詳細は、「 CCLK デザインに関する注意事項 」を参照してください。	外部クロック	ユーザー I/O
INIT_B	オープン ドレインの双方向 I/O	初期化インジケータ。アクティブ Low。コンフィギュレーションの開始時、メモリの初期化 (クリア プロセス) 中は Low になります。メモリのクリアが終了し、モード セレクト ピンがサンプリングされると解除されます。デジタイズ チェーンのアプリケーションでは、 V_{CCO_2} に対して $4.7k\Omega$ の外部プルアップ抵抗を必要とします。	コンフィギュレーション中、アクティブ。コンフィギュレーション中に CRC エラーが検出されると、INIT_B が Low になります。	ユーザー I/O。アプリケーションで使用されない場合は、INIT_B を High にします。
DONE	オープン ドレインの双方向 I/O	FPGA のコンフィギュレーション終了。コンフィギュレーション中、Low。FPGA のコンフィギュレーションが終了すると High になります。2.5V に対して 330Ω の外部プルアップ抵抗が必要です。	Low の場合、FPGA がコンフィギュレーションされていないことを示します。	外部プルアップを介して High になります。High の場合、FPGA が問題なくコンフィギュレーションされたことを示します。
PROG_B	入力	FPGA のプログラム。アクティブ Low。500ns 以上 Low にアサートされると、FPGA でコンフィギュレーション メモリがクリアされ、PROG_B が High になったら DONE と INIT_B ピンがリセットされ、コンフィギュレーション プロセスが再開されます。2.5V に対して $4.7k\Omega$ の外部プルアップ抵抗を推奨します。内部プルアップ値が低い可能性があります (表 77 参照)。3.3V 出力で外部から駆動する場合は、オープン ドレインまたはオープン コレクタのドライバを使用するか、限流直列抵抗を使用してください。	コンフィギュレーションを開始するには、High にする必要があります。	FPGA を再プログラムする場合は、PROG_B を Low にしてから High にします。



DS312-2_55_102105

図 64：スレーブ シリアル モードを使用したデジー チェーン接続

JTAG モード

詳細は、[UG332](#) の「JTAG コンフィギュレーション モードおよびバウンダリ スキャン」を参照してください。

Spartan-3E には、IEEE 1149.1/1532 規格に準拠した 4 本の専用ワイヤを含む JTAG ポートが含まれ、モード ピンの設定に関係なく FPGA に電源が投入されたら使用可能になりますが、FPGA モード ピンが JTAG モード (M[2:0] = <1:0:1>) に設定されていると、FPGA は電源投入時または PROG_B がアサートされたときに、JTAG ポートを介してコンフィギュレーションされます。JTAG モードを選択すると、ほかのコンフィギュレーション モードは使用できません。コンフィギュレーション インターフェイスにほかのピンは必要ありません。

図 65 に、JTAG のみのコンフィギュレーション インターフェイスを示しています。JTAG インターフェイスでは、デバイスの TDO 出力とチェーンの次のデバイスの TDI 入力を接続すると、いくつでも FPGA をカスケード接続できます。チェーンの最後のデバイスの TDO 出力は、ポート コネクタに戻ります。

設計メモ：



ISE 9.1.01i 以前のソフトウェアを使用している際は、次の場合、JTAG を使用して FPGA をコンフィギュレーションしないでください。

- モード ピンがマスタ モードに設定されている
 - 付属するマスタ モードの PROM に有効な FPGA コンフィギュレーション ビットストリームがある
- FPGA ビットストリームが壊れたり、DONE ピンが High になることがあります。詳細は次のアンサーを参照してください。

アンサー #22255

<http://japan.xilinx.com/support/answers/22255.htm>

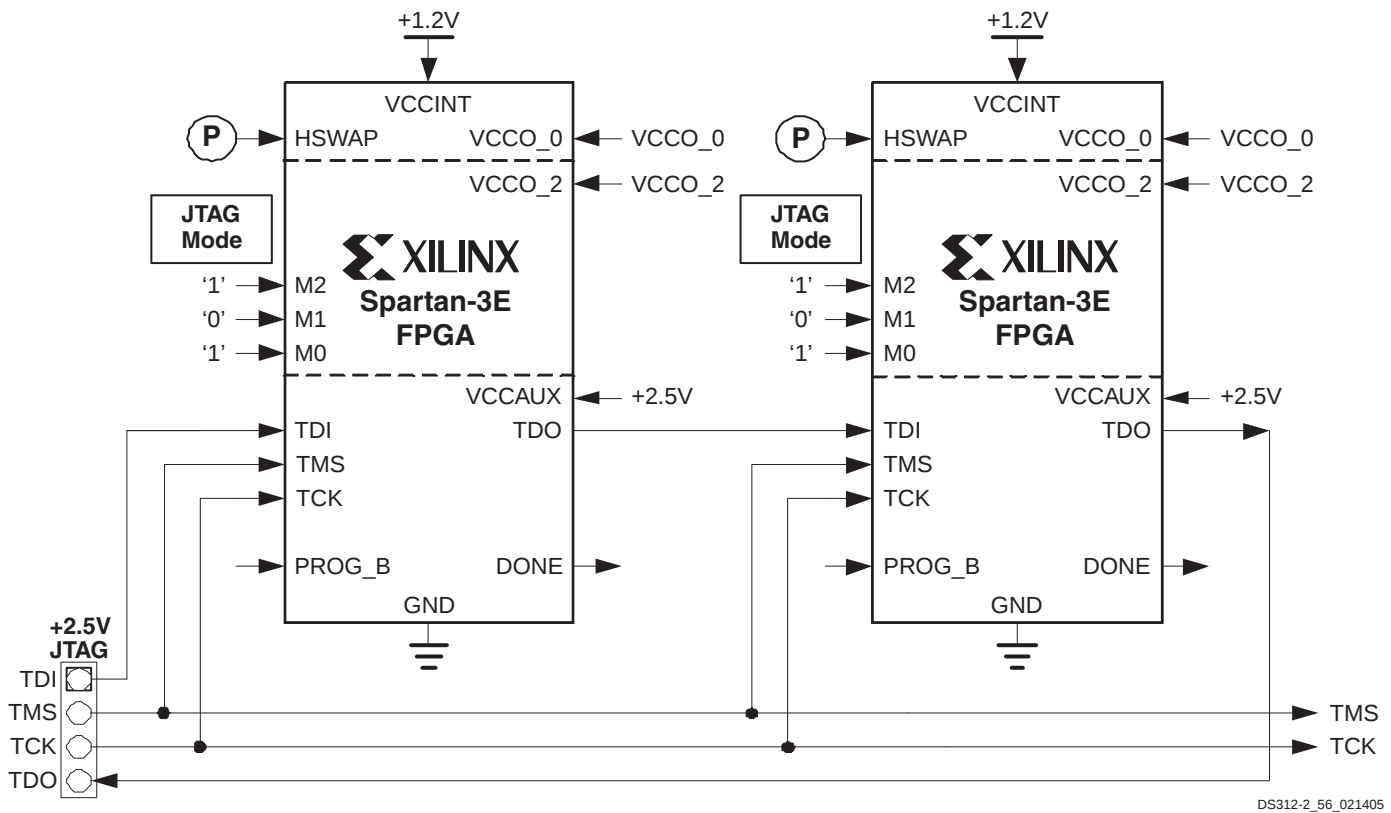


図 65：JTAG コンフィギュレーション モード

使用する電圧

JTAG インターフェイスの電源は、2.5V の V_{CCAUX} です。その他のユーザー I/O は、それぞれの $VCCO_{\#}$ 電源を使用します。

Spartan-3E の JTAG ポートを 3.3V インターフェイスに接続する場合、JTAG入力ピンの電流は直列抵抗を使用して 10mA 以下にする必要があります。同様に、TDO ピンは +2.5V 電源を使用する CMOS 出力です。TDO 出力で直接 3.3V 入力を駆動できますが、ノイズ耐性は低下します。詳細は、[XAPP453](#) 『Spartan-3 FPGA の 3.3V コンフィギュレーション』を参照してください。

表 66：Spartan-3E の JTAG デバイスの ID

Spartan-3E FPGA	4 ビットの リビジョン コード		28 ビットのベンダ/ デバイス ID
	ステップ 0	ステップ 1	
XC3S100E	0x0	0x1	0x1C 10 093
XC3S250E	0x0	0x1	0x1C 1A 093
XC3S500E	0x0 0x2	0x4	0x1C 22 093
XC3S1200E	0x0 0x1	0x2	0x1C 2E 093
XC3S1600E	0x0 0x1	0x2	0x1C 3A 093

JTAG デバイスの ID

Spartan-3E の配列タイプには、それぞれ表 66 に示すように、32 ビットのデバイス固有の JTAG デバイスの ID が付いています。下位の 28 ビットがデバイス ベンダ (Xilinx) とデバイス ID を示しています。上位の 4 ビットは、PCB に実装されるデバイスのリビジョンレベルを示していますが、ほとんどのツールで無視されます。表 66 は、ステッピングレベルに対応するリビジョンコードを示しています。

JTAG のユーザー ID

Spartan-3E の JTAG インターフェイスには、コンフィギュレーション中に読み込まれる 32 ビットのユーザー ID を格納するオプションがあります。このユーザー ID はコンフィギュレーション ビットストリーム オプションの UserID で指定します (109 ページの表 68 を参照)。

JTAG インターフェイスを使用したコンフィギュレーション済み FPGA デザインとの通信

FPGA のコンフィギュレーション後は、すべてのコンフィギュレーション モードで、JTAG インターフェイスを介して FPGA の内部ロジックとの通信が可能です。BSCAN SPARTAN3 デザインプリミティブを使用すると、2 つのザイリンクス独自の JTAG 命令を使用して、内部バウンダリ スキャン チェーンを作成できます。

デジター チェーンの最大ビットストリームサイズ

Spartan-3E の直列のデジター チェーンでサポートされる最大ビットストリームの長さは 4,294,967,264 ビット (4Gb) までで、720 個の XC3S1600E FPGA を接続するデジター チェーンのサイズとほぼ同じです。これは、コンフィギュレーション データが FPGA の DOUT ピンを介して送信される直列のデジター チェーンにのみ適用される制限です。JTAG チェーンの場合、そういった制限はありません。

コンフィギュレーション シーケンス

詳細は、[UG332](#) の「イベントのシーケンス」を参照してください。

Spartan-3E のコンフィギュレーション プロセスは 3 段階に分かれており、FPGA の電源投入 (POR イベント) 後、または PROG_B 入力のアサート後に開始されます。パワーオン リセット (POR) は、電源 V_{CCINT} 、 V_{CCAUX} 、バンク 2 の V_{CCO} がそれぞれの入力しきい値レベルに達した後に発生します。POR または PROG_B のイベント後、次の 3 段階のコンフィギュレーション プロセスが開始されます。

1. FPGA が初期コンフィギュレーション メモリをクリア (初期化) する
2. コンフィギュレーション データが内部メモリに読み込まれる
3. ユーザー アプリケーションがスタートアッププロセスでアクティブになる

[図 66](#) は、さまざまなデバイス入力と Bitstream Generator (BitGen) オプションの関係を示した Spartan-3E コンフィギュレーション

ロジックのブロック図です。シリアル モードとパラレル モードのコンフィギュレーション シーケンスのフロー図は、[図 67](#) を参照してください。[図 68](#) は、バウンダリ スキャンまたは JTAG コンフィギュレーション シーケンスを示しています。

初期化

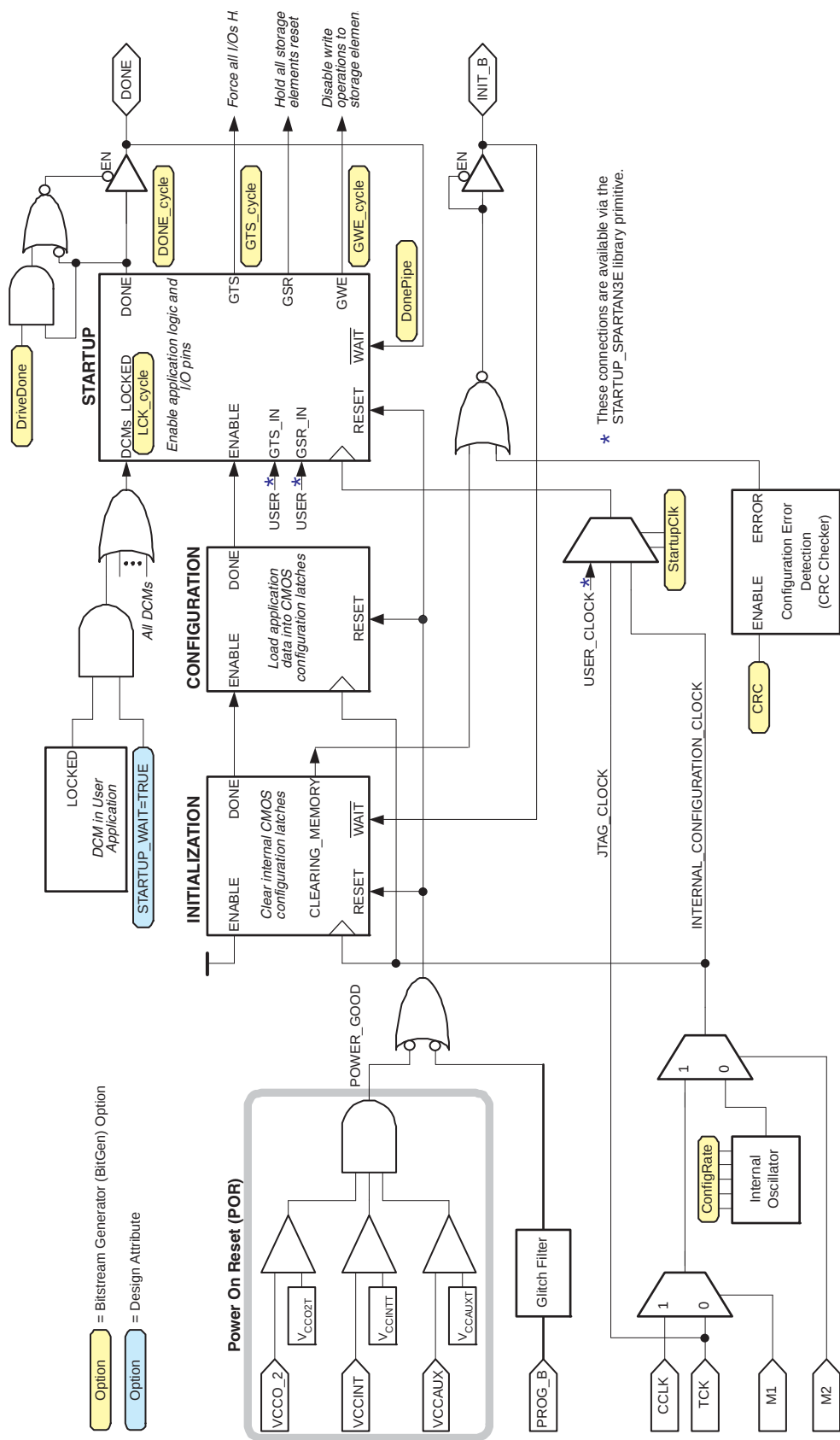
コンフィギュレーションは、FPGA の INIT_B ピンを使用して遅らせない限り、電源投入後、または PROG_B ピンのアサート後に自動的に始まります。FPGA は、内部コンフィギュレーション メモリをクリアにする間、オープン ドレインの INIT_B 信号を Low に保ちます。外部から INIT_B を Low に保持すると、High に戻るまでコンフィギュレーション シーケンスが待機状態になります。

FPGA のメモリのクリアが終了すると、オープン ドレインの INIT_B ピンが解除され、VCCO_2 への外部プルアップ抵抗を使用して High になります。

コンフィギュレーション データの読み込み

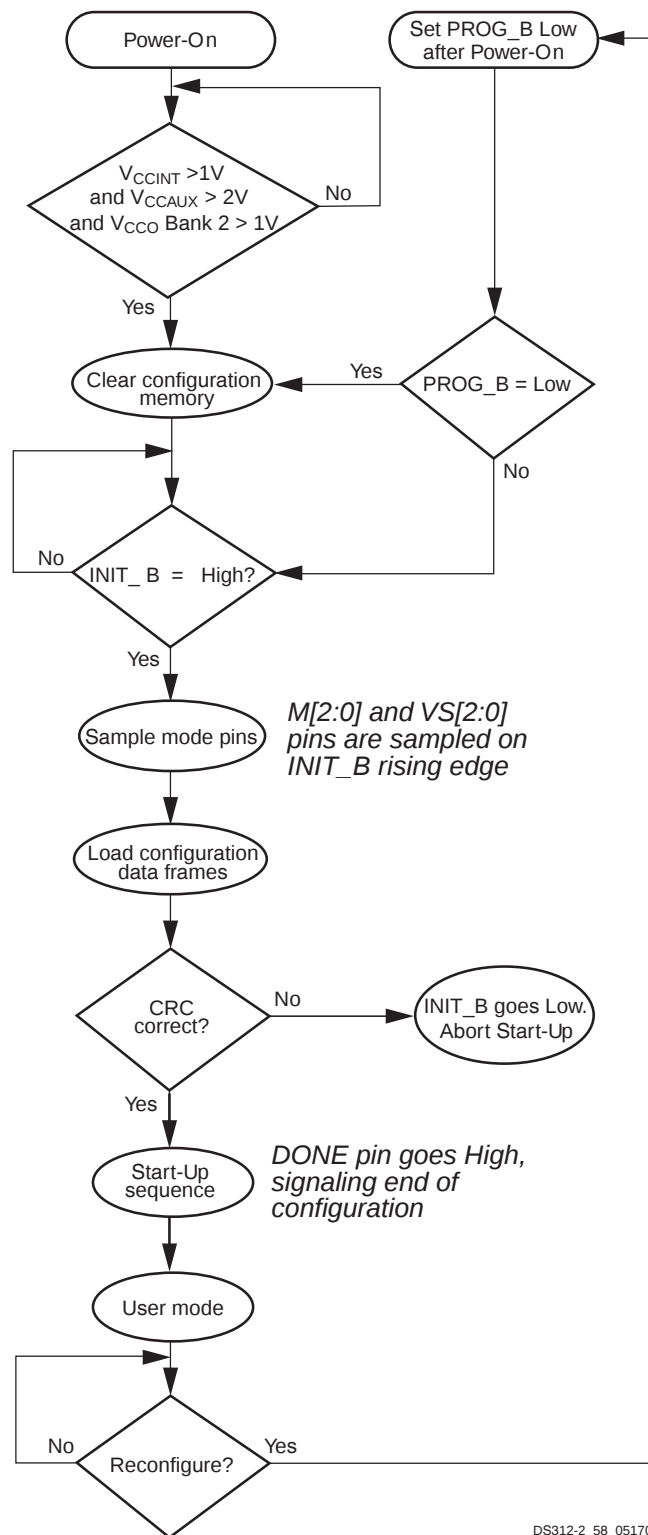
初期化の後、コンフィギュレーション データは FPGA の内部メモリに書き込まれます。FPGA はコンフィギュレーション中、グローバル セット/リセット信号 (GSR) をアクティブに保持します。これにより、すべてのフリップフロップがリセット状態になります。コンフィギュレーションがすべて終了すると、DONE ピンが解除されて High になります。

FPGA のコンフィギュレーション シーケンスは、PROG_B をアサートすると始まります。このピンが解除されると、FPGA の内部コンフィギュレーション メモリがクリアされ、残りのコンフィギュレーション プロセスが実行されます。



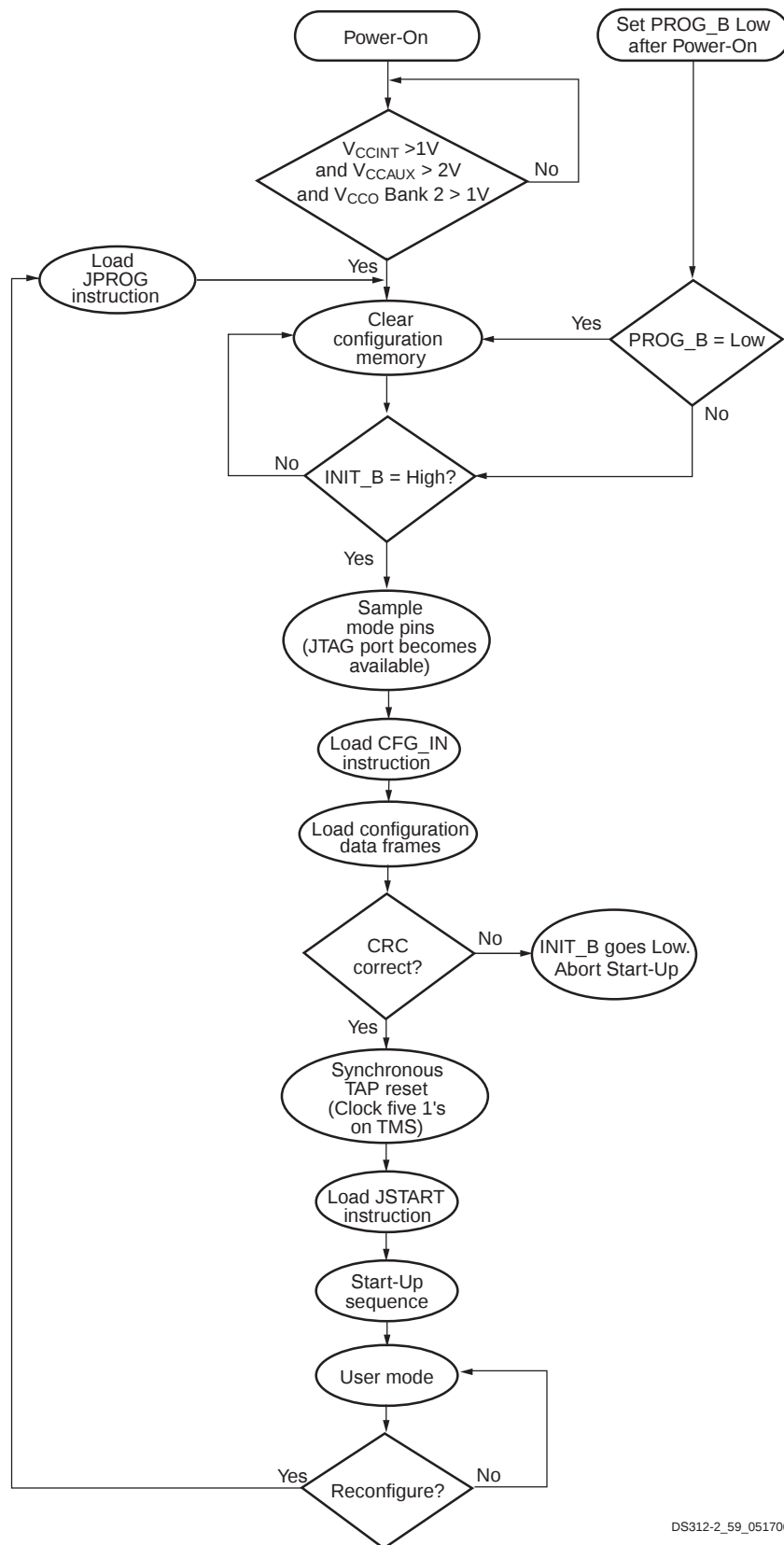
DS312-2_57_102605

図 66 : Spartan-3E のコンフィギュレーション ロジック ブロック図



DS312-2_58_051706

図 67：一般的なコンフィギュレーション プロセス



DS312-2_59_051706

図 68 : バウンダリ スキャンのコンフィギュレーション フロー

スタートアップ

コンフィギュレーションの最後に、FPGA は自動的にグローバルセット/リセット (GSR) 信号を送信し、すべてのフリップフロップを既知のステートにします。コンフィギュレーション終了すると、FPGA から読み込まれたユーザー アプリケーションに動作が切り替わります。この切り替えのシーケンスとタイミングは、クロック ソースで制御されているため、プログラム可能です。

図 69 は、デフォルトのスタートアップ シーケンスを示しています。このシーケンスでは、DONE が High になってから 1 クロック サイクル後にグローバル トライステート信号 (GTS) が解除されます。このシーケンスを使用すると、FPGA のユーザー アプリ

ケーションが出力信号を駆動し始める前に、DONE 信号によってコンフィギュレーション中に使用された外部ロジックをイネーブルまたはディスエーブルにできます。この 1 クロック サイクル後に、グローバル ライト イネーブル (GWE) 信号が解除されます。これにより、フリップフロップやブロック RAM などの同期記憶エレメントがイネーブルになる前に、信号が FPGA 内を伝搬できるようになります。

DONE ピンが High になると、M[2:0]、VS[2:0]、HSWAP、A[23:0] などの多目的 I/O ピンは、ユーザー I/O になります。すべてのユーザー I/O ピンと同様、多目的ピンの駆動されるタイミングも GTS で制御されます。

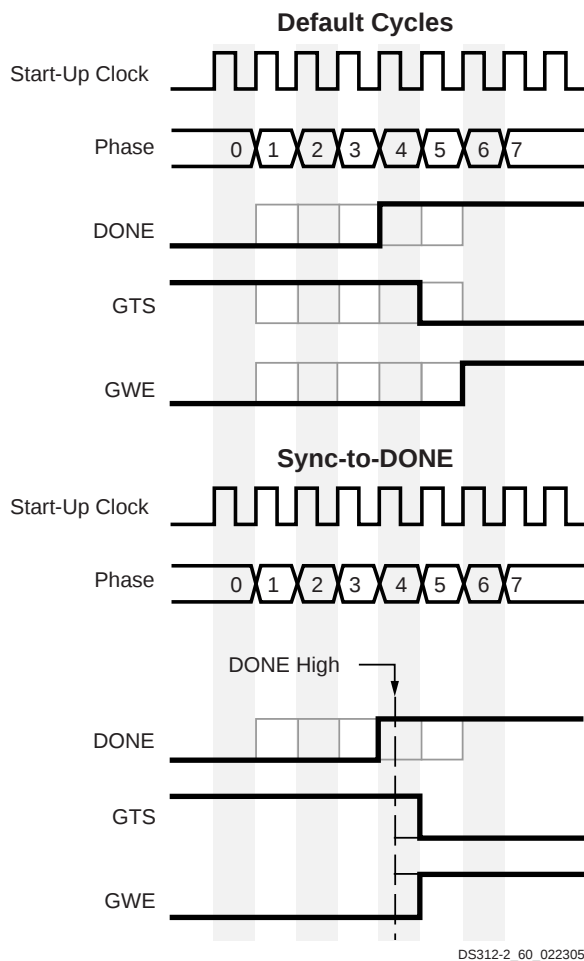


図 69：デフォルトのスタートアップ シーケンス

コンフィギュレーション イベントの相対的なタイミングは、ザイリンクス開発ソフトウェアの Bitstream Generator (BitGen) のオプションを使用してプログラムされます。たとえば、GTS と GWE イベントは、デイジー チェーン接続された複数の FPGA すべての DONE ピンが High になるまで待機させ、FPGA が同時に開始されるようにプログラムできます。同様に、選択した DCM がそれぞれの入力クロック信号にロックされるまで待機させることも可能で、スタートアップ シーケンスのどの段階で停止するかも指定できます。詳細は、「ユーザー モード前の DCM クロックの安定化」を参照してください。

デフォルトでは、スタートアップ シーケンスは CCLK に同期しますが、[STARTUP_SPARTAN3E](#) ライブラリ プリミティブを使用したり、Bitstream Generator (BitGen) の [StartupClk](#) オプションを設定すると、FPGA アプリケーションからのユーザー指定のクロックに同期させることもできます。FPGA アプリケーションでは、STARTUP_SPARTAN3E プリミティブを使用して GSR および GTS 信号をアサートさせることも可能です。JTAG コンフィギュレーションの場合、スタートアップ シーケンスは TCK クロック入力に同期させることもできます。

リードバック

FPGA コンフィギュレーション データは、スレーブ パラレルか JTAG モードのいずれかを使用してリードバックできます。この機能は、Bitstream Generator (BitGen) の [Security](#) オプションを Level1 または Level2 に設定すると、無効となります。

コンフィギュレーション データだけでなく、レジスタおよび分散 RAM リソースもすべてリードバックできます。

レジスタ値のリードバック用の取り込みをクロックに同期させるには、[CAPTURE SPARTAN3](#) ライブラリ プリミティブを使用します。このプリミティブは、Spartan-3 および Spartan-3E の両方使用できます。

表 67 に示すように、リードバック機能は、ほとんどの Spartan-3E FPGA で使用可能ですが、-4 スピード グレードかつコマーシャル温度仕様の XC3S1200E および XC3S1600E FPGA では使用できません。同様に、-4 スピード グレードかつコマーシャル温度仕様のデバイスでは、ブロック RAM のリードバックはサポートされていません。XC3S1200E または XC3S1600E FPGA でリードバックが必要な場合、またはブロック RAM のリードバックが必要なときは、インダストリアル温度仕様のデバイス、またはスピード グレード -5 のデバイスにアップグレードしてください。

ザイリンクス iMPACT プログラミング ソフトウェアでは、リードバック機能を使用してオプションの検証およびリードバックを実行します。ChipScope™ では、現在リードバックは使用できませんが、今後サポートされる可能性があります。

表 67: Spartan-3E FPGA でのリードバックのサポート

温度範囲	コマーシャル		インダストリアル
スピード グレード	-4	-5	-4
ブロック RAM のリードバック			
すべての Spartan-3E FPGA	なし	あり	あり
通常のリードバック (レジスタ、分散 RAM)			
XC3S100E	あり	あり	あり
XC3S250E	あり	あり	あり
XC3S500E	あり	あり	あり
XC3S1200E	なし	あり	あり
XC3S1600E	なし	あり	あり

BitGen (Bitstream Generator) のオプション

詳細は、[UG332](#) の「コンフィギュレーション BitGen (BitStream Generator)」を参照してください。

Spartan-3E FPGA のファンクションは、コンフィギュレーション ビットストリーム イメージの特定のビットで制御されます。これ

らの値は、BitGen でビットストリーム イメージを作成するときに指定します。

表 68 に、Spartan-3E で使用されるすべての BitGen オプションをリストします。

表 68 : Spartan-3E FPGA 用の BitGen のオプション

オプション名	影響のあるピン/ ファンクション	値 (デフォルト)	説明
ConfigRate	CCLK、 コンフィギュ レーション	<u>1</u> 、3、6、 12、25、50	マスタシリアル、SPI、BPI コンフィギュレーション モードで使用される内部オシレータの周波数を MHz で設定します。内部オシレータは最小周波数で開始します。この設定は、コンフィギュレーション ビットストリームの一部として読み込まれます。ソフトウェアのデフォルト値は 1 (約 1.5MHz) です (ISE 8.1、サービスパック 1 以降)。
StartupClk	コンフィギュ レーション、 スタート アップ	<u>Cclk</u>	デフォルト。内部または外部で生成された CCLK 信号で、FPGA がコンフィギュレーション モードからユーザー モードに変わる際のスタートアップシーケンスを制御します。詳細は、「 スタートアップ 」を参照してください。
		UserClk	FPGA アプリケーションからのクロック信号で、FPGA がコンフィギュレーション モードからユーザー モードに変わる際のスタートアップシーケンスを制御します。詳細は、「 スタートアップ 」を参照してください。FPGA アプリケーションは、STARTUP_SPARTAN3E プリミティブの CLK ピンにユーザー クロックを送信します。
		Jtag	JTAG の TCK 入力で、FPGA がコンフィギュレーション モードからユーザー モードに変わる際のスタートアップシーケンスを制御します。詳細は、「 スタートアップ 」を参照してください。
UnusedPin	未使用の I/O ピン	<u>Pulldown</u>	デフォルト。すべての未使用 I/O ピンおよび入力のためのピンと GND の間にプルダウン抵抗が付きます。
		Pullup	すべての未使用の I/O ピンおよび入力のためのピンと I/O バンクの VCCO_# 間にプルアップ抵抗が付きます。
		Pullnone	すべての未使用の I/O ピンと入力のためのピンがフローティング状態 (Hi-Z、ハイインピーダンス、トライステート) になります。外部プルアップまたはプルダウン抵抗かロジックを使用して有効な信号レベルを適用します。
DONE_cycle	DONE ピン、 コンフィギュ レーション スタートアップ	1、2、3、 <u>4</u> 、5、6	FPGA の DONE ピンをアクティブにするコンフィギュレーション スタートアップ段階を選択します。詳細は、「 スタートアップ 」を参照してください。
GWE_cycle	すべてのフリップ フロップ、 LUT RAM、 SRL16 シフト レジスタ、 ブロック RAM、 コンフィギュ レーション スタートアップ	1、2、3、 4、5、 <u>6</u>	フリップフロップ、LUT RAM、シフトレジスタ (SRL16) に対する内部ライトイネーブル信号をアサートするコンフィギュレーション スタートアップ段階を選択します。これにより、ブロック RAM の読み出し、書き込みもイネーブルになります。詳細は、「 スタートアップ 」を参照してください。
		Done	DONE ピン入力が High になってから、フリップフロップ、LUT RAM、シフトレジスタ (SRL16) に対する内部ライトイネーブル信号をアサートします。ブロック RAM の読み出し、書き込みもこのときにイネーブルになります。
		Keep	パーシャル リコンフィギュレーションのために、現在の GWE_cycle 設定を保持します。

表 68 : Spartan-3E FPGA 用の BitGen のオプション (続き)

オプション名	影響のあるピン/ ファンクション	値 (デフォルト)	説明
GTS_cycle	すべてのI/O ピン、 コンフィギュ レーション	1、2、3、 4、 <u>5</u> 、6	内部トライステート制御を解除するコンフィギュレーション スタートアップ段階を選択し、すべての I/O バッファをハイ インピーダンス (Hi-Z) に保持します。設定した場合は、出力バッファがこの後アクティブに駆動します。詳細は、「 スタートアップ 」を参照してください。
		Done	DONE ピン入力が High になるまで、内部トライステート制御を解除せずに待機し、すべての I/O バッファをハイ インピーダンス (Hi-Z) に保持します。設定した場合は、出力バッファがこの後アクティブに駆動します。
		Keep	パーシャル リコンフィギュレーションのために、現在の GTS_cycle 設定を保持します。
LCK_cycle	DCM、 コンフィギュ レーション スタートアップ	NoWait	選択した DCM がロックされるのを待たずにコンフィギュレーションを終了します。
		0、1、2、 3、4、5、6	1 つまたは複数の DCM が含まれるデザインで STARTUP_WAIT 属性が TRUE に設定されていると、FPGA は DCM がそれぞれの入力クロックを取得し、LOCKED 出力をアサートするまで待機します。このオプションは、FPGA が DCM がロックされるまで待機するコンフィギュレーション スタートアップ段階を選択します。
DonePin	DONE ピン	Pullup	DONE ピンと V _{CCAUX} 間を内部接続します。この場合でも、330Ω の外部プルアップ抵抗を接続することをお勧めします。
		Pullnone	DONE ピンに内部プルアップ抵抗は付きません。330Ω の外部プルアップ抵抗が必要です。
DriveDone	DONE ピン	No	コンフィギュレーションが終了すると、DONE ピンが Low に駆動されなくなり、V _{CCAUX} 間との外部プルアップ抵抗によって High になります。
		Yes	コンフィギュレーションが終了すると、DONE ピンが High に駆動されます。このオプションを使用した場合、外部プルアップ抵抗は必要なくなります。デিজィー チェーンにデバイスが 1 つしかない場合は、この設定を使用してください。
DonePipe	DONE ピン	No	DONE ピン入力からスタートアップ シーケンスに戻る入力パスは、パイプライン処理されません。
		Yes	DONE ピン入力とスタートアップ シーケンス間にパイプライン レジスタが追加されます。DONE ピンが 1 CCLK クロック サイクル内に High にならない場合に、高速デিজィー チェーン コンフィギュレーションで使用されます。DONE ピン入力が High になった後、StartupClk の最初の立ち上がりエッジで GWE と GTS 信号が解除されます。
ProgPin	PROG_B ピン	Pullup	PROG_B ピンと V _{CCAUX} 間にプルアップ抵抗を内部接続します。この場合でも、内部プルアップ値が低い可能性があるため、4.7kΩ の外部プルアップ抵抗を接続することをお勧めします (表 77 参照)。
		Pullnone	PROG_B ピンに内部プルアップ抵抗は付きません。V _{CCAUX} に 4.7kΩ の外部プルアップ抵抗を付けることを推奨します。
TckPin	JTAG TCK ピン	Pullup	JTAG TCK ピンと V _{CCAUX} 間にプルアップ抵抗を内部接続します。
		Pulldown	JTAG TCK ピンと GND 間にプルダウン抵抗を内部接続します。
		Pullnone	JTAG TCK ピンに内部プルアップ抵抗は付きません。
TdiPin	JTAG TDI ピン	Pullup	JTAG TDI ピンと V _{CCAUX} 間にプルアップ抵抗を内部接続します。
		Pulldown	JTAG TDI ピンと GND 間にプルダウン抵抗を内部接続します。
		Pullnone	JTAG TDI ピンに内部プルアップ抵抗は付きません。

表 68 : Spartan-3E FPGA 用の BitGen のオプション (続き)

オプション名	影響のあるピン/ ファンクション	値 (デフォルト)	説明
TdoPin	JTAG TDO ピン	Pullup	JTAG TDO ピンと V _{CCAUX} 間にプルアップ抵抗を内部接続します。
		Pulldown	JTAG TDO ピンと GND 間にプルダウン抵抗を内部接続します。
		Pullnone	JTAG TDO ピンに内部プルアップ抵抗は付きません。
TmsPin	JTAG TMS ピン	Pullup	JTAG TMS ピンと V _{CCAUX} 間にプルアップ抵抗を内部接続します。
		Pulldown	JTAG TMS ピンと GND 間にプルダウン抵抗を内部接続します。
		Pullnone	JTAG TMS ピンに内部プルアップ抵抗は付きません。
UserID	JTAG の ユーザー ID レジスタ	ユーザー 文字列	32 ビットの JTAG ユーザー ID レジスタの値がコンフィギュレーション中に読み込まれます。デフォルト値はすべて 1 (16 進数では 0xFFFF_FFFF) です。別の値を指定する場合は、8 桁の 16 進数値を使用してください。
Security	JTAG、 SelectMAP、 リードバック、 パースシャル リコ ンフィギュレー ション	None	Persist オプションが Yes の場合、リードバックとパースシャル リコンフィギュレーション (制限あり) を JTAG ポートまたは SelectMAP インターフェイスを介して実行できます。
		Level1	リードバック ファンクションはディスエーブルになっています。Persist オプションが Yes であれば、JTAG ポートまたは SelectMAP インターフェイスを介してパースシャル リコンフィギュレーション (制限あり) を実行できます。
		Level2	リードバック ファンクションおよびパースシャル リコンフィギュレーション (制限あり) は両方ともディスエーブルになっています。
CRC	コンフィギュ レーション	Enable	デフォルト。FPGA ビットストリームの CRC チェックをオンにします。エラーが検出された場合は、INIT_B が Low にアサートされ、DONE ピンは Low のままになります。
		Disable	CRC チェックをオフにします。
Persist	SelectMAP イン ターフェイス ピン、 BPI モード、 スレーブ モード、 コンフィギュ レーション	No	すべての BPI モードおよびスレーブ モードのコンフィギュレーション ピンは、コンフィギュレーション後にユーザー I/O として使用できます。
		Yes	このオプションは、SelectMAP インターフェイスを使用するリードバックおよびパースシャル リコンフィギュレーションで必要です。SelectMAP インターフェイスピン (「スレーブ パラレル モード」参照) がコンフィギュレーション後に予約され、ユーザー I/O としては使用できません。

Spartan-3E FPGA の電源

詳細は、[UG331](#) の「Spartan-3 ジェネレーション FPGA の電源」を参照してください。

電源入力

Spartan-3 と同様、Spartan-3E でも [表 69](#) に示すように複数の電源入力がサポートされます。内部ロジック ファンクションには

V_{CCINT} と V_{CCAUX} の 2 つの電源入力があります。V_{CCO} 電源入力は 4 つのバンクそれぞれにあり、その I/O バンク内の出力バッファに電源を供給します。特定の I/O バンクへの V_{CCO} にはすべて同じ電圧を接続しておく必要があります。

表 69 : Spartan-3E の電源

電源入力	説明	公称電圧
V _{CCINT}	内部の主な電源電圧。CLB、ブロック RAM、乗算器などのすべての内部ロジック ファンクションで使用されます。パワーオン リセット (POR) 回路への入力にもなります。	1.2V
V _{CCAUX}	補助電源電圧。デジタル クロック マネージャ (DCM)、差動ドライバ、専用コンフィギュレーション ピン、JTAG インターフェイスなどの電源です。パワーオン リセット (POR) 回路への入力にもなります。	2.5V

表 69 : Spartan-3E の電源

電源入力	説明	公称電圧
VCCO_0	I/O バンク 0 (FPGA の上部) の出力バッファの電源です。	3.3V、2.5V、1.8、1.5V、1.2V から選択可能
VCCO_1	I/O バンク 1 (FPGA の右側) の出力バッファの電源です。「BPI パラレル Flash モード」の場合、Flash PROM と同じ電圧に接続してください。	3.3V、2.5V、1.8、1.5V、1.2V から選択可能
VCCO_2	I/O バンク 2 (FPGA の下部) の出力バッファの電源です。FPGA コンフィギュレーション ソースと同じ電圧に接続してください。パワーオン リセット (POR) 回路への入力にもなります。	3.3V、2.5V、1.8、1.5V、1.2V から選択可能
VCCO_3	I/O バンク 3 (FPGA の左側) の出力バッファの電源です。	3.3V、2.5V、1.8、1.5V、1.2V から選択可能

3.3V のみのアプリケーションの場合、4 つすべての V_{CCO} 電源が 3.3V に接続されますが、Spartan-3E では、ほかのバンクの入力に別の V_{CCO} 電圧を使用することで、異なる差動 I/O 電圧および規格を使用できます。1 つの I/O バンクで I/O 規格を混合して使用する場合は、「I/O バンクの規則」を参照してください。

各 I/O バンクには、それぞれオプションで V_{REF} という参照電圧が含まれます。I/O バンクに HSTL や SSTL などの参照電圧が必要な I/O 規格が含まれる場合は、I/O バンク内のすべての V_{REF} ピンを同じ電圧に接続する必要があります。

電圧レギュレータ

ザイリンクスの FPGA 用の電源ソリューションを提供しているさまざまなメーカーが、Spartan-3 と Spartan-3E FPGA 専用の 3 本レールのレギュレータを販売しています。これらのメーカー情報およびザイリンクスの電力概算および解析ツールについては、[消費電力](#)のサイトを参照してください。

PDS デザインとデカップリング/バイパスキャパシタ

すべての FPGA デザインにおいて、電力分散システム (PDS) は重要な要素ですが、特に 100MHz を超える高パフォーマンスのデザインの場合は重要です。適切な設計によりパフォーマンスを全体的に向上でき、クロックおよび DCM のジッタを減らして優れたシステムを作成することができます。FPGA の PCB をデザインするには、アプリケーション ノート [XAPP623](#) 『電力分散システム (PDS) デザイン：バイパス/デカップリング キャパシタの使用』を参照してください。

電源投入後の動作

詳細は、[UG332](#) の「イベントのシーケンス」を参照してください。

Spartan-3E FPGA には、FPGA を問題なくコンフィギュレーションするのに必要な 3 本の電源レールを監視するパワーオン リセット (POR) 回路が含まれます。電源が投入されると、V_{CCINT}、V_{CCAUX}、V_{CCO} (バンク 2) 電源がそれぞれの入力しきい値 (表 73 参照) に達するまで、POR 回路により FPGA がリセット状態に保持されます。3 つの電源すべてがしきい値に達すると、POR リセットが解除され、FPGA はコンフィギュレーション プロセスを開始します。

電源の投入順序

POR リセットが解除されるには、この 3 つの FPGA の電源入力が有効になる必要があります。これらの電源はどの順序でも投入できるので、FPGA 用の電圧シーケンス要件は特にありません。FPGA の V_{CCAUX} を V_{CCINT} より前に適用する場合は、最小の I_{CCINT} 電流が使用されます。

FPGA には特定の電圧シーケンス要件はありませんが、SPI シリアル Flash PROM、パラレル NOR Flash PROM、マイクロコントローラなどの FPGA に接続されたコンフィギュレーション デバイスのシーケンス要件については考慮する必要があります。たとえば、Flash PROM の場合、PROM が選択可能になる前に最低限必要な時間があるので、3.3V 電源がシーケンスの最後にある場合はこの時間について考慮する必要があります。詳細は、「[3.3V 電源がシーケンスの最後にある場合の電源投入](#)」を参照してください。

3 つの電源すべてが有効になると、FPGA の電源投入に必要な最小電流は、表 78 に示すワースト ケースの静止電流と同じになります。Spartan-3E FPGA の場合、コンフィギュレーションにパワーオン サージ (POS) 電流は必要ありません。

V_{CCINT} が V_{CCAUX} より前に適用された場合に追加される I_{CCINT}

V_{CCINT} 電源が V_{CCAUX} 電源よりも前に適用されると、[121 ページの表 78](#) に示す I_{CCINT} の静止電流レベルに加え、追加の I_{CCINT} 電流が発生することがあります。通常、この追加電流は数百ミリアンペアで、電源投入時にバイパス キャパシタで消費される瞬間電流よりもかなり少ないのですが、V_{CCAUX} 電源が使用されるとすぐに消え、FPGA の I_{CCINT} 静止電流は表 78 に示す電流レベルまで落ちます。このような追加電流は、FPGA の電源投入およびコンフィギュレーションを実行するためには使用されず、必要ともされません。V_{CCINT} を V_{CCAUX} の前に使用する場合は、電圧レギュレータに追加電流があるとシャットダウンしてしまうような機能が含まれないようにしてください。

コンフィギュレーション データの保持と節電

FPGA のコンフィギュレーション データは CMOS コンフィギュレーション ラッチに格納されます。ラッチのデータは、電圧が

表 75 に示すように、RAM の内容を保持するために必要な最低レベルにまで落ちてでも保持されます。

コンフィギュレーション後に V_{CCAUX} または V_{CCINT} 電源がそのデータ保持電圧を下回る場合、次のいずれかの方法でデバイスのコンフィギュレーションをクリアする必要があります。

- V_{CCAUX} または V_{CCINT} の電圧を最小のパワーオン リセット (POR) の電圧しきい値より低くします (表 73 を参照)。
- $PROG_B$ を Low にアサートします。

POR 回路ではコンフィギュレーション後の V_{CCO_2} 電源は監視されないため、 V_{CCO_2} の電圧が低下しても POR イベントがトリガされてデバイスがリセットされることはありません。

内部チャージ ポンプまたはフリー ランニング オシレータなし

一部のシステム アプリケーションは、アナログ ノイズの影響を受けやすくなっています。Spartan-3E FPGA は完全に静的であり、内部チャージ ポンプは使用されていません。

CCLK コンフィギュレーション クロックは、FPGA のコンフィギュレーション プロセス中アクティブになります。コンフィギュレーションが完了すると、Bitstream Generator (BitGen) の **Persist=Yes** オプションが設定されている場合を除き、CCLK オシレータは自動的にディスエーブルになります。

ステッピング番号

Spartan-3E FPGA ファミリーでは、改善された機能などを示すためにステッピング番号が使用されます。

標準の製品番号を使用して注文されたデバイスでは、ステッピング 0 の機能およびパフォーマンスがサポートされます。ステッピング 1 には、ステッピング 0 の機能が含まれます。ステッピング 0 で生成したコンフィギュレーションビットストリームは、すべてステッピング 1 で使用できます。

ザイリンクスでは、ステッピング 0 およびステッピング 1 の両方を出荷してします。ステッピング 0 で動作するデザインは、ステッピング 1 でも同様に動作します。

ステッピング レベルの違い

表 70 に、ステッピング 0 と 1 のデバイスの機能の違いを示します。

表 70 : Spartan-3E のステッピング レベルの違い

	ステッピング 0	ステッピング 1
製品化状況	製品化済	2006 年 3 月から製品化開始
JTAG ID コード	別のリビジョン フィールド (表 66 を参照)。	
DCM の DLL 最大入力周波数	90MHz (XC3S1200E では 200MHz)	240MHz (-4 スピード グレード) 275MHz (-5 スピード グレード)
DCM の DFS 出力周波数の範囲	分割範囲： 5 ~ 90MHz および 220 ~ 307MHz (XC3S1200E では 5 ~ 307MHz の範囲のみ)	連続範囲： 5 ~ 311MHz (-4) 5 ~ 333MHz (-5)
デジタイズチェーン接続した複数の FPGA の SPI Flash からの コンフィギュレーションのサポート	なし。単一の FPGA のみ	あり
BPI モードの FPGA にパラレル NOR Flash PROM が接続された場合の JTAG コンフィギュレーションのサポート	なし ⁽¹⁾	あり
JTAG EXTEST、INTEST、SAMPLE のサポート	あり：XC3S100E、XC3S500E、XC3S500E なし ⁽²⁾ ：XC3S1200E、XC3S1600E	あり すべてのデバイス
HSWAP 内部プルアップ使用時の電源投入シーケンス	V _{CCAUX} の前に V _{CCINT} を投入	すべてのシーケンス
PCI 準拠	なし	あり

メモ：

- 回避策については、「FPGA のコンフィギュレーションが BPI モードの場合の JTAG を使用した再プログラム (ステッピング 0 の制限)」を参照してください。
- JTAG BYPASS および JTAG コンフィギュレーションはサポートされます。

新しいステッピング レベルの注文

標準の製品番号を使用して注文した -4C スピード グレードの動作条件の Spartan-3E FPGA では、常にステッピング 0 の機能がサポートされます。-4C デバイスでステッピング 1 のみを指定するには、注文コードの後に「S1」を追加します (「1」はステッピング番号)。詳細は表 71 を参照してください。ステッピング 1 からは、ステッピング レベルがモジュール 1 の図 2、図 3、図 4 のように 1 桁の番号でデバイスにマークされます。ステッピング 0 の場合は、0 とマークされるか、何もマークされません。詳細は、モジュール 1 の 8 ページの「注文情報」を参照してください。-5C および -4I デバイスではステッピング コードに関わらず常にステッピング 1 の機能がサポートされています。

必要なソフトウェア バージョン

製品 Spartan-3E のアプリケーションには、ザイリンクスの開発ソフトウェア ISE 8.1i のサービス パック 3 以降と v1.21 以降のスピード ファイルを使用する必要があります。ISE 8.1i の Bitstream Generator (BitGen) は大幅にアップデートされています。

Spartan-3E の開発ソフトウェアおよび既知の問題については、次のアンサーを参照してください。

- ザイリンクス アンサー #22253
<http://japan.xilinx.com/support/answers/22253.htm>

表 71 : Spartan-3E のステッピング レベル

ステッピング番号	コードの最後	ステータス
0	なし	製品化済
1	S1	製品化済

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	改訂内容
2005/03/01	1.0	初版リリース
2005/03/21	1.1	図 45 を更新。表 39 と表 44 のタイトルを修正。
2005/11/23	2.0	「オンチップ差動終端」抵抗の値を更新。表 7 を更新。表 44、表 50、表 56、表 59 の XC3S250E ~ XC3S1600E のコンフィギュレーション ビットストリームのサイズを更新。「ステッピング レベルによる DLL のパフォーマンスの相違点」を追加。「FPGA のコンフィギュレーションが BPI モードの場合の JTAG を使用した再プログラム (ステッピング 0 の制限)」を追加。SPI コンフィギュレーション モードの「デジタイズ チェーン接続」のステッピング 0 の制限を追加。「乗算器とブロック RAM の関係」セクションを追加。「デジタルクロック マネージャ (DCM)」セクションの特に「位相シフト (PS)」部分を更新。図 45 と表 41 のクロック構成図を修正。「CCLK デザインに関する注意事項」セクションを追加。「HSWAP、M[2:0]、VS[2:0] ピンに関する注意事項」セクションを追加。表 52 と表 55 の SPI Flash ベンダーに Spansion 社、Winbond 社、Macronix 社を追加。SPI モード コンフィギュレーションで Atmel の C および D シリーズの DataFlash がサポートされることを明記。SPI Flash PROM の「プログラム サポート」セクションを更新。BPI コンフィギュレーション モードのトピックに「PROM 電源がシーケンスの最後にある場合の電源投入」、「互換性のある Flash ファミリ」、「BPI モードと右側と下辺のグローバルクロック入力の関係」セクションを追加。「Spartan-3E FPGA の電源」セクションを更新および情報追加。「ステッピング番号」セクションを追加。
2006/03/22	3.0	データシートステータスを Preliminary に変更。「入力遅延機能」セクションおよび図 6 をアップデート。「プルアップ抵抗およびプルダウン抵抗」セクションに、入力みのピンにもプルアップおよびプルダウン抵抗があることを明記。「ブロック RAM」セクションにアドレスのセットアップおよびホールド要件に関するメモを追加。「FIXED 位相シフトモード」および「VARIABLE 位相シフトモード」セクションに ISE 8.1i サービスパック 3 とそれ以前のソフトウェアとの違いを記述。「DLL クロック入力接続」および「クロック入力」セクションに GCLK1 の使用に関するメモを追加。図 45 をアップデート。「コンフィギュレーション中のピンの動作」セクションに HSWAP の動作に関する情報を追加。表 45 で HSWAP の影響を受けないコンフィギュレーションプルアップ抵抗が追加ピンを色表示。表 44、表 50、表 56、および表 59 で XC3S1200E および XC3S1600E のビットストリームイメージのサイズをアップデート。表 52 および図 54 で、B シリーズの Atmel DataFlash SPI PROM をコマースシャル温度範囲のアプリケーションで使用できることを明記。図 56 をアップデート。「マルチポート オプションを使用した複数のコンフィギュレーション イメージの読み込み」セクションをアップデート。BPI の「デジタイズ チェーン接続」セクションに BPI デジタイズ チェーン接続のソフトウェアサポートに関するメモを追加。表 66 の JTAG リビジョンコードをアップデート。「内部チャージポンプまたはフリーランニングオシレータなし」セクションを追加。表 70 で製品ステッピングの違いに関する情報をアップデート。「必要なソフトウェアバージョン」セクションをアップデート。
2006/04/10	3.1	「JTAG デバイスの ID」の情報をアップデート。図 5 のメモ 1 を明確な記述に変更。図 45 に電氣的な接続を追加し、左右の DCM の座標を修正。表 30、表 31、および表 32 を、接続されている BUFGMUX プリミティブで駆動されるクロックラインを示すようアップデート。表 31 および表 32 で BUFGMUX プリミティブの座標を修正。表 41 を、I/O 入力の方が BUFGMUX への接続として適していることを示すようアップデート。
2006/05/19	3.2	図 45 を修正し、BUFGMUX プリミティブおよび DCM への直接入力を記載。表 52 に Atmel 社の AT45DBxxxD-series DataFlash シリアル PROM を追加。BPI の場合、複数の FPGA で構成されるコンフィギュレーション デジタイズ チェーンの最初および最後のデバイスとは、Spartan-3E または Virtex-5 FPGA ファミリ デバイスでなければならないことを記載 (BPI 「デジタイズ チェーン接続」)。「JTAG インターフェイスを使用したコンフィギュレーション済み FPGA デザインとの通信」を追加。図 67 および図 68 を更新。表 67 にリードバック機能をサポートする Spartan-3E FPGA デバイスの記載を追加。
2006/05/30	3.2.1	スペルミスおよびリンクの修正。
2006/10/02	3.3	ブロック RAM の「リードバック」機能が、-5 スピード グレードまたはインダストリアル温度範囲で使用可能であることを記載。

日付	バージョン	改訂内容
2006/11/09	3.4	「入力遅延機能」の記述を更新。「ODDR2」フリップフロップの C0 または C1 におけるアライメント機能のサポートを終了。図 5 の更新。表 6 に向上した PCI 入力電圧を記載。「クロック バッファ/マルチプレクサ」に記述を追加。表 52 の SPI Flash デバイスを更新。表 60 のパラレル NOR Flash デバイスを更新。ISE 8.1i iMPACT から STMicro および Atmel SPI PROM への直接的な SPI Flash インシステム「プログラム サポート」が開始。表 70 および表 71 にステッピング 1 が製品化済みであることを記載。リンクの更新。モジュール 2 を Product 製品仕様に変更。
2007/03/16	3.5	新規の『Spartan-3 ジェネレーション ユーザー ガイド』に関する情報の追加 (「Spartan-3 ジェネレーションの新規資料」)。UG331: 『Spartan-3 ジェネレーション FPGA ユーザー ガイド』および UG332: 『Spartan-3 ジェネレーション コンフィギュレーション ガイド』への相互参照の追加。ISE 9.1.01i 以前のソフトウェアを用い、FPGA モード ピンがマスタ モードに設定されている場合の JTAG を用いたコンフィギュレーションでの問題についてメモを追加 (「JTAG モード」)。「弱い」プルアップ抵抗に関する参考資料を削除 (図 12 を含む)。「スレーブ パラレル モード」中の LDC[2:0] および HDC ピンに関する参考資料を削除。このコンフィギュレーションモードでは、これらのピンは使用されない。
2007/05/29	3.6	表 70 に、ステップ間における HSWAP および PCI の違いに関する情報を追加。モジュール 3 の仕様に一致させるため、「グローバル バッファ間の動作の違い」を削除。モジュール 3 に一致させるため、PROG_B パルス幅に関する記載を更新。
2008/04/18	3.7	6 つのタブを表示するために図 6 を修正し、関連するテキストを更新。表 54 および該当する箇所、DONE ピンへの推奨プルアップ抵抗に関するメモを追加。ピン A20 ~ A23 に対する Persist オプションの使用について「注意」を追加。ステッピング 1 のみが現在製造中であることを示すため、表 70 のステッピングに関する記載を更新。リンクの更新。

DC 電気特性

ここに記載されている内容は、Advance 製品仕様、Preliminary 製品仕様、または Production 製品仕様のいずれかに該当し、それぞれ次のように定義されます。

Advance : シミュレーション、初期段階の特性評価、およびその他のデバイスファミリの特性から推定される値に基づいた初期概算値であり、これらの値は変更される可能性があります。概算値として使用し、製品用には使用しないでください。

Preliminary : 特性評価に基づいており、今後の変更予定はありません。

Production : 多数の製造ロットで特性評価され、認定されたものです。パラメータ値は安定し、今後の変更予定はありません。

すべてのパラメータの最大/最小値は、ワースト ケースの供給電圧およびジャンクション温度の条件に基づいています。特記のない限り、パラメータ値はすべての **Spartan®-3E** デバイスに適用されます。**AC** 特性および **DC** 特性は、コマーシャル グレードとインダストリアル グレードの両方で同じ数値を使用して指定されています。

絶対最大定格

表 72 に示す絶対最大定格を超える値を使用すると、デバイスに恒久的な破損を与える場合があります。ここに示す値はストレス定格のみを示すものであり、これらの定格値または推奨動作条件の範囲外においてデバイスが正常に動作することを示すものではありません。デバイスを絶対最大定格の状態で長時間使用すると、デバイスの信頼性に悪影響を与えます。

表 72 : 絶対最大定格

シンボル	説明	条件		最小	最大	単位
V _{CCINT}	内部電源電圧			−0.5	1.32	V
V _{CCAUX}	補助電源電圧			−0.5	3.00	V
V _{CCO}	出力ドライバ電源電圧			−0.5	3.75	V
V _{REF}	入力参照電圧			−0.5	V _{CCO} +0.5 ⁽¹⁾	V
V _{IN} (1、2、3、4)	すべてのユーザー I/O ピンおよび多目的ピンに適用される電圧	ハイ インピーダンス状態のドライバ	コマーシャル	−0.95	4.4	V
	インダストリアル		−0.85	4.3	V	
	すべての専用ピンに適用される電圧		全温度範囲	−0.5	V _{CCAUX} +0.5 ⁽³⁾	V
I _{IK}	I/O ピンごとの入力クランプ電流	-0.5 V < V _{IN} < (V _{CCO} + 0.5 V)		−	±100	mA
V _{ESD}	静電気放電電圧	ヒューマン ボディ モデル (HBM)		−	±2000	V
		デバイス帯電モデル		−	±500	V
		マシン モデル (MM)		−	±200	V
T _J	ジャンクション温度			−	125	°C
T _{STG}	保管温度			−65	150	°C

メモ :

- 各ユーザー I/O ピンおよび多目的ピンは、4 個あるバンクの V_{CCO} レールのうちの 1 個に接続されます。関連する V_{CCO} レールまたは GND レールに対して V_{IN} が 500mV 以下である場合、内部ダイオード ジャンクションはオンになりません。表 76 に、最大 V_{IN} 電圧を決定するために使用される V_{CCO} の範囲を示します。
- $-0.5\text{ V} \sim V_{CCO} + 0.5\text{ V}$ (または $V_{CCAUX} + 0.5\text{ V}$) の入力電圧範囲外の電圧は、 I_{IK} 入力クランプ ダイオード 定格が満たされ、かつ同時にこの範囲を超えるピンが 100 以下の場合に許容されます。
- すべての専用ピン (PROG_B、DONE、TCK、TDI、TDO、TMS) には、 V_{CCAUX} レール (2.5V) から電源が供給されます。 V_{IN} が最大値以下である場合、これらの各ピンと V_{CCAUX} レールの間にある内部ダイオードはオンになりません。表 76 に、最大 V_{IN} 電圧を決定するために使用される V_{CCAUX} の範囲を示します。 V_{IN} が制限範囲内であれば、酸化膜に対するストレスは発生しません。
- [XAPP459](#) : 『Spartan-3 Generation FPGA のユーザー I/O ピンへ大きな変動のシングルエンド信号をインターフェイスする際にカップリング影響を除去』を参照してください。
- はんだ付けのガイドラインは、ユーザー ガイド [UG112](#) 『デバイス パッケージ ユーザー ガイド』およびアプリケーション ノート [XAPP427](#) 『鉛フリー パッケージのインプリメンテーションおよびはんだリフロー』を参照してください。

電源仕様

表 73 : パワーオン リセットの電源電圧しきい値

シンボル	説明	最小	最大	単位
V _{CCINTT}	V _{CCINT} 電源のしきい値	0.4	1.0	V
V _{CCAUXT}	V _{CCAUX} 電源のしきい値	0.8	2.0	V
V _{CCO2T}	V _{CCO} バンク 2 電源のしきい値	0.4	1.0	V

メモ :

1. V_{CCINT}、V_{CCAUX}、および V_{CCO} 電源の投入に指定された順序はありません。ただし、FPGA のコンフィギュレーション ソース (Platform Flash、SPI Flash、パラレル NOR Flash、マイクロコントローラ) には特定の要件がある場合があります。使用するコンフィギュレーション ソースのデータシートを確認してください。HSWAP 内部プルアップを使用するステップ 0 のデバイスでは、V_{CCAUX} の前に V_{CCINT} を適用してください。
2. 電源投入を適切に行うには、V_{CCINT}、V_{CCO} バンク 2、および V_{CCAUX} 電源電圧をそれぞれのしきい値電圧まで単調に増加させてください。

表 74 : 電源電圧のランプレート

シンボル	説明	最小	最大	単位
V _{CCINTR}	GND から有効な V _{CCINT} 電源レベルまでのランプレート	0.2	50	ms
V _{CCAUXR}	GND から有効な V _{CCAUX} 電源レベルまでのランプレート	0.2	50	ms
V _{CCO2R}	GND から有効な V _{CCO} バンク 2 電源レベルまでのランプレート	0.2	50	ms

メモ :

1. FPGA への V_{CCINT}、V_{CCAUX}、および V_{CCO} 電源の投入に指定された順序はありません。ただし、FPGA のコンフィギュレーション ソース (Platform Flash、SPI Flash、パラレル NOR Flash、マイクロコントローラ) には特定の要件がある場合があります。使用するコンフィギュレーション ソースのデータシートを確認してください。HSWAP 内部プルアップを使用するステップ 0 のデバイスでは、V_{CCAUX} の前に V_{CCINT} を適用してください。
2. 電源投入を適切に行うには、V_{CCINT}、V_{CCO} バンク 2、および V_{CCAUX} 電源電圧をそれぞれのしきい値電圧まで単調に増加させてください。

表 75 : RAM のデータを保持するために必要な電源電圧レベル

シンボル	説明	最小	単位
V _{DRINT}	RAM のデータを保持するために必要な V _{CCINT} レベル	1.0	V
V _{DRAUX}	RAM のデータを保持するために必要な V _{CCAUX} レベル	2.0	V

メモ :

1. RAM のデータには、コンフィギュレーション データが含まれます。

一般推奨動作条件

表 76：一般推奨動作条件

シンボル	説明		最小	標準	最大	単位
T_J	ジャンクション温度	コマーシャル	0	-	85	°C
		インダストリアル	-40	-	100	°C
V_{CCINT}	内部電源電圧		1.140	1.200	1.260	V
$V_{CCO}^{(1)}$	出力ドライバ電源電圧		1.100	-	3.465	V
V_{CCAUX}	補助電源電圧		2.375	2.500	2.625	V
V_{IN} (2、3、4、5)	I/O 保護ダイオードがオンになるのを回避 するための最大 / 最小入力電圧	I/O、入力のみ、多目的ピン ⁽²⁾	-0.5	-	$V_{CCO} + 0.5$	V
		専用ピン ⁽³⁾	-0.5	-	$V_{CCAUX} + 0.5$	V
T_{IN}	入力信号遷移時間 ⁽⁶⁾		-	-	500	ns

メモ：

- ここに記載されている V_{CCO} 範囲は、使用可能なすべての I/O 規格に対する最小および最大動作電圧範囲を示します。表 79 にシングルエンドの I/O 規格に対する推奨 V_{CCO} 範囲、表 81 に差動規格に対する V_{CCO} 範囲を示します。
- 各ユーザー I/O および多目的ピンは 4 つのバンクの V_{CCO} レールのうち 1 つに関連しています。 V_{IN} 制限が満たされている場合、これらのピンと、これらのピンに関連する V_{CCO} レールおよび GND レールの間の内部ダイオード ジャンクションはオンになりません。絶対最大定格は、表 72 を参照してください。
- すべての専用ピン (PROG_B、DONE、TCK、TDI、TDO、および TMS) は、 V_{CCAUX} レール (2.5V) から電源供給されます。最大 V_{IN} 制限が満たされている場合、これらの各ピンと、 V_{CCAUX} レールおよび GND レール間の内部ダイオード ジャンクションはオンになりません。
- 推奨範囲外の入力電圧は、 I_{IK} 入力クランプダイオード定格が満たされており、同時に範囲を超過するピン数が 100 以下の場合に許容されます。
- [XAPP459](#)：『Spartan-3 Generation FPGA のユーザー I/O ピンへ大きな変動のシングルエンド信号をインターフェイスする際にカップリング影響を除去』を参照してください。
- V_{CCO} の 10% ~ 90% の間で測定されています。[シグナル インテグリティ](#)の推奨事項に従ってください。

I/O ピンの一般的な DC 特性

表 77 : ユーザー I/O ピン、多目的ピン、および専用ピンの一般的な DC 特性

シンボル	説明	テスト条件	最小	標準	最大	単位
I_L	ユーザー I/O ピン、入力のためのピン、多目的ピン、および専用ピンの漏洩電流	ドライバはハイ インピーダンス状態、 $V_{IN} = 0V$ または V_{CCO} の最大値でのサンプルテスト	-10	—	+10	μA
$I_{RPU}^{(2)}$	ユーザー I/O ピン、多目的ピン、入力のためのピン、および専用ピンに接続されるプルアップ抵抗の電流	$V_{IN} = 0V$ 、 $V_{CCO} = 3.3V$	-0.36	—	-1.24	mA
		$V_{IN} = 0V$ 、 $V_{CCO} = 2.5V$	-0.22	—	-0.80	mA
		$V_{IN} = 0V$ 、 $V_{CCO} = 1.8V$	-0.10	—	-0.42	mA
		$V_{IN} = 0V$ 、 $V_{CCO} = 1.5V$	-0.06	—	-0.27	mA
		$V_{IN} = 0V$ 、 $V_{CCO} = 1.2V$	-0.04	—	-0.22	mA
$R_{PU}^{(2)}$	ユーザー I/O ピン、多目的ピン、入力のためのピン、および専用ピンでの等価プルアップ抵抗値 (メモ 2 での I_{RPU} に基づく)	$V_{IN} = 0V$ 、 $V_{CCO} = 3.0V \sim 3.465V$	2.4	—	10.8	k Ω
		$V_{IN} = 0V$ 、 $V_{CCO} = 2.3V \sim 2.7V$	2.7	—	11.8	k Ω
		$V_{IN} = 0V$ 、 $V_{CCO} = 1.7V \sim 1.9V$	4.3	—	20.2	k Ω
		$V_{IN} = 0V$ 、 $V_{CCO} = 1.4V \sim 1.6V$	5.0	—	25.9	k Ω
		$V_{IN} = 0V$ 、 $V_{CCO} = 1.14V \sim 1.26V$	5.5	—	32.0	k Ω
$I_{RPD}^{(2)}$	ユーザー I/O ピン、多目的ピン、入力のためのピン、および専用ピンに接続されるプルダウン抵抗の電流	$V_{IN} = V_{CCO}$	0.10	—	0.75	mA
$R_{PD}^{(2)}$	ユーザー I/O ピン、多目的ピン、入力のためのピン、および専用ピンでの等価プルダウン抵抗値 (メモ 2 での I_{RPD} に基づく)	$V_{IN} = V_{CCO} = 3.0V \sim 3.465V$	4.0	—	34.5	k Ω
		$V_{IN} = V_{CCO} = 2.3V \sim 2.7V$	3.0	—	27.0	k Ω
		$V_{IN} = V_{CCO} = 1.7V \sim 1.9V$	2.3	—	19.0	k Ω
		$V_{IN} = V_{CCO} = 1.4V \sim 1.6V$	1.8	—	16.0	k Ω
		$V_{IN} = V_{CCO} = 1.14V \sim 1.26V$	1.5	—	12.6	k Ω
I_{REF}	各ピンの V_{REF} 電流	すべての V_{CCO} レベル	-10	—	+10	μA
C_{IN}	入力容量	—	—	—	10	pF
R_{DT}	差動 I/O ペア内での差動終端回路の抵抗 (入力のためのペアにはなし)	最小 $V_{OCM} \leq V_{ICM} \leq$ 最大 V_{OCM} 最小 $V_{OD} \leq V_{ID} \leq$ 最大 V_{OD} $V_{CCO} = 2.5V$	—	120	—	Ω

メモ :

- この表に記載されている値は、表 76 に示す条件に基づいています。
- このパラメータは、特性評価に基づいています。プルアップ抵抗は $R_{PU} = V_{CCO}/I_{RPU}$ となります。プルダウン抵抗は $R_{PD} = V_{IN}/I_{RPD}$ となります。

静止電流要件

表 78：静止電流特性

シンボル	説明	デバイス	標準 ⁽²⁾	コマーシャル最大 ⁽²⁾	インダストリアル最大 ⁽²⁾	単位
I _{CCINTQ}	V _{CCINT} 静止電流	XC3S100E	8	27	36	mA
		XC3S250E	15	78	104	mA
		XC3S500E	25	106	145	mA
		XC3S1200E	50	259	324	mA
		XC3S1600E	65	366	457	mA
I _{CCOQ}	V _{CCO} 静止電流	XC3S100E	0.8	1.0	1.5	mA
		XC3S250E	0.8	1.0	1.5	mA
		XC3S500E	0.8	1.0	1.5	mA
		XC3S1200E	1.5	2.0	2.5	mA
		XC3S1600E	1.5	2.0	2.5	mA
I _{CCAUXQ}	V _{CCAUX} 静止電流	XC3S100E	8	12	13	mA
		XC3S250E	12	22	26	mA
		XC3S500E	18	31	34	mA
		XC3S1200E	35	52	59	mA
		XC3S1600E	45	76	86	mA

メモ：

- この表に記載されている値は、表 76 に示す条件に基づいています。
- 静止電流は、すべての I/O ドライバがハイ インピーダンス状態、I/O パッドのすべてのプルアップ/プルダウン抵抗がディセーブルの状態で計測されています。標準値は、典型的なデバイスを使用し、常温 T_A = 25°C、V_{CCINT} = 1.2 V、V_{CCO} = 3.3、V_{CCAUX} = 2.5V の条件で求められています。最大値は、各デバイスに対し、最大電圧である V_{CCINT} = 1.26V、V_{CCO} = 3.465V、V_{CCAUX} = 2.625V でそれぞれの最大ジャンクション温度を使用してテストされています。FPGA は、ファンクション エLEMENT がインスタンス化されていないブランク コンフィギュレーション データ ファイルを使用してプログラムされています。この表に記載されていない条件 (ファンクション エLEMENT を含むデザインなど) の場合、静止電流レベルが異なる場合があります。
- デザインにおける総電力消費量 (静止電力および動的電力) を概算する方法として、次の 2 つの方法を推奨します。a) [Spartan-3E XPower Estimator](#) : ネットリストを必要とせず、標準的な概算を迅速に行います。b) XPower Analyzer : 入力としてネットリストを使用し、より正確な最大値および標準値を概算します。
- 表に示す最大値は、FPGA の電源投入を適切に行うために必要となる各電源レールの最小電流を示します。

シングルエンド I/O 規格

表 79: シングル エンド ユーザー I/O 規格の推奨動作条件

IOSTANDARD 属性	ドライバ用 $V_{CCO}^{(2)}$			V_{REF}			V_{IL}	V_{IH}
	最小 (V)	標準 (V)	最大 (V)	最小 (V)	標準 (V)	最大 (V)	最大 (V)	最小 (V)
LVTTL	3.0	3.3	3.465	V_{REF} はこれらの I/O 規格には 使用されません。			0.8	2.0
LVC MOS33 ⁽⁴⁾	3.0	3.3	3.465				0.8	2.0
LVC MOS25 ^(4, 5)	2.3	2.5	2.7				0.7	1.7
LVC MOS18 ⁽⁴⁾	1.65	1.8	1.95				0.4	0.8
LVC MOS15 ⁽⁴⁾	1.4	1.5	1.6				0.4	0.8
LVC MOS12 ⁽⁴⁾	1.1	1.2	1.3				0.4	0.7
PCI33_3 ⁽⁶⁾	3.0	3.3	3.465				$0.3 \bullet V_{CCO}$	$0.5 \bullet V_{CCO}$
PCI66_3 ⁽⁶⁾	3.0	3.3	3.465				$0.3 \bullet V_{CCO}$	$0.5 \bullet V_{CCO}$
HSTL_I_18	1.7	1.8	1.9	0.8	0.9	1.1	$V_{REF} - 0.1$	$V_{REF} + 0.1$
HSTL_III_18	1.7	1.8	1.9	-	1.1	-	$V_{REF} - 0.1$	$V_{REF} + 0.1$
SSTL18_I	1.7	1.8	1.9	0.833	0.900	0.969	$V_{REF} - 0.125$	$V_{REF} + 0.125$
SSTL2_I	2.3	2.5	2.7	1.15	1.25	1.35	$V_{REF} - 0.125$	$V_{REF} + 0.125$

メモ:

- この表で使用しているシンボルは次のとおりです。
 V_{CCO} : 出力ドライバの電源電圧
 V_{REF} : 入力スイッチしきい値を設定する参照電圧
 V_{IL} : Low ロジック レベルを示す入力電圧
 V_{IH} : High ロジック レベルを示す入力電圧
- V_{CCO} は出力ドライバ用の電源であり、入力回路の電源にはなりません。
- デバイスを動作させる場合、最大信号電圧 ($V_{IH \max}$) が $V_{IN \max}$ と同電圧となる場合があります。表 72 を参照してください。
- LVC MOS33 および LVC MOS25 I/O 規格では、入力に約 100mV のヒステリシスがあります。
- すべての専用ピン (PROG_B、DONE、TCK、TDI、TDO、TMS) は LVC MOS25V 規格を使用し、 V_{CCAUX} レール (2.5V) から電源が供給されます。多目的コンフィギュレーション ピンは、ユーザー モードになるまで LVC MOS25 規格を使用します。これらのピンを標準の 2.5V コンフィギュレーション インターフェイスの一部として使用している場合、電源投入時およびコンフィギュレーション中は、これらのピンがあるバンク 0、1、2 の V_{CCO} に 2.5V を使用してください。
- PCI IP ソリューションの情報は、japan.xilinx.com/pci を参照してください。PCIX IOSTANDARD は、利用可能でその特性は同等ですが、PCI-X IP はサポートされていません。

表 80 : シングル エンド ユーザー I/O 規格の DC 特性

IOSTANDARD 属性	テスト条件			ロジック レベル特性	
	I_{OL} (mA)	I_{OH} (mA)		V_{OL} 最大 (V)	V_{OH} 最小 (V)
LVTTL ⁽³⁾	2	2	-2	0.4	2.4
	4	4	-4		
	6	6	-6		
	8	8	-8		
	12	12	-12		
	16	16	-16		
LVCMOS33 ⁽³⁾	2	2	-2	0.4	$V_{CCO} - 0.4$
	4	4	-4		
	6	6	-6		
	8	8	-8		
	12	12	-12		
	16	16	-16		
LVCMOS25 ⁽³⁾	2	2	-2	0.4	$V_{CCO} - 0.4$
	4	4	-4		
	6	6	-6		
	8	8	-8		
	12	12	-12		
LVCMOS18 ⁽³⁾	2	2	-2	0.4	$V_{CCO} - 0.4$
	4	4	-4		
	6	6	-6		
	8	8	-8		
LVCMOS15 ⁽³⁾	2	2	-2	0.4	$V_{CCO} - 0.4$
	4	4	-4		
	6	6	-6		
LVCMOS12 ⁽³⁾	2	2	-2	0.4	$V_{CCO} - 0.4$

表 80 : シングル エンド ユーザー I/O 規格の DC 特性 (続き)

IOSTANDARD 属性	テスト条件		ロジック レベル特性	
	I_{OL} (mA)	I_{OH} (mA)	V_{OL} 最大 (V)	V_{OH} 最小 (V)
PCI33_3 ⁽⁴⁾	1.5	-0.5	10% V_{CCO}	90% V_{CCO}
PCI66_3 ⁽⁴⁾	1.5	-0.5	10% V_{CCO}	90% V_{CCO}
HSTL_I_18	8	-8	0.4	$V_{CCO} - 0.4$
HSTL_III_18	24	-8	0.4	$V_{CCO} - 0.4$
SSTL18_I	6.7	-6.7	$V_{TT} - 0.475$	$V_{TT} + 0.475$
SSTL2_I	8.1	-8.1	$V_{TT} - 0.61$	$V_{TT} + 0.61$

メモ :

- この表に記載されている値は、表 76 および表 79 に示す条件に基づいています。
- この表で使用しているシンボルは次のとおりです。
 I_{OL} : V_{OL} のテストを実施した出力電流条件
 I_{OH} : V_{OH} のテストを実施した出力電流条件
 V_{OL} : Low ロジック レベルを示す出力電圧
 V_{OH} : High ロジック レベルを示す出力電圧
 V_{IL} : Low ロジック レベルを示す入力電圧
 V_{IH} : High ロジック レベルを示す入力電圧
 V_{CCO} : 出力ドライバ用電源電圧
 V_{REF} : 入力スイッチしきい値を設定する参照電圧
 V_{TT} : 抵抗終端に適用する電圧
- LVCMOS および LVTTL 規格の場合、 V_{OL} および V_{OH} の制限値は、Fast と Slow スルー属性の両方に対して同一です。
- 関連する PCI 仕様に基づいてテストされています。PCI IP ソリューションの情報は、japan.xilinx.com/pci を参照してください。PCIX IOSTANDARD は、利用可能でその特性は同等ですが、PCI-X IP はサポートされていません。

差動 I/O 規格

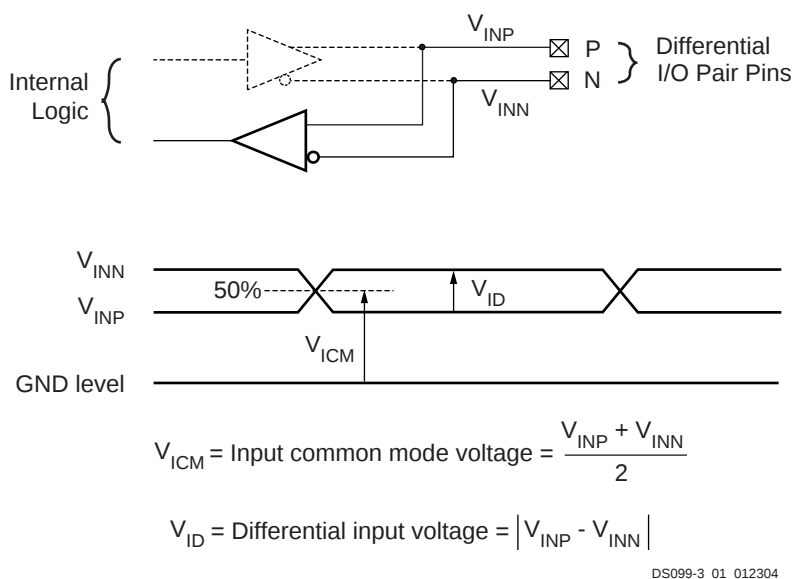


図 70： 差動入力電圧

表 81： 差動信号規格を使用するユーザー I/O の推奨動作条件

IOSTANDARD 属性	ドライバ用 $V_{CCO}^{(1)}$			V_{ID}			V_{ICM}		
	最小 (V)	標準 (V)	最大 (V)	最小 (mV)	標準 (mV)	最大 (mV)	最小 (V)	標準 (V)	最大 (V)
LVDS_25	2.375	2.50	2.625	100	350	600	0.30	1.25	2.20
BLVDS_25	2.375	2.50	2.625	100	350	600	0.30	1.25	2.20
MINI_LVDS_25	2.375	2.50	2.625	200	-	600	0.30	-	2.2
LVPECL_25 ⁽²⁾	入力のみ			100	800	1000	0.5	1.2	2.0
RSDS_25	2.375	2.50	2.625	100	200	-	0.3	1.20	1.4
DIFF_HSTL_I_18	1.7	1.8	1.9	100	-	-	0.8	-	1.1
DIFF_HSTL_III_18	1.7	1.8	1.9	100	-	-	0.8	-	1.1
DIFF_SSTL18_I	1.7	1.8	1.9	100	-	-	0.7	-	1.1
DIFF_SSTL2_I	2.3	2.5	2.7	100	-	-	1.0	-	1.5

メモ：

1. V_{CCO} は、差動出力ドライバ用の電源であり、入力回路の電源にはなりません。
2. V_{REF} 入力は、差動 I/O 規格には使用されません。

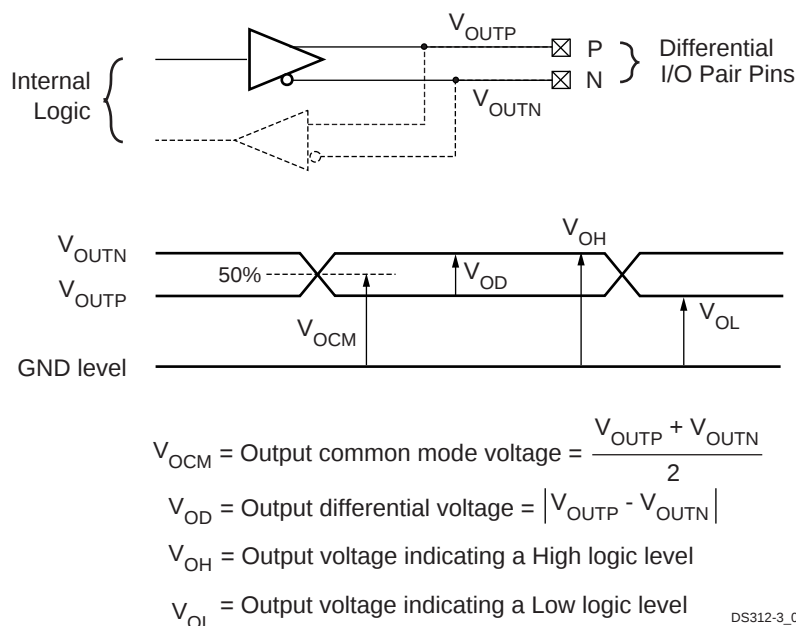


図 71： 差動出力電圧

表 82： 差動信号規格を使用したユーザー I/O の DC 特性

IOSTANDARD 属性	V_{OD}			ΔV_{OD}		V_{OCM}			ΔV_{OCM}		V_{OH}	V_{OL}
	最小 (mV)	標準 (mV)	最大 (mV)	最小 (mV)	最大 (mV)	最小 (V)	標準 (V)	最大 (V)	最小 (mV)	最大 (mV)	最小 (V)	最大 (V)
LVDS_25	250	350	450	—	—	1.125	—	1.375	—	—	—	—
BLVDS_25	250	350	450	—	—	—	1.20	—	—	—	—	—
MINI_LVDS_25	300	—	600	—	50	1.0	—	1.4	—	50	—	—
RSDS_25	100	—	400	—	—	1.1	—	1.4	—	—	—	—
DIFF_HSTL_I_18	—	—	—	—	—	—	—	—	—	—	$V_{CCO} - 0.4$	0.4
DIFF_HSTL_III_18	—	—	—	—	—	—	—	—	—	—	$V_{CCO} - 0.4$	0.4
DIFF_SSTL18_I	—	—	—	—	—	—	—	—	—	—	$V_{TT} + 0.475$	$V_{TT} - 0.475$
DIFF_SSTL2_I	—	—	—	—	—	—	—	—	—	—	$V_{TT} + 0.61$	$V_{TT} - 0.61$

メモ：

- この表に記載されている値は、表 76 および表 81 に示す条件に基づいています。
- すべての差動規格の出力電圧は、差動信号ペアの N ピンと P ピン間に 100Ω の終端抵抗 (R_T) を接続して計測されています。図 72 に示す BLVDS は例外です。
- 1 つの I/O バンクには、次の差動出力規格のうち 2 つまでしか割り当てることができません。LVDS_25、RSDS_25、MINI_LVDS_25。

図 72： BLVDS I/O の外部終端抵抗

スイッチ特性

すべての Spartan-3E デバイスは、-4 およびさらに高速な -5 の 2 つのスピード グレードで入手可能です。ここで説明するスイッチ特性は、表 83 に示すように Advance、Preliminary、または Production のいずれかに該当し、それぞれ次のように定義されます。

Advance : シミュレーションのみに基づいており、通常は FPGA 仕様の決定直後に入手可能です。スピード グレードは比較的安定していますが、遅延が実際よりも小さい場合があります。

Preliminary : 初期段階のシリコン特性評価に基づいています。デバイスおよびスピード グレードは、製品シリコンに予測されるパフォーマンスにより近いものとなります。また、Advance のデータと比較すると、遅延が実際よりも小さいことは大幅に少なくなっています。

Production : 特定のデバイス ファミリで、スピード ファイルとデバイスの相関関係を提供するために十分な数の製造ロットで特性評価が行われ、認定されています。遅延が実際の値より小さいことはなく、今後の変更はカスタマに正式に通知されます。通常、低速のスピード グレードの方が高速のスピード グレードより先に Production に移行します。

ソフトウェア バージョン要件

製品システムでは、Production 用のスピード ファイルを使用してコンパイルした FPGA デザインを使用してください。それ以外のスピード ファイルを使用した FPGA デザインは、プロトタイプ システムまたは製品前の認定評価にのみ使用してください。Preview、Advance および Preliminary スピード ファイルを製品システムには使用しないでください。

デバイスの仕様が Production 仕様に近くなり、スピード ファイルが変更された場合は、FPGA デザインを最新のタイミング情報およびソフトウェア アップデートを含む最新のザイリックス ISE ソフトウェアで再実行してください。

製品デザインには、ISE 8.1i サービス パック 3 以降の開発ソフトウェアと、表 84 に示す v1.21 以降のスピード ファイルが必要です。

すべてのパラメータ値は、ワースト ケースの電源電圧およびジャンクション温度条件を示します。特記のない限り、パラメータ値はすべての Spartan-3E デバイスに適用されます。AC 特性および DC 特性は、コマーシャル グレードとインダストリアル グレード両方に対して同じ数値を使用して指定されています。

デバイスのトップ マークに表示されたステッピング (ステッピング 1 および 2) によって、値が異なる仕様もあります。

次のサイトからザイリックスの MySupport ユーザー アカウントを作成すると、データシートのアップデートが電子メールで通知されるよう登録できます。

- ザイリックス MySupport での電子メール通知の登録方法
<http://japan.xilinx.com/support/answers/19380.htm>

次に示すタイミング パラメータおよびそれらの値は、一般的なデザイン要件として重要なもの、または基本的なデバイス パフォーマンス特性を示すものです。ザイリックス開発ソフトウェアに含まれる Spartan-3E のスピード ファイル (v1.27) は、すべてではありませんが多くの値のオリジナル ソースとなります。表 83 に、それぞれのファイルで指定されているスピード グレードを示します。より完全で正確なワースト ケース データが必要な場合は、ザイリックスの Timing Analyzer (またはコマンド ライン ツール TRACE) を使用して求め、シミュレーション ネットリストにバックアノテートした値を使用してください。

表 83 : Spartan-3E v1.27 スピード グレードの指定

デバイス	Advance	Preliminary	Production
XC3S100E			-MIN、-4、-5
XC3S250E			-MIN、-4、-5
XC3S500E			-MIN、-4、-5
XC3S1200E			-MIN、-4、-5
XC3S1600E			-MIN、-4、-5

すべてのデバイスが Production 仕様となったため、Spartan-3E のスピード ファイルの履歴を表 84 に示します。

表 84: Spartan-3E のスピード ファイルの更新履歴

バージョン	ISE リリース	説明
1.27	9.2.03i	XA オートモーティブの追加
1.26	8.2.02i	最小値を含む -0 スピード グレードの追加
1.25	8.2.01i	スピードファイルに XA オートモーティブ デバイスを追加。左右の DCM への機能の向上
1.23	8.2i	デフォルトの IFD_DELAY_VALUE 設定に基づいて入力セットアップ / ホールド値を更新
1.21	8.1.03i	すべての Spartan-3E FPGA の全スピードグレードが Production 仕様に変更

I/O タイミング

表 85 : IOB 出力パスのピン間における Clock-to-Output タイム

シンボル	説明	条件	デバイス	スピード グレード		単位
				-5	-4	
				最大	最大	
Clock-to-Output タイム						
T _{ICKOFDCM}	出力フリップフロップ (OFF) から読み出す場合、グローバル クロック ピンのアクティブ エッジから出力ピンにデータが出力されるまでの時間 (DCM を使用)	LVCMOS25 ⁽²⁾ 、12mA 出力駆動電流、Fast スルー レート、DCM を使用 ⁽³⁾	XC3S100E	2.66	2.79	ns
			XC3S250E	3.00	3.45	ns
			XC3S500E	3.01	3.46	ns
			XC3S1200E	3.01	3.46	ns
			XC3S1600E	3.00	3.45	ns
T _{ICKOF}	OFF から読み出す場合、グローバル クロック ピンのアクティブ エッジから出力ピンにデータが出力されるまでの時間 (DCM を使用しない)	LVCMOS25 ⁽²⁾ 、12mA 出力駆動電流、Fast スルー レート、DCM を使用しない	XC3S100E	5.60	5.92	ns
			XC3S250E	4.91	5.43	ns
			XC3S500E	4.98	5.51	ns
			XC3S1200E	5.36	5.94	ns
			XC3S1600E	5.45	6.05	ns

メモ :

- これらの値は、表 76 および表 79 に示す動作条件に基づいて、表 94 に示す方法を使用してテストされています。
- グローバル クロック入力に LVCMOS25 以外の信号規格を割り当てた場合、またはデータ出力に 12mA 駆動電流、Fast スループレートの LVCMOS25 以外の信号規格を割り当てた場合は、clock-to-output タイムを修正する必要があります。グローバル クロック入力に LVCMOS25 以外の信号規格を割り当てた場合は、表 90 に記載されている適切な修正値を加算してください。データ出力に 12mA 駆動電流、Fast スループレートの LVCMOS25 以外の信号規格を割り当てた場合は、表 93 に記載されている適切な修正値を加算してください。
- すべての計測値には、DCM 出力ジッタが含まれます。
- 最小値にはザイリンクス Timing Analyzer で算出された値を使用してください。

表 86 : IOB 入力パスのピン間におけるセットアップおよびホールド タイム (システム同期)

シンボル	説明	条件	IFD_DELAY_VALUE=	デバイス	スピード グレード		単位
					-5	-4	
					最小	最小	
セットアップ タイム							
T _{PSDCM}	入力フリップフロップ (IFF) に書き込む場合、グローバル クロック ピンのアクティブ エッジまでに入力ピンでデータが安定していなければならない時間 (DCM を使用、入力遅延素子を使用しない)	LVCMOS25 ⁽²⁾ 、IFD_DELAY_VALUE=0、DCM ⁽⁴⁾ を使用	0	XC3S100E	2.65	2.98	ns
				XC3S250E	2.25	2.59	ns
				XC3S500E	2.25	2.59	ns
				XC3S1200E	2.25	2.58	ns
				XC3S1600E	2.25	2.59	ns
T _{PSFD}	IFF に書き込む場合、グローバル クロック ピンのアクティブ エッジまでに入力ピンでデータが安定していなければならない時間 (DCM を使用しない、入力遅延素子を使用)	LVCMOS25 ⁽²⁾ 、IFD_DELAY_VALUE=ソフトウェアによるデフォルト設定値	2	XC3S100E	3.16	3.58	ns
			3	XC3S250E	3.44	3.91	ns
			3	XC3S500E	4.00	4.73	ns
			3	XC3S1200E	2.60	3.31	ns
			3	XC3S1600E	3.33	3.77	ns
ホールド タイム							
T _{PHDCM}	IFF に書き込む場合、グローバル クロック ピンのアクティブ エッジから、入力ピンでデータを保持しておかなければならない時間 (DCM を使用、入力遅延素子を使用しない)	LVCMOS25 ⁽³⁾ 、IFD_DELAY_VALUE=0、DCM ⁽⁴⁾ を使用	0	XC3S100E	−0.54	−0.52	ns
				XC3S250E	0.06	0.14	ns
				XC3S500E	0.07	0.14	ns
				XC3S1200E	0.07	0.15	ns
				XC3S1600E	0.06	0.14	ns
T _{PHFD}	IFF に書き込む場合、グローバル クロック ピンのアクティブ エッジから、入力ピンでデータを保持しておかなければならない時間 (DCM を使用しない、入力遅延素子を使用)	LVCMOS25 ⁽³⁾ 、IFD_DELAY_VALUE=ソフトウェアによるデフォルト設定値	2	XC3S100E	−0.31	−0.24	ns
			3	XC3S250E	−0.32	−0.32	ns
			3	XC3S500E	−0.77	−0.77	ns
			3	XC3S1200E	0.13	0.16	ns
			3	XC3S1600E	−0.05	−0.03	ns

メモ :

- これらの値は、表 76 および表 79 に示す動作条件に基づいて、表 94 に示す方法を使用してテストされています。
- グローバル クロック入力またはデータ入力に LVCMOS25 以外の信号規格を割り当てた場合、セットアップ タイムを修正する必要があります。グローバル クロック入力に LVCMOS25 以外の信号規格を割り当てた場合は、表 90 に記載されている適切な修正値を減算してください。データ出力に LVCMOS25 以外の信号規格を割り当てた場合は、同じ表の修正値を加算してください。
- グローバル クロック入力またはデータ入力に LVCMOS25 以外の信号規格を割り当てた場合、ホールド タイムを修正する必要があります。グローバル クロック入力に LVCMOS25 以外の信号規格を割り当てた場合は、表 90 に記載されている適切な修正値を加算してください。データ入力に LVCMOS25 以外の信号規格を割り当てた場合は、同じ表の適切な修正値を減算して下さい。ホールド タイムが負のときは、アクティブなクロック エッジの前にデータを変更できます。
- すべての計測値には、DCM 出力ジッタが含まれます。

表 87 : IOB 入力バスのピン間におけるセットアップおよびホールド タイム

シンボル	説明	条件	IFD_DELAY_VALUE=	デバイス	スピード グレード		単位
					-5	-4	
					最小	最小	
セットアップ タイム							
T _{IOICK}	入力フリップフロップ (IFF) の ICLK 入力のアクティブ エッジまでに入力ピンでデータが安定していなければならない時間 (入力遅延素子を使用しない)	LVC MOS25 ⁽²⁾ 、IFD_DELAY_VALUE = 0	0	すべて	1.84	2.12	ns
T _{IOICKD}	IFF の ICLK 入力のアクティブ エッジまでに入力ピンでデータが安定していなければならない時間 (入力遅延素子を使用)	LVC MOS25 ⁽²⁾ 、IFD_DELAY_VALUE = ソフトウェアによるデフォルト設定値	2	XC3S100E	6.12	7.01	ns
			3	その他すべて	6.76	7.72	
ホールド タイム							
T _{IOICKP}	IFF の ICLK 入力のアクティブ エッジから、入力ピンでデータを保持しておかなければならない時間 (入力遅延素子を使用しない)	LVC MOS25 ⁽³⁾ 、IFD_DELAY_VALUE = 0	0	すべて	-0.76	-0.76	ns
T _{IOICKPD}	IFF の ICLK 入力のアクティブ エッジから、入力ピンでデータを保持しておかなければならない時間 (入力遅延素子を使用)	LVC MOS25 ⁽³⁾ 、IFD_DELAY_VALUE = ソフトウェアによるデフォルト設定値	2	XC3S100E	-3.74	-3.74	ns
			3	その他すべて	-4.32	-4.32	
セット/リセット パルス幅							
T _{RPW_IOB}	IOB の SR 制御入力の最小パルス幅			すべて	1.57	1.80	ns

メモ :

- これらの値は、表 76 および表 79 に示す動作条件に基づいて、表 94 に示す方法を使用してテストされています。
- データ入力に LVC MOS25 以外の信号規格を割り当てた場合、セットアップ タイムを修正する必要があります。その場合、表 90 に記載されている適切な修正値を加算してください。
- データ入力に LVC MOS25 以外の信号規格を割り当てた場合、ホールド タイムを修正する必要があります。その場合、表 90 に記載されている適切な修正値を減算してください。ホールド タイムが負のときは、アクティブなクロック エッジの前にデータを変更できます。

表 88: サンプル ウィンドウ (ソース同期)

シンボル	説明	最大	単位
T _{SAMP}	IOB 入力フリップ フロップのセットアップおよびホールド キャプチャ ウィンドウ	入力キャプチャ サンプル ウィンドウの値はアプリケーション、デバイス、パッケージ、I/O 規格、I/O 配置、DCM の使用方法、およびクロック バッファに特有。アプリケーション別の値は、各ザイリンクス アプリケーション ノートを参照。 • XAPP485 : 『最高速度 666Mbps の Spartan-3E FPGA の 1:7 デシリアライゼーション』	ps

表 89 : IOB 入力パスの伝搬時間

シンボル	説明	条件	IFD_DELAY_VALUE≡	デバイス	スピード グレード		単位
					-5	-4	
					最大	最大	
伝搬時間							
T _{IOPLI}	データが入力ピンから IFF ラッチを介して I 出力に到達するまでの時間 (入力遅延素子を使用しない)	LVC MOS25(2)、IFD_DELAY_VALUE=0	0	すべて	1.96	2.25	ns
T _{IOPLID}	データが入力ピンから IFF ラッチを介して I 出力に到達するまでの時間 (入力遅延素子を使用)	LVC MOS25(2)、IFD_DELAY_VALUE=ソフトウェアによるデフォルト設定値	2	XC3S100E	5.40	5.97	ns
			3	その他すべて	6.30	7.20	

メモ :

- これらの値は、表 76 および表 79 に示す動作条件に基づいて、表 94 に示す方法を使用してテストされています。
- データ入力に LVC MOS25 以外の信号規格を割り当てた場合、伝搬時間を修正する必要があります。その場合、表 90 に記載されている適切な修正値を加算してください。

表 90 : IOSTANDARD の入力タイミング修正値
(LVC MOS25 から変換する場合)

使用する信号規格 (IOSTANDARD)	加算する修正値		単位
	スピード グレード		
	-5	-4	
シングルエンド規格			
LVTTTL	0.42	0.43	ns
LVCMOS33	0.42	0.43	ns
LVCMOS25	0	0	ns
LVCMOS18	0.96	0.98	ns
LVCMOS15	0.62	0.63	ns
LVCMOS12	0.26	0.27	ns
PCI33_3	0.41	0.42	ns
PCI66_3	0.41	0.42	ns
HSTL_I_18	0.12	0.12	ns
HSTL_III_18	0.17	0.17	ns
SSTL18_I	0.30	0.30	ns
SSTL2_I	0.15	0.15	ns

表 90 : IOSTANDARD の入力タイミング修正値
(LVC MOS25 から変換する場合) (続き)

使用する信号規格 (IOSTANDARD)	加算する修正値		単位
	スピード グレード		
	-5	-4	
差動規格			
LVDS_25	0.48	0.49	ns
BLVDS_25	0.39	0.39	ns
MINI_LVDS_25	0.48	0.49	ns
LVPECL_25	0.27	0.27	ns
RSDS_25	0.48	0.49	ns
DIFF_HSTL_I_18	0.48	0.49	ns
DIFF_HSTL_III_18	0.48	0.49	ns
DIFF_SSTL18_I	0.30	0.30	ns
DIFF_SSTL2_I	0.32	0.32	ns

メモ :

- これらの値は、表 76、表 79 および表 81 に示す動作条件に基づいて、表 94 に示す方法を使用してテストされています。
- ここに示す修正値は、LVC MOS25 規格に対して指定された入力パス時間を、その他の信号規格に対応する値に変換するために使用します。

表 91 : IOB 出力パスのタイミング

シンボル	説明	条件	デバイス	スピード グレード		単位
				-5	-4	
				最大	最大	
Clock-to-Output タイム						
T _{IOCKP}	出力フリップフロップ (OFF) から読み出す場合、OCLK 入力のアクティブ エッジから出力ピンにデータが出力されるまでの時間	LVC MOS25 ⁽²⁾ 、12mA 出力駆動電流、Fast スルー レート	すべて	2.18	2.50	ns
伝搬時間						
T _{IOOP}	データが IOB の O 入力から出力ピンに到達するまでの時間	LVC MOS25 ⁽²⁾ 、12mA 出力駆動電流、Fast スルー レート	すべて	2.24	2.58	ns
T _{IOOLP}	データが IOB の O 入力から OFF ラッチを介して出力ピンに到達するまでの時間			2.32	2.67	ns
セット/リセットタイム						
T _{IOSRP}	OFF の SR 入力のアサートされてから、出力ピンでデータがセット/リセットされるまでの時間	LVC MOS25 ⁽²⁾ 、12mA 出力駆動電流、Fast スルー レート	すべて	3.27	3.76	ns
T _{IOGSRQ}	STARTUP_SPARTAN3E プリミティブのグローバル セット リセット (GSR) 入力のアサートされてから、出力ピンでデータがセット/リセットされるまでの時間			8.40	9.65	ns

メモ :

- これらの値は、表 76 および表 79 に示す動作条件に基づいて、表 94 に示す方法を使用してテストされています。
- データ出力に 12mA 駆動電流、Fast スルー レートの LVC MOS25 以外の信号規格を割り当てた場合は、これらの時間を修正する必要があります。その場合、表 93 に記載されている適切な修正値を加算してください。
- 最小値にはザイリンクス Timing Analyzer で算出された値を使用してください。

表 92 : IOB トライステート パスのタイミング

シンボル	説明	条件	デバイス	スピード グレード		単位
				-5	-4	
				最大	最大	
同期出力イネーブル/ディスエーブル時間						
T _{IOCKHZ}	トライステート フリップフロップ (TFF) の OTCLK 入力のアクティブ エッジから出力ピンがハイ インピーダンス状態になるまでの時間	LVC MOS25、12mA 出力駆動電流、Fast スルー レート	すべて	1.49	1.71	ns
T _{IOCKON} ⁽²⁾	TFF の OTCLK 入力のアクティブ エッジから出力ピンが有効なデータを駆動するまでの時間		すべて	2.70	3.10	ns
非同期出力イネーブル/ディスエーブル時間						
T _{GTS}	STARTUP_SPARTAN3E プリミティブのグローバル トライステート (GTS) 入力のアサートされてから出力ピンがハイ インピーダンス状態になるまでの時間	LVC MOS25、12mA 出力駆動電流、Fast スルー レート	すべて	8.52	9.79	ns
セット/リセット時間						
T _{IOSRHZ}	TFF の SR 入力のアサートされてから出力ピンがハイ インピーダンス状態になるまでの時間	LVC MOS25、12mA 出力駆動電流、Fast スルー レート	すべて	2.11	2.43	ns
T _{IOSRON} ⁽²⁾	TFF の SR 入力のアサートされから出力ピンが有効なデータを駆動するまでの時間		すべて	3.32	3.82	ns

メモ :

- これらの値は、表 76 および表 79 に示す動作条件に基づいて、表 94 に示す方法を使用してテストされています。
- データ出力に 12mA 駆動電流、Fast スルー レートの LVC MOS25 以外の信号規格を割り当てた場合は、これらの時間を修正する必要があります。その場合は、表 93 に記載されている適切な修正値を加算してください。
- 最小値にはザイリンクス Timing Analyzer で算出された値を使用してください。

表 93 : IOB の出力タイミング修正値

12mA 駆動電流、Fast スループートの LVCMOS25 から次の信号規格に変更 (IOSTANDARD)			加算する修正値		単位
			スピードグレード		
			-5	-4	
シングルエンド規格					
LVTTL	Slow	2mA	5.20	5.41	ns
		4mA	2.32	2.41	ns
		6mA	1.83	1.90	ns
		8mA	0.64	0.67	ns
		12mA	0.68	0.70	ns
		16mA	0.41	0.43	ns
	Fast	2mA	4.80	5.00	ns
		4mA	1.88	1.96	ns
		6mA	1.39	1.45	ns
		8mA	0.32	0.34	ns
		12mA	0.28	0.30	ns
		16mA	0.28	0.30	ns
LVCMOS33	Slow	2mA	5.08	5.29	ns
		4mA	1.82	1.89	ns
		6mA	1.00	1.04	ns
		8mA	0.66	0.69	ns
		12mA	0.40	0.42	ns
		16mA	0.41	0.43	ns
	Fast	2mA	4.68	4.87	ns
		4mA	1.46	1.52	ns
		6mA	0.38	0.39	ns
		8mA	0.33	0.34	ns
		12mA	0.28	0.30	ns
		16mA	0.28	0.30	ns
LVCMOS25	Slow	2mA	4.04	4.21	ns
		4mA	2.17	2.26	ns
		6mA	1.46	1.52	ns
		8mA	1.04	1.08	ns
		12mA	0.65	0.68	ns
	Fast	2mA	3.53	3.67	ns
		4mA	1.65	1.72	ns
		6mA	0.44	0.46	ns
		8mA	0.20	0.21	ns
		12mA	0	0	ns

表 93 : IOB の出力タイミング修正値 (続き)

12mA 駆動電流、Fast スループートの LVCMOS25 から次の信号規格に変更 (IOSTANDARD)			加算する修正値		単位
			スピードグレード		
			-5	-4	
LVCMOS18	Slow	2mA	5.03	5.24	ns
		4mA	3.08	3.21	ns
		6mA	2.39	2.49	ns
		8mA	1.83	1.90	ns
	Fast	2mA	3.98	4.15	ns
		4mA	2.04	2.13	ns
		6mA	1.09	1.14	ns
		8mA	0.72	0.75	ns
LVCMOS15	Slow	2mA	4.49	4.68	ns
		4mA	3.81	3.97	ns
		6mA	2.99	3.11	ns
	Fast	2mA	3.25	3.38	ns
		4mA	2.59	2.70	ns
		6mA	1.47	1.53	ns
LVCMOS12	Slow	2mA	6.36	6.63	ns
	Fast	2mA	4.26	4.44	ns
HSTL_I_18			0.33	0.34	ns
HSTL_III_18			0.53	0.55	ns
PCI33_3			0.44	0.46	ns
PCI66_3			0.44	0.46	ns
SSTL18_I			0.24	0.25	ns
SSTL2_I			-0.20	-0.20	ns
差動規格					
LVDS_25			-0.55	-0.55	ns
BLVDS_25			0.04	0.04	ns
MINI_LVDS_25			-0.56	-0.56	ns
LVPECL_25			入力のみ		ns
RSDS_25			-0.48	-0.48	ns
DIFF_HSTL_I_18			0.42	0.42	ns
DIFF_HSTL_III_18			0.53	0.55	ns
DIFF_SSTL18_I			0.40	0.40	ns
DIFF_SSTL2_I			0.44	0.44	ns

メモ :

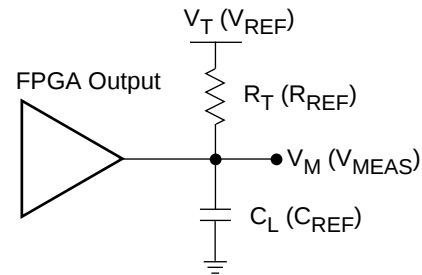
- これらの値は、表 76、表 79 および表 81 に示す動作条件に基づいて、表 94 に示す方法を使用してテストされています。
- ここに示す修正値は、12mA 駆動電流、Fast スループートの LVCMOS25 規格に対して指定された出力バスおよびトライステートバスのタイミングを、その他の信号規格に対応する値に変換するために使用します。出力がハイインピーダンス状態になるときに計測された値は修正しないでください。

タイミング計測方法

プログラマブル I/O でタイミング パラメータを計測する際、信号規格によってテスト条件が異なります。表 94 に各信号規格のテスト条件を示します。

入力タイミングを計測する方法は次のとおりです。テストでは、Low ロジック レベル (V_L) と High ロジック レベル (V_H) の間で振幅する信号が入力に適用されます。また、信号規格によっては、入力スイッチしきい値を適切に設定するため、そのバンクにある V_{REF} ピンに対してバイアス電圧が必要な場合があります。通常、入力信号 (V_M) の計測点は V_L および V_H の中間です。

図 73 に出力テストの設定を示します。終端電圧 V_T が終端抵抗 R_T に適用され、もう一端は出力に接続されています。通常、各規格の R_T および V_T には、信号の反射が最小となるように推奨される標準値が使用されます。終端が通常使用されない規格 (LVCMOS、LVTTL など) では、 R_T を $1M\Omega$ にして未接続であることを示し、 V_T は 0 に設定します。出力にも入力と同じ計測点 (V_M) が使用されます。



ds312-3_04_090105

メモ：

1. かつこ内に記載された名前は IBIS ファイルで使用されます。

図 73：出力テスト設定

表 94：I/O でのタイミング計測のテスト方法

信号規格 (IOSTANDARD)		入力			出力		入力と出力
		V_{REF} (V)	V_L (V)	V_H (V)	R_T (Ω)	V_T (V)	V_M (V)
シングルエンド規格							
LVTTL		-	0	3.3	1M	0	1.4
LVCMOS33		-	0	3.3	1M	0	1.65
LVCMOS25		-	0	2.5	1M	0	1.25
LVCMOS18		-	0	1.8	1M	0	0.9
LVCMOS15		-	0	1.5	1M	0	0.75
LVCMOS12		-	0	1.2	1M	0	0.6
PCI33_3	立ち上がり	-	メモ 3	メモ 3	25	0	0.94
	立ち下がり				25	3.3	2.03
PCI66_3	立ち上がり	-	メモ 3	メモ 3	25	0	0.94
	立ち下がり				25	3.3	2.03
HSTL_I_18		0.9	$V_{REF} - 0.5$	$V_{REF} + 0.5$	50	0.9	V_{REF}
HSTL_III_18		1.1	$V_{REF} - 0.5$	$V_{REF} + 0.5$	50	1.8	V_{REF}
SSTL18_I		0.9	$V_{REF} - 0.5$	$V_{REF} + 0.5$	50	0.9	V_{REF}
SSTL2_I		1.25	$V_{REF} - 0.75$	$V_{REF} + 0.75$	50	1.25	V_{REF}
差動規格							
LVDS_25		-	$V_{ICM} - 0.125$	$V_{ICM} + 0.125$	50	1.2	V_{ICM}
BLVDS_25		-	$V_{ICM} - 0.125$	$V_{ICM} + 0.125$	1M	0	V_{ICM}
MINI_LVDS_25		-	$V_{ICM} - 0.125$	$V_{ICM} + 0.125$	50	1.2	V_{ICM}
LVPECL_25		-	$V_{ICM} - 0.3$	$V_{ICM} + 0.3$	1M	0	V_{ICM}
RSDS_25		-	$V_{ICM} - 0.1$	$V_{ICM} + 0.1$	50	1.2	V_{ICM}
DIFF_HSTL_I_18		0.9	$V_{REF} - 0.5$	$V_{REF} + 0.5$	50	0.9	V_{REF}
DIFF_HSTL_III_18		1.1	$V_{REF} - 0.5$	$V_{REF} + 0.5$	50	1.8	V_{REF}
DIFF_SSTL18_I		0.9	$V_{REF} - 0.5$	$V_{REF} + 0.5$	50	0.9	V_{REF}

表 94 : I/O でのタイミング計測のテスト方法 (続き)

信号規格 (IOSTANDARD)	入力			出力		入力と出力
	V_{REF} (V)	V_L (V)	V_H (V)	R_T (Ω)	V_T (V)	V_M (V)
DIFF_SSTL2_I	1.25	$V_{REF} - 0.5$	$V_{REF} + 0.5$	50	1.25	V_{REF}

メモ :

- この表で使用しているシンボルは次のとおりです。
 V_{REF} : 入力スイッチしきい値を設定する参照電圧
 V_{ICM} : 同相入力電圧
 V_M : 信号遷移時の計測点の電圧
 V_L : 入力ピンにおける Low レベル テスト電圧
 V_H : 入力ピンにおける High レベル テスト電圧
 R_T : 有効終端抵抗 (並行終端が不要な場合は 1M Ω)
 V_T : 終端電圧
- 出力ピンの負荷容量 (C_L) は、すべての信号規格に対して 0pF です。
- PCI 仕様によって決定されます。

負荷容量 (C_L) は、出力と GND 間に接続されます。スピード ファイルおよびデータシートに記載されたすべての規格に対する出力タイミングは、常に C_L が 0 であることを前提としています。また、すべての計測でハイ インピーダンス プローブ (1pF 未満) が使用されます。これらの計測値からテストベンチによる遅延が差し引かれ、スピード ファイルおよびデータシートの最終的なタイミング値が算出されます。

IBIS モデルを使用したアプリケーションでの負荷条件のシミュレーション

IBIS モデルを使用してシミュレーションを実行すると、タイミング遅延を最も正確に予測できます。IBIS モデルでのパラメータ (V_{REF} 、 R_{REF} 、および V_{MEAS}) は、表 94 で使用されているパラメータ (V_T 、 R_T 、および V_M) に直接対応します。IBIS モデルの V_{REF} (終端電圧) と表に記載されている V_{REF} (入力スイッチしきい値) は異なることに注意してください。4 番目のパラメータ C_{REF} は常に 0 です。これら 4 つのパラメータによって、関連す

るすべての出力テスト条件を示します。IBIS モデルは、ザイリンクス開発ソフトウェアおよび次のリンクから入手可能です。

<http://japan.xilinx.com/support/download/index.htm>

アプリケーションの遅延は、負荷条件に従って次のようにシミュレーションします。

- 出力ドライバを図 73 に示すテスト設定に接続し、必要な信号規格のシミュレーションを実行します。表 94 に記載されている V_T 、 R_T 、および V_M のパラメータ値を使用します。 C_{REF} は 0 です。
- V_M への時間を記録します。
- 出力ドライバを負荷のある PCB トレースに接続し、同じ信号規格のシミュレーションを実行します。適切な IBIS モデル (V_{REF} 、 R_{REF} 、 C_{REF} 、および V_{MEAS} 値を含む) または負荷を表す容量値を使用します。
- V_{MEAS} への時間を記録します。
- 手順 2 および 4 の結果を比較し、遅延の増加 (または減少) を適切な出力規格調整値 (表 93) に加算 (または減算) して、PCB トレースのワースト ケース遅延を算出します。

同時スイッチ出力ガイドライン

このセクションでは、許容可能な同時スイッチ出力 (SSO) の最大数に関するガイドラインを示します。このガイドラインでは、各出力信号規格で、安全なスイッチ ノイズ レベルを保ちながら同時に同方向にスイッチ可能なユーザー I/O ピンの最大数について説明します。前述のテスト条件でこれらのガイドラインを満たすことによって、FPGA の動作におけるグラウンドおよび電源バウンスの影響を回避できます。

グラウンドおよび電源バウンスは、多数の出力が同時に同方向にスイッチする場合に発生します。すべての出力駆動トランジスタによって、同相電圧レールに電流が流れます。つまり、Low から High への遷移により V_{CCO} レールに電流が流れ、High から Low への遷移により GND レールに電流が流れます。これらが合計された過渡電流によって、ダイパッドと電源またはグラウンド リターン間にあるインダクタンスに電圧差が生じます。インダクタンスはボンディングワイヤ、パッケージ リード フレーム、およびパッケージ内のその他の信号配線によって変化します。また、PCB 上での浮遊インダクタンスおよびレシーバでの容量負荷によっても SSO ノイズ レベルは変動します。SSO により発生するすべての電圧は、内部スイッチ ノイズ マージン、そして信号の質に影響を及ぼします。

表 95 および表 96 に、基本的な SSO ガイドラインを示します。表 95 にはデバイス/パッケージの各組み合わせに対する V_{CCO} /

GND ペア数、表 96 には各出力信号規格および駆動強度に対して 1 つの I/O バンク内にある各 V_{CCO} /GND ペアで同時に同方向にスイッチ可能な最大 SSO 数を示します。表 96 は、パッケージの種類で分類されています。1 つの I/O バンク内で許容される SSO の最大数を算出するには、表 95 および表 96 から適切な値を乗算してください。SSO ガイドラインに示す値を超過すると、電源またはグラウンド バウンスの増加、シグナル インテグリティの低下、またはシステム ジッタの増加を引き起こす場合があります。

$$SSO_{MAX}/IO \text{ バンク} = \text{表 95} \times \text{表 96}$$

最大 SSO の推奨数は、FPGA がプリント基板にはんだ付けされ、その基板が適切に設計されていることを前提としています。ソケットに装着した FPGA ではソケットによるリード インダクタンスが問題となるため、SSO 値はこのような FPGA には適用されません。

QF (クワッド フラット) パッケージ (VQ、TQ、PQ) のリード インダクタンスは BGA (ボール グリッド アレイ) パッケージ (FG) よりも大きいため、許容される SSO 数は QF パッケージの方が少なくなります。CP (チップ スケール) パッケージ (CP132) の SSO 数は、QF パッケージ より多くなりますが、BGA パッケージよりは少なくなります。同時スイッチ出力が多数あるアプリケーションには、BGA パッケージの使用を推奨します。

表 95 : 各バンクの V_{CCO} /GND ペア数

デバイス	パッケージの種類 (鉛フリーを含む)							
	VQ100	CP132	TQ144	PQ208	FT256	FG320	FG400	FG484
XC3S100E	2	2	2	-	-	-	-	-
XC3S250E	2	2	2	3	4	-	-	-
XC3S500E	2	2	-	3	4	5	-	-
XC3S1200E	-	-	-	-	4	5	6	-
XC3S1600E	-	-	-	-	-	5	6	7

表 96 : V_{CCO}/GND ペアごとの同時スイッチ出力の推奨数

信号規格 (IOSTANDARD)		パッケージの種類					
		VQ 100	TQ 144	PQ 208	CP 132	FT256、 FG320、 FG400、 FG484	
シングルエンド規格							
LVTTL	Slow	2	34	20	19	52	60
		4	17	10	10	26	41
		6	17	10	7	26	29
		8	8	6	6	13	22
		12	8	6	5	13	13
		16	5	5	5	6	11
	Fast	2	17	17	17	26	34
		4	9	9	9	13	20
		6	7	7	7	13	15
		8	6	6	6	6	12
		12	5	5	5	6	10
		16	5	5	5	5	9
LVCMOS33	Slow	2	34	20	20	52	76
		4	17	10	10	26	46
		6	17	10	7	26	27
		8	8	6	6	13	20
		12	8	6	5	13	13
		16	5	5	5	6	10
	Fast	2	17	17	17	26	44
		4	8	8	8	13	26
		6	8	6	6	13	16
		8	6	6	6	6	12
		12	5	5	5	6	10
		16	8	8	5	5	8
LVCMOS25	Slow	2	28	16	16	42	76
		4	13	10	10	19	46
		6	13	7	7	19	33
		8	6	6	6	9	24
		12	6	6	6	9	18
	Fast	2	17	16	16	26	42
		4	9	9	9	13	20
		6	9	7	7	13	15
		8	6	6	6	6	13
		12	5	5	5	6	11

表 96 : V_{CCO}/GND ペアごとの同時スイッチ出力の推奨数 (続き)

信号規格 (IOSTANDARD)			パッケージの種類				
			VQ 100	TQ 144	PQ 208	CP 132	FT256、 FG320、 FG400、 FG484
LVCMOS18	Slow	2	19	11	8	29	64
		4	13	7	6	19	34
		6	6	5	5	9	22
		8	6	4	4	9	18
	Fast	2	13	8	8	19	36
		4	8	5	5	13	21
		6	4	4	4	6	13
		8	4	4	4	6	10
LVCMOS15	Slow	2	16	10	10	19	55
		4	8	7	7	9	31
		6	6	5	5	9	18
	Fast	2	9	9	9	13	25
		4	7	7	7	7	16
		6	5	5	5	5	13
LVCMOS12	Slow	2	17	11	11	16	55
	Fast	2	10	10	10	10	31
PCI33_3			8	8	8	16	16
PCI66_3			8	8	8	13	13
PCIX			7	7	7	11	11
HSTL_I_18			10	10	10	16	17
HSTL_III_18			10	10	10	16	16
SSTL18_I			9	9	9	15	15
SSTL2_I			12	12	12	18	18
差動規格 (I/O ペアまたはチャネル数)							
LVDS_25			6	6	6	12	20
BLVDS_25			4	4	4	4	4
MINI_LVDS_25			6	6	6	12	20
LVPECL_25			入力のみ				
RSDS_25			6	6	6	12	20
DIFF_HSTL_I_18			5	5	5	8	8
DIFF_HSTL_III_18			5	5	5	8	8
DIFF_SSTL18_I			4	4	4	7	7
DIFF_SSTL2_I			6	6	6	9	8

メモ :

- この表に示す推奨値は、適切なボード レイアウトを前提としています。ここで、各 V_{CCO} および GND ピンの PCB トレースとランドインダクタンスの合計は 1.0nH、レシーバの容量負荷は 15pF です。テストの制限は、各 I/O 規格の V_{IL}/V_{IH} 電圧の制限です。
- PQ208 の結果は、通常のプリント基板にはんだ付けされた PQ208 パッケージでの物理的な測定値です。その他の結果は、ワーストケースのシミュレーションおよび PQ208 の物理結果を補間したものにに基づいています。
- 1 つのバンクにある I/O に複数の信号規格を割り当てる場合、WASSO (Weighted Average SSO) の算出については、アプリケーション ノート [XAPP689](#) 『大規模 FPGA のグラウンド バウンスの管理』を参照してください。

コンフィギャブル ロジック ブロック (CLB) のタイミング

表 97 : CLB (SLICEM) のタイミング

シンボル	説明	スピード グレード				単位
		-5		-4		
		最小	最大	最小	最大	
Clock-to-Output タイム						
T _{CKO}	FFX (FFY) フリップフロップから読み出す場合、CLK 入力のアクティブ エッジから XQ (YQ) 出力にデータが出力されるまでの時間	-	0.52	-	0.60	ns
セットアップ タイム						
T _{AS}	CLB の CLK 入力のアクティブ エッジまでに、F または G 入力でデータが安定していなければならない時間	0.46	-	0.52	-	ns
T _{DICK}	CLB の CLK 入力のアクティブ エッジまでに、BX または BY でデータが安定していなければならない時間	0.32	-	0.36	-	ns
ホールド タイム						
T _{AH}	CLK 入力のアクティブ エッジから、F または G 入力でデータを保持しておかなければならない時間	0	-	0	-	ns
T _{CKDI}	CLK 入力のアクティブ エッジから、BX または BY 入力でデータを保持しておかなければならない時間	0	-	0	-	ns
クロック タイミング						
T _{CH}	CLB の CLK 信号の High パルス幅	0.70	-	0.80	-	ns
T _{CL}	CLK 信号の Low パルス幅	0.70	-	0.80	-	ns
F _{TOG}	トグル周波数 (エクスポート制御用)	0	657	0	572	MHz
伝搬時間						
T _{ILO}	データが CLB の F (G) 入力から X (Y) 出力に到達するまでの時間	-	0.66	-	0.76	ns
セット/リセット パルス幅						
T _{RPW_CLB}	CLB の SR 入力の High または Low パルスの最小幅	1.57	-	1.80	-	ns

メモ :

- この表に記載されている値は、表 76 に示す条件に基づいています。

表 98 : CLB 分散 RAM のスイッチ特性

シンボル	説明	-5		-4		単位
		最小	最大	最小	最大	
Clock-to-Output タイム						
T _{SHCKO}	CLK 入力のアクティブ エッジから分散 RAM にデータが出力されるまでの時間	-	2.05	-	2.35	ns
セットアップ タイム						
T _{DS}	分散 RAM の CLK 入力のアクティブ エッジまでに、BX または BY 入力でデータが安定していなければならない時間	0.40	-	0.46	-	ns
T _{AS}	分散 RAM の CLK 入力のアクティブ エッジまでに、F/G アドレス入力が安定していなければならない時間	0.46	-	0.52	-	ns
T _{WS}	分散 RAM の CLK 入力のアクティブ エッジまでに、ライト イネーブル入力が安定していなければならない時間	0.34	-	0.40	-	ns
ホールド タイム						
T _{DH}	分散 RAM の CLK 入力のアクティブ エッジから、BX または BY データ入力でデータを保持しておかなければならない時間	0.13	-	0.15	-	ns
T _{AH} , T _{WH}	分散 RAM の CLK 入力のアクティブ エッジから、F/G アドレス入力またはライト イネーブル入力でデータを保持しておかなければならない時間	0	-	0	-	ns
クロック パルス幅						
T _{WPH} , T _{WPL}	CLK 入力における High または Low パルスの最小幅	0.88	-	1.01	-	ns

表 99 : CLB シフト レジスタのスイッチ特性

シンボル	説明	-5		-4		単位
		最小	最大	最小	最大	
Clock-to-Output タイム						
T _{REG}	CLK 入力のアクティブ エッジからシフト レジスタ出力にデータが出力されるまでの時間	-	3.62	-	4.16	ns
セットアップ タイム						
T _{SRLDS}	シフト レジスタの CLK 入力のアクティブ エッジまでに、BX または BY 入力でデータが安定していなければならない時間	0.41	-	0.46	-	ns
ホールド タイム						
T _{SRLDH}	シフト レジスタの CLK 入力のアクティブ エッジから、BX または BY 入力でデータを保持しておかなければならない時間	0.14	-	0.16	-	ns
クロック パルス幅						
T _{WPH} , T _{WPL}	CLK 入力における High または Low パルスの最小幅	0.88	-	1.01	-	ns

クロック バッファ / マルチプレクサのスイッチ特性

表 100：クロック分配のスイッチ特性

説明	シンボル	最大		単位
		スピード グレード		
		-5	-4	
グローバル クロック バッファ (BUFG、BUFGMUX、BUFGCE) の I 入力から O 出力までの遅延	T _{GIO}	1.46	1.46	ns
グローバル クロック マルチプレクサ (BUFGMUX) のセレクト入力 (S) の I0 および I1 入力に対するセットアップ タイム (BUFGCE の CE イネーブル入力と同様)	T _{GSI}	0.55	0.63	ns
グローバル バッファに分配された信号の最大周波数	F _{BUFG}	333	311	MHz

18 X 18 エンベデッド乗算器のタイミング

表 101: 18 X 18 エンベデッド乗算器のタイミング

シンボル	説明	スピード グレード				単位
		-5		-4		
		最小	最大	最小	最大	
組み合わせ遅延						
T _{MULT}	18 ビット入力および 36 ビットの製品 (AREG、BREG および PREG レジスタ未使用) の場合の A および B 入力から P 出力までの組み合わせ乗算伝搬遅延	-	4.34 ⁽¹⁾	-	4.88 ⁽¹⁾	ns
Clock-to-Output タイム						
T _{MSCKP_P}	PREG レジスタ ⁽²⁾ を使用する場合、CLK 入力のアクティブ エッジから P 出力に有効なデータが出力されるまでの Clock-to-Output 遅延	-	0.98	-	1.10	ns
T _{MSCKP_A} T _{MSCKP_B}	AREG または BREG レジスタ ⁽³⁾ を使用する場合、CLK 入力のアクティブ エッジから P 出力に有効なデータが出力されるまでの Clock-to-Output 遅延	-	4.42	-	4.97	ns
セットアップ タイム						
T _{MSDCK_P}	PREG 出力レジスタのみを使用する場合 (AREG、BREG レジスタは未使用) ⁽²⁾ 、CLK のアクティブ エッジ前の A または B 入力でデータが安定していなければならない時間	3.54	-	3.98	-	ns
T _{MSDCK_A}	AREG 入力レジスタ ⁽³⁾ を使用する場合、CLK のアクティブ エッジ前の A 入力でデータが安定していなければならない時間	0.20	-	0.23	-	ns
T _{MSDCK_B}	BREG 入力レジスタ ⁽³⁾ を使用する場合、CLK のアクティブ エッジ前の B 入力でデータが安定していなければならない時間	0.35	-	0.39	-	ns
ホールド タイム						
T _{MSCKD_P}	PREG 出力レジスタのみを使用する場合 (AREG、BREG レジスタは未使用) ⁽²⁾ 、CLK のアクティブ エッジ後の A または B 入力でデータを保持しておかなければならない時間	-0.97	-	-0.97	-	ns
T _{MSCKD_A}	AREG 入力レジスタ ⁽³⁾ を使用する場合、CLK のアクティブ エッジ後の A 入力でデータを保持しておかなければならない時間	0.03	-	0.04	-	ns
T _{MSCKD_B}	BREG 入力レジスタ ⁽³⁾ を使用する場合、CLK のアクティブ エッジ後の B 入力でデータを保持しておかなければならない時間	0.04	-	0.05	-	ns
クロック周波数						
F _{MULT}	AREG および BREG 入力レジスタと PREG 出力レジスタ ⁽¹⁾ を使用する 2 ステージ 18 X 18 乗算器の内部動作周波数	0	270	0	240	MHz

メモ:

- 18 ビット未満の入力データを乗算する場合、組み合わせ遅延は減少し、パイプラインのパフォーマンスは向上します。
- PREG レジスタは、通常シングル ステージおよび 2 ステージのパイプライン乗算インプリメンテーションの両方で使用されます。
- 入力レジスタ AREG および BREG は、通常 2 ステージ乗算器を推論する際に使用されます。

ブロック RAM のタイミング

表 102: ブロック RAM のタイミング

シンボル	説明	スピード グレード				単位
		-5		-4		
		最小	最大	最小	最大	
Clock-to-Output タイム						
T _{BCKO}	ブロック RAM から読み出す場合、CLK 入力のアクティブ エッジから DOUT 出力にデータが出力されるまでの時間	-	2.45	-	2.82	ns
セットアップ タイム						
T _{BACK}	ブロック RAM の CLK 入力のアクティブ エッジまでに、ADDR 入力でデータが安定していなければならない時間	0.33	-	0.38	-	ns
T _{BDCK}	ブロック RAM の CLK 入力のアクティブ エッジまでに、DIN 入力でデータが安定していなければならない時間	0.23	-	0.23	-	ns
T _{BECK}	ブロック RAM の CLK 入力のアクティブ エッジまでに、EN 入力でデータが安定していなければならない時間	0.67	-	0.77	-	ns
T _{BWCK}	ブロック RAM の CLK 入力のアクティブ エッジまでに、WE 入力でデータが安定していなければならない時間	1.09	-	1.26	-	ns
ホールド タイム						
T _{BCKA}	CLK 入力のアクティブ エッジから、ADDR 入力でデータを保持しておかなければならない時間	0.12	-	0.14	-	ns
T _{BCKD}	CLK 入力のアクティブ エッジから、DIN 入力でデータを保持しておかなければならない時間	0.12	-	0.13	-	ns
T _{BCKE}	CLK 入力のアクティブ エッジから、EN 入力でデータを保持しておかなければならない時間	0	-	0	-	ns
T _{BCKW}	CLK 入力のアクティブ エッジから、WE 入力でデータを保持しておかなければならない時間	0	-	0	-	ns
クロック タイミング						
T _{BPWH}	CLK 信号の High パルス幅	1.39	-	1.59	-	ns
T _{BPWL}	CLK 信号の Low パルス幅	1.39	-	1.59	-	ns
クロック周波数						
F _{BRAM}	ブロック RAM クロック周波数。シフト レジスタおよび循環バッファでは、RAM に書き込まれる出力値を読み出します。書き込みのみまたは読み出しのみの操作の方が高速です。	0	270	0	230	MHz

メモ:

- この表に記載されている値は、表 76 に示す条件に基づいています。

デジタル クロック マネージャ (DCM) のタイミング

DCM は、遅延ロック ループ (DLL)、デジタル周波数合成 (DFS)、位相シフト (PS) の 3 つのコンポーネントで構成されます。

すべての DCM アプリケーションで、DLL 機能が使用されます。これらのアプリケーションでは、CLKIN および CLK0 または CLK2X に接続した CLKFB フィードバック入力を使用します。DLL 仕様の表 (表 103 および表 104) に記載されている値は、DLL コンポーネントのみを使用する任意のアプリケーションに適用されます。DLL と共に DFS または PS コンポーネントを使用する場合は、DFS および PS の表 (表 105 ~ 表 108) を使用します。表 103 および表 104 には、DFS または PS 機能を使用した場合でも変更のない DLL 仕様を示します。

周期ジッタおよびサイクル間ジッタは、クロック ジッタの特性を評価する方法の 1 つです。これらの仕様は、平均値からの統計的な偏差を示します。

周期ジッタは、多数のサンプルにおける理想的なクロック周期からのワースト ケース偏差です。周期ジッタのヒストグラムでは、平均値がクロック周期となります。

サイクル間ジッタは、連続するクロック サイクル間におけるクロック周期のワースト ケース差異です。サイクル間ジッタのヒストグラムでは、平均値は 0 となります。

遅延ロック ループ (DLL)

表 103 : DLL の推奨動作条件

シンボル		説明				スピード グレード				単位
						-5		-4		
						最小	最大	最小	最大	
入力周波数範囲										
F _{CLKIN}	CLKIN_FREQ_DLL	CLKIN クロック 入力の周波数	ステッピング 0	XC3S100E XC3S250E XC3S500E XC3S1600E	N/A	N/A	5 ⁽²⁾	90 ⁽³⁾	MHz	
				XC3S1200E ⁽³⁾				200 ⁽³⁾	MHz	
			ステッピング 1	すべて	5 ⁽²⁾	275 ⁽³⁾	240 ⁽³⁾	MHz		
入力パルス要件										
CLKIN_PULSE		CLKIN 周期に 対するパルス幅 (%)	F _{CLKIN} ≤ 150 MHz		40%	60%	40%	60%	-	
			F _{CLKIN} > 150 MHz		45%	55%	45%	55%	-	
入力クロック ジッタ耐性および遅延パス偏差 ⁽⁴⁾										
CLKIN_CYC_JITT_DLL_LF		CLKIN 入力での サイクル間 ジッタ	F _{CLKIN} ≤ 150 MHz		-	±300	-	±300	ps	
CLKIN_CYC_JITT_DLL_HF			F _{CLKIN} > 150 MHz		-	±150	-	±150	ps	
CLKIN_PER_JITT_DLL		CLKIN 入力での周期ジッタ			-	±1	-	±1	ns	
CLKFB_DELAY_VAR_EXT		DCM 出力から CLKFB 入力までの オフチップ フィードバック遅延に許容される偏差			-	±1	-	±1	ns	

メモ :

- DLL 仕様は、DLL 出力 (CLK0、CLK90、CLK180、CLK270、CLK2X、CLK2X180 または CLKDV) を使用する場合に適用されます。
- DFS を DLL から独立させて使用する場合、FCLKIN をより低い周波数に設定できます。表 105 を参照してください。
- 有効な FCLKIN の制限値を 2 倍にするには、CLKIN_DIVIDE_BY_2 属性を TRUE に設定してください。この属性により、クロック周期が DCM に入力されるときに 2 で分周されます。CLKIN 入力に供給されたクロック周波数が CLK2X 出力で再生成されます。
- CLKIN 入力ジッタが制限値を超えると、DCM のロックが解除される場合があります。

表 104 : DLL のスイッチ特性

シンボル	説明		デバイス	スピード グレード				単位
				-5		-4		
				最小	最大	最小	最大	
出力周波数範囲								
CLKOUT_FREQ_CLK0	CLK0 および CLK180 出力の周波数	ステッピング 0	XC3S100E XC3S250E XC3S500E XC3S1600E XC3S1200E	N/A	N/A	5	90	MHz
		ステッピング 1	すべて	5	275		200	MHz
		ステッピング 0	すべて	5	275		240	MHz
CLKOUT_FREQ_CLK90	CLK90 および CLK270 出力の周波数	ステッピング 0	XC3S100E XC3S250E XC3S500E XC3S1600E XC3S1200E	N/A	N/A	5	90	MHz
		ステッピング 1	すべて	5	200		167	MHz
		ステッピング 0	すべて	5	200		200	MHz
CLKOUT_FREQ_2X	CLK2X および CLK2X180 出力の周波数	ステッピング 0	XC3S100E XC3S250E XC3S500E XC3S1600E XC3S1200E	N/A	N/A	10	180	MHz
		ステッピング 1	すべて	10	333		311	MHz
		ステッピング 0	すべて	10	333		311	MHz
CLKOUT_FREQ_DV	CLKDV 出力の周波数	ステッピング 0	XC3S100E XC3S250E XC3S500E XC3S1600E XC3S1200E	N/A	N/A	0.3125	60	MHz
		ステッピング 1	すべて	0.3125	183		133	MHz
		ステッピング 0	すべて	0.3125	183		160	MHz
出力クロック ジッタ(2, 3, 4)								
CLKOUT_PER_JITT_0	CLK0 出力での周期ジッタ	すべて	-	±100	-	±100	ps	
CLKOUT_PER_JITT_90	CLK90 出力での周期ジッタ		-	±150	-	±150	ps	
CLKOUT_PER_JITT_180	CLK180 出力での周期ジッタ		-	±150	-	±150	ps	
CLKOUT_PER_JITT_270	CLK270 出力での周期ジッタ		-	±150	-	±150	ps	
CLKOUT_PER_JITT_2X	CLK2X および CLK2X180 出力での周期ジッタ		-	±[CLKIN 周期の 1% + 150]	-	±[CLKIN 周期の 1% + 150]	ps	
CLKOUT_PER_JITT_DV1	分周値が整数である場合の CLKDV 出力での周期ジッタ		-	±150	-	±150	ps	
CLKOUT_PER_JITT_DV2	分周値が整数ではない場合の CLKDV 出力での周期ジッタ		-	±[CLKIN 周期の 1% + 200]	-	±[CLKIN 周期の 1% + 200]	ps	
デューティ サイクル(4)								
CLKOUT_DUTY_CYCLE_DLL	CLK0、CLK90、CLK180、CLK270、CLK2X、CLK2X180、CLKDV 出力のデューティ サイクル偏差 (BUFGMUX およびクロック ツリーデューティ サイクルのずれを含む)	すべて	-	±[CLKIN 周期の 1% + 400]	-	±[CLKIN 周期の 1% + 400]	ps	

表 104 : DLL のスイッチ特性 (続き)

シンボル	説明		デバイス	スピード グレード				単位
				-5		-4		
				最小	最大	最小	最大	
位相調整 ⁽⁴⁾								
CLKIN_CLKFB_PHASE	CLKIN と CLKFB 入力間の位相オフセット		すべて	-	±200	-	±200	ps
CLKOUT_PHASE_DLL	DLL 出力間の位相 オフセット	CLK0 から CLK2X (CLK2X180 では ない)		-	±[CLKIN 周期の 1% + 100]	-	±[CLKIN 周期の 1% + 100]	ps
		その他		-	±[CLKIN 周期の 1% + 200]	-	±[CLKIN 周期の 1% + 200]	ps
ロック時間								
LOCK_DLL ⁽³⁾	DLL を単独で使用する場 合、DCM リセット入力か ディアサートされてから LOCKED 出力の立ち上が りまでの時間。DCM が ロックされると、CLKIN およびCLKFB 信号は同位 相になります。	5 MHz ≤ F _{CLKIN} ≤ 15 MHz	すべて	-	5	-	5	ms
		F _{CLKIN} > 15 MHz	-	600	-	600	μs	
遅延ライン								
DCM_DELAY_STEP	最小遅延解像度		すべて	20	40	20	40	ps

メモ :

- この表に記載されている値は、表 76 および表 103 に示す条件に基づいています。
- DCM によって CLKIN 入力のジッタに追加される出力ジッタの最大値を示します。
- ジッタ耐性を最適にし、ロックされるまでの時間を短縮するには、CLKIN_PERIOD 属性を使用してください。
- ジッタおよびデューティ サイクル仕様には、入力クロック周期の 1% または 0.01UI が含まれるものがあります。
例 : データシートには最大ジッタは ±[CLKIN 周期の 1% + 150] と記載されています。CLKIN の周波数を 100MHz とすると、CLKIN の周期は 10ns で、10ns の 1% は 0.1ns または 100ps です。つまり、最大ジッタは ±[100ps + 150ps] = ±250ps となります。

デジタル周波数合成 (DFS)

表 105 : DFS の推奨動作条件

シンボル		説明		スピード グレード				単位
				-5		-4		
				最小	最大	最小	最大	
入力周波数範囲 ⁽²⁾								
F _{CLKIN}	CLKIN_FREQ_FX	CLKIN 入力の周波数		0.200	333	0.200	333	MHz
入力クロック ジッタ耐性 ⁽³⁾								
CLKIN_CYC_JITT_FX_LF	CLKFX 出力周波数に基づく CLKIN 入力でのサイクル間 ジッタ	F _{CLKFX} ≤ 150MHz		-	±300	-	±300	ps
CLKIN_CYC_JITT_FX_HF		F _{CLKFX} > 150MHz		-	±150	-	±150	ps
CLKIN_PER_JITT_FX	CLKIN 入力での周期ジッタ			-	±1	-	±1	ns

メモ :

- DFS 仕様は、DFS 出力 (CLKFX または CLKFX180) を使用する場合に適用されます。
- 1 つの DCM で DFS および DLL 出力が同時に使用される場合、表 103 に示す CLKIN_FREQ_DLL 仕様に従ってください。
- CLKIN 入力ジッタが制限値を超えると、DCM のロックが解除される場合があります。

表 106 : DFS のスイッチ特性

シンボル	説明	デバイス	スピード グレード				単位	
			-5		-4			
			最小	最大	最小	最大		
出力周波数範囲								
CLKOUT_FREQ_FX_LF	CLKFX および CLKFX180 出力の周波数 (低周波数)	ステッピング 0 XC3S100E XC3S250E XC3S500E XC3S1600E	N/A	N/A	5	90	MHz	
CLKOUT_FREQ_FX_HF	CLKFX および CLKFX180 出力の周波数 (高周波数)				220	307	MHz	
CLKOUT_FREQ_FX	CLKFX および CLKFX180 出力の周波数	ステッピング 0 XC3S1200E			5	333	5	307
		ステッピング 1 すべて	311	MHz				
出力クロック ジッタ ^(2, 3)								
CLKOUT_PER_JITT_FX	CLKFX および CLKFX180 出力での周期ジッタ		すべて	標準	最大	標準	最大	
		CLKIN ≤ 20 MHz		Spartan-3A ジッタ カリキュレータを使用 japan.xilinx.com/support/documentation/data_sheets/s3a_jitter_calc.zip				ps
		CLKIN > 20 MHz		±[CLK FX 周 期の 1% + 100]	±[CLK FX 周 期の 1% + 200]	±[CLK FX 周 期の 1% + 100]	±[CLK FX 周 期の 1% + 200]	ps
デューティ サイクル ^(4, 5)								
CLKOUT_DUTY_CYCLE_FX	CLKFX および CLKFX180 出力のデューティ サイクル精度 (BUFGMUX およびクロック ツリー デューティ サイクルのずれを含む)	すべて	-	±[CLK FX 周 期の 1% + 400]	-	±[CLK FX 周 期の 1% + 400]	ps	
位相調整 ⁽⁵⁾								
CLKOUT_PHASE_FX	DFS の CLKFX 出力と DLL の CLK0 出力間の位相オフセット (DFS と DLL が両方とも使用されている場合)	すべて	-	± 200	-	± 200	ps	
CLKOUT_PHASE_FX180	DFS の CLKFX180 出力と DLL の CLK0 出力間の位相オフセット (DFS と DLL が両方とも使用されている場合)	すべて	-	±[CLK FX 周 期の 1% + 300]	-	±[CLK FX 周 期の 1% + 300]	ps	

表 106 : DFS のスイッチ特性 (続き)

シンボル	説明	デバイス	スピード グレード				単位	
			-5		-4			
			最小	最大	最小	最大		
ロック時間								
LOCK_FX ⁽²⁾	DCM リセット入力のディ アサートから LOCKED 出 力がアサートされるまでの 時間。CLKFX および CLKFX180 信号が有効な 場合、DFS によって LOCKED がアサートされ ます。DLL および DFS の 両方を使用する場合は、 ロック時間を長くしてくだ さい。	5 MHz ≤ F _{CLKIN} ≤ 15MHz	すべて	-	5	-	5	ms
		F _{CLKIN} > 15MHz		-	450	-	450	μs

メモ :

- この表に記載されている値は、表 76 および表 105 に示す条件に基づいています。
- ジッタ耐性を最適にし、ロックされるまでの時間を短縮するには、CLKIN_PERIOD 属性を使用してください。
- 最大出力ジッタは、適度なノイズ環境の範囲 (40 個の SSO および 25% CLB スイッチング) で特性評価されています。出力ジッタは環境 (SSO の数、出力駆動強度、CLB の使用、CLB スイッチング動作、スイッチング周波数、電力供給、PCB デザインを含む) に強く依存しています。実際の最大出力ジッタはシステム アプリケーションによって異なります。
- CLKFX および CLKFX180 出力のデューティ サイクルは常に約 50% となります。
- デューティ サイクルおよびアライメント仕様には、CLKFX 出力周期の 1% または 0.01UI が含まれるものがあります。
例：データシートには最大ジッタは $\pm[\text{CLKFX 周期の } 1\% + 300]$ と記載されています。CLKFX の周波数を 100MHz とすると、CLKFX の周期は 10ns で、10ns の 1% は 0.1ns または 100ps です。つまり、最大ジッタは $\pm[100\text{ps} + 300\text{ps}] = \pm 400\text{ps}$ となります。

位相シフト (PS)

表 107 : 可変位相モードでの PS の推奨動作条件

シンボル	説明	スピード グレード				単位
		-5		-4		
		最小	最大	最小	最大	
動作周波数範囲						
PSCLK_FREQ (F _{PSCLK})	PSCLK 入力の周波数	1	167	1	167	MHz
入力パルス要件						
PSCLK_PULSE	PSCLK 周期に対するパルス幅 (%)	40%	60%	40%	60%	-

表 108 : 可変位相モードでの PS スイッチ特性

シンボル	説明		単位	
位相シフト範囲				
MAX_STEPS ⁽²⁾	CLKIN クロック周期の DCM_DELAY_STEP ステップの最大許容数。ここで、T=CLKIN クロック周期 (ns) です。CLKIN_DIVIDE_BY_2 = TRUE を使用する場合は、有効クロック周期を 2 倍にしてください。	CLKIN < 60MHz	±[INTEGER (10 ・ (T _{CLKIN} - 3 ns))]	ステップ
		CLKIN ≥ 60MHz	±[INTEGER (15 ・ (T _{CLKIN} - 3 ns))]	ステップ
FINE_SHIFT_RANGE_MIN	可変位相シフトの最小遅延	±[MAX_STEPS ・ DCM_DELAY_STEP_MIN]		ns

表 108：可変位相モードでの PS スイッチ特性

シンボル	説明		単位
FINE_SHIFT_RANGE_MAX	可変位相シフトの最大遅延	$\pm[\text{MAX_STEPS} \cdot \text{DCM_DELAY_STEP_MAX}]$	ns

メモ：

- この表に記載されている値は、表 76 および表 107 に示す条件に基づいています。
- 最大可変位相シフト範囲 MAX_STEPS は、初期位相シフトがない場合 (PHASE_SHIFT 属性が 0) のみ有効です。
- DCM_DELAY_STEP 値は、表 104 の最後の行に示します。

その他の DCM タイミング

表 109：その他の DCM タイミング

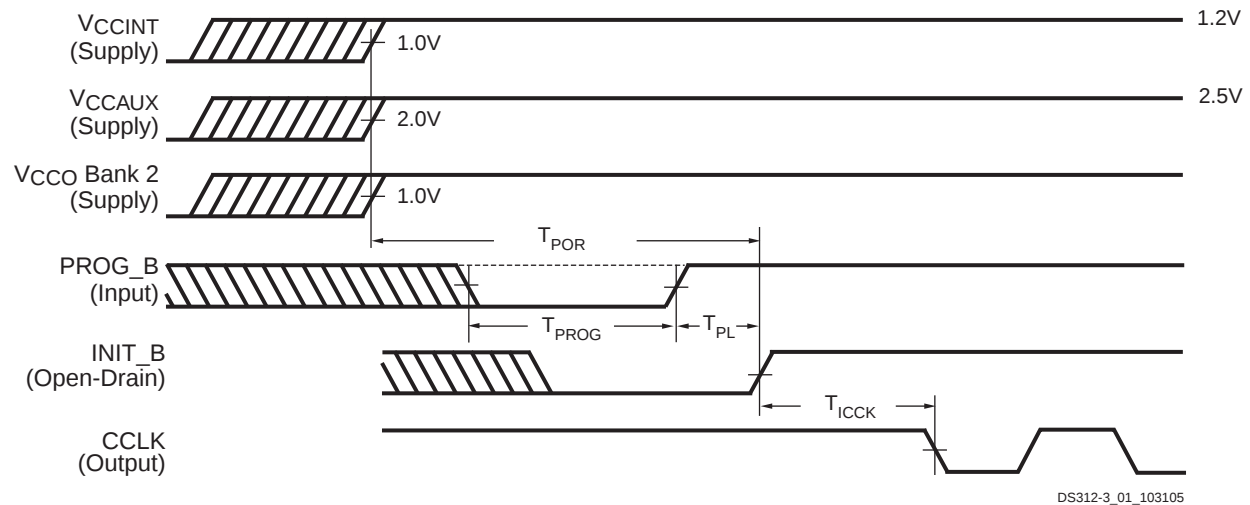
シンボル	説明	最小	最大	単位
DCM_RST_PW_MIN ⁽¹⁾	RST の最小パルス幅	3	-	CLKIN サイクル
DCM_RST_PW_MAX ⁽²⁾	RST の最大パルス幅	なし	なし	秒
		なし	なし	秒
DCM_CONFIG_LAG_TIME ⁽³⁾	V _{CCINT} が投入されてから、FPGA のコンフィギュレーションが完了し (DONE ピンが High)、DCM DLL にクロックを入力するまでの最長時間	なし	なし	分
		なし	なし	分

メモ：

- これらの制限は、DCM DLL 出力 (CLK0、CLK90、CLK180、CLK270、CLK2X、CLK2X180、および CLKDV) を使用する場合のみ適用されます。DCM DFS 出力 (CLKFX、CLKFX180) には影響ありません。
- この仕様は、Virtex-4 DCM_RESET 仕様と同等です。Spartan-3E FPGA には適用されません。
- この仕様は、Virtex-4 TCONFIG 仕様と同等です。Spartan-3E FPGA には適用されません。

コンフィギュレーションおよび JTAG のタイミング

一般的なコンフィギュレーション電源投入/リコンフィギュレーションのタイミング



メモ :

1. V_{CCINT} 、 V_{CCAUX} 、および V_{CCO} 電源の投入に指定された順序はありません。
2. 電源投入後に $PROG_B$ ピンを Low に保持しておくことはオプションですが、電源サイクルなしにリコンフィギュレーションを実行する場合は、 $PROG_B$ ピンを Low に保持しておく必要があります。
3. モード ピン ($M0 \sim M2$) の電圧レベルは、 $INIT_B$ の立ち上がりエッジでサンプリングされます。

図 74 : 電源投入時およびコンフィギュレーション開始時の波形

表 110 : 電源投入のタイミングとコンフィギュレーションの開始

シンボル	説明	デバイス	すべてのスピード グレード		単位
			最小	最大	
$T_{POR}^{(2)}$	V_{CCINT} 、 V_{CCAUX} 、 V_{CCO} バンク 2 のうち、最後の電源電圧が立ち上がってから $INIT_B$ ピンが立ち上がるまでの時間	XC3S100E	-	5	ms
		XC3S250E	-	5	ms
		XC3S500E	-	5	ms
		XC3S1200E	-	5	ms
		XC3S1600E	-	7	ms
T_{PROG}	$PROG_B$ ピンの Low パルス幅	すべて	0.5	-	μ s
$T_{PL}^{(2)}$	$PROG_B$ ピンの立ち上がり エッジから $INIT_B$ ピンが立ち上がるまでの時間	XC3S100E	-	0.5	ms
		XC3S250E	-	0.5	ms
		XC3S500E	-	1	ms
		XC3S1200E	-	2	ms
		XC3S1600E	-	2	ms
T_{INIT}	$INIT_B$ 出力の最小 Low パルス幅	すべて	250	-	ns
$T_{ICCK}^{(3)}$	$INIT_B$ ピンの立ち上がりエッジから $CCLK$ 出力ピンにコンフィギュレーション クロック信号が出力されるまでの時間	すべて	0.5	4.0	μ s

メモ :

1. この表に記載されている値は、表 76 に示す条件に基づいています。 V_{CCINT} 、 V_{CCO} 、 V_{CCAUX} ラインすべてに電源を投入する必要があります。
2. パワーオン リセットおよびコンフィギュレーション メモリの初期化はこの間に行われます。
3. この仕様は、マスタシリアル、SPI、BPI-Up、および BPI-Down モードにのみ適用されます。

コンフィギュレーション クロック (CCLK) の特性

表 111 : ConfigRate オプションの設定によるマスタ モードの CCLK 出力周期

シンボル	説明	ConfigRate の 設定	温度範囲	最小	最大	単位
T _{CCLK1}	ConfigRate の設定による CCLK クロック周期	1 (電源投入値)	コマーシャル	570	1,250	ns
			インダストリアル	485		ns
T _{CCLK3}		3	コマーシャル	285	625	ns
			インダストリアル	242		ns
T _{CCLK6}		6	コマーシャル	142	313	ns
			インダストリアル	121		ns
T _{CCLK12}		12	コマーシャル	71.2	157	ns
			インダストリアル	60.6		ns
T _{CCLK25}		25	コマーシャル	35.5	78.2	ns
			インダストリアル	30.3		ns
T _{CCLK50}		50	コマーシャル	17.8	39.1	ns
			インダストリアル	15.1		ns

メモ :

1. コンフィギュレーション ビットストリームを生成する場合は、ConfigRate オプションを設定してください。詳細は、モジュール 2 「**BitGen (Bitstream Generator) のオプション**」を参照してください。

表 112 : ConfigRate オプションの設定によるマスタ モードの CCLK 出力周波数

シンボル	説明	ConfigRate の 設定	温度範囲	最小	最大	単位
F _{CCLK1}	ConfigRate の設定による CCLK クロック周波数	1 (電源投入値)	コマーシャル	0.8	1.8	MHz
			インダストリアル		2.1	MHz
F _{CCLK3}		3	コマーシャル	1.6	3.6	MHz
			インダストリアル		4.2	MHz
F _{CCLK6}		6	コマーシャル	3.2	7.1	MHz
			インダストリアル		8.3	MHz
F _{CCLK12}		12	コマーシャル	6.4	14.1	MHz
			インダストリアル		16.5	MHz
F _{CCLK25}		25	コマーシャル	12.8	28.1	MHz
			インダストリアル		33.0	MHz
F _{CCLK50}		50	コマーシャル	25.6	56.2	MHz
			インダストリアル		66.0	MHz

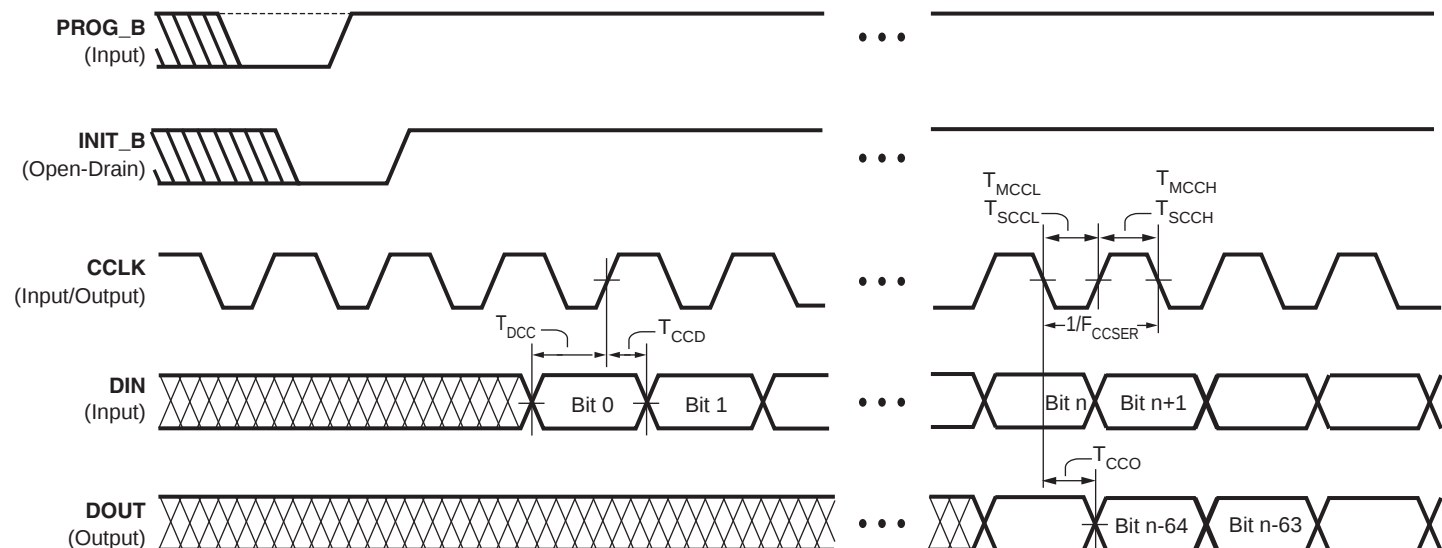
表 113 : マスタ モード CCLK 出力の最小 Low 時間および最小 High 時間

シンボル	説明	ConfigRate の設定							単位
			1	3	6	12	25	50	
T _{MCCL} 、 T _{MCCH}	マスタ モード CCLK の最小 Low および最小 High 時間	コマーシャル	276	138	69	34.5	17.1	8.5	ns
		インダストリアル	235	117	58	29.3	14.5	7.3	ns

表 114 : スレーブ モード CCLK 入力の Low 時間および High 時間

シンボル	説明	最小	最大	単位
T _{SCCL} 、 T _{SCCH}	CCLK の Low 時間および High 時間	5	∞	ns

マスタ シリアルおよびスレーブ シリアル モードのタイミング



DS312-3_05_103105

図 75： マスタおよびスレーブ シリアル コンフィギュレーションの波形

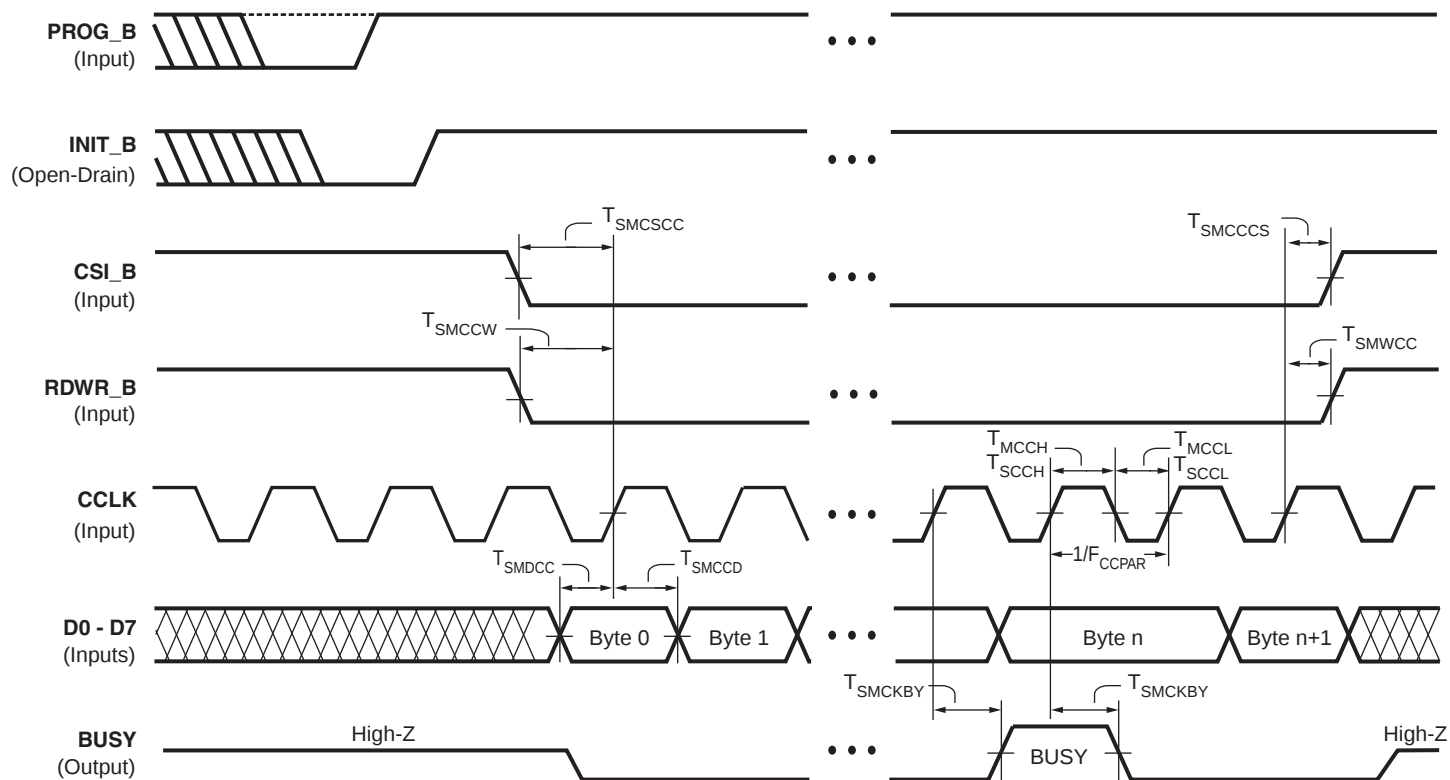
表 115： マスタおよびスレーブ シリアル コンフィギュレーション モードのタイミング

シンボル	説明	スレーブ/ マスタ	すべてのスピード グレード		単位
			最小	最大	
Clock-to-Output タイム					
T _{CCO}	CCLK ピンの立ち下がりエッジから DOUT ピンにデータが出力されるまでの時間	スレーブ/ マスタ	1.5	10.0	ns
セットアップ タイム					
T _{DCC}	CCKL ピンのアクティブ エッジまでに、DIN ピンでデータが安定していなければならない時間	スレーブ/ マスタ	11.0	-	ns
ホールド タイム					
T _{CCD}	CCLK ピンのアクティブ エッジから、DIN ピンでデータを保持しておかなければならない時間	スレーブ/ マスタ	0	-	ns
クロック タイミング					
T _{CCH}	CCLK 入力ピンでの High パルス幅	マスタ	表 113 参照		
		スレーブ	表 114 参照		
T _{CCL}	CCLK 入力ピンでの Low パルス幅	マスタ	表 113 参照		
		スレーブ	表 114 参照		
F _{CCSER}	CCLK 入力ピンでのクロック信号の周波数	スレーブ	0	66 ⁽²⁾	MHz
			0	20	MHz

メモ：

- この表に記載されている値は、表 76 に示す条件に基づいています。
- 複数の FPGA によるデジタイズ チェーンの実装の場合、最大制限値は 25MHz です。

スレーブ パラレル モードのタイミング



DS312-3_02_103105

メモ:

1. CCLK サイクルで CS_B を Low に保持し、その後のサイクルで RDWR_B を Low または High に切り替えると、コンフィギュレーションを停止できます。RDWR_B ピンは、D0 ~ D7 バスのドライバインピーダンスを非同期に制御します。RDWR_B が High の場合、D0 ~ D7 バスでの競合を回避してください。

図 76: スレーブ パラレル コンフィギュレーションの波形

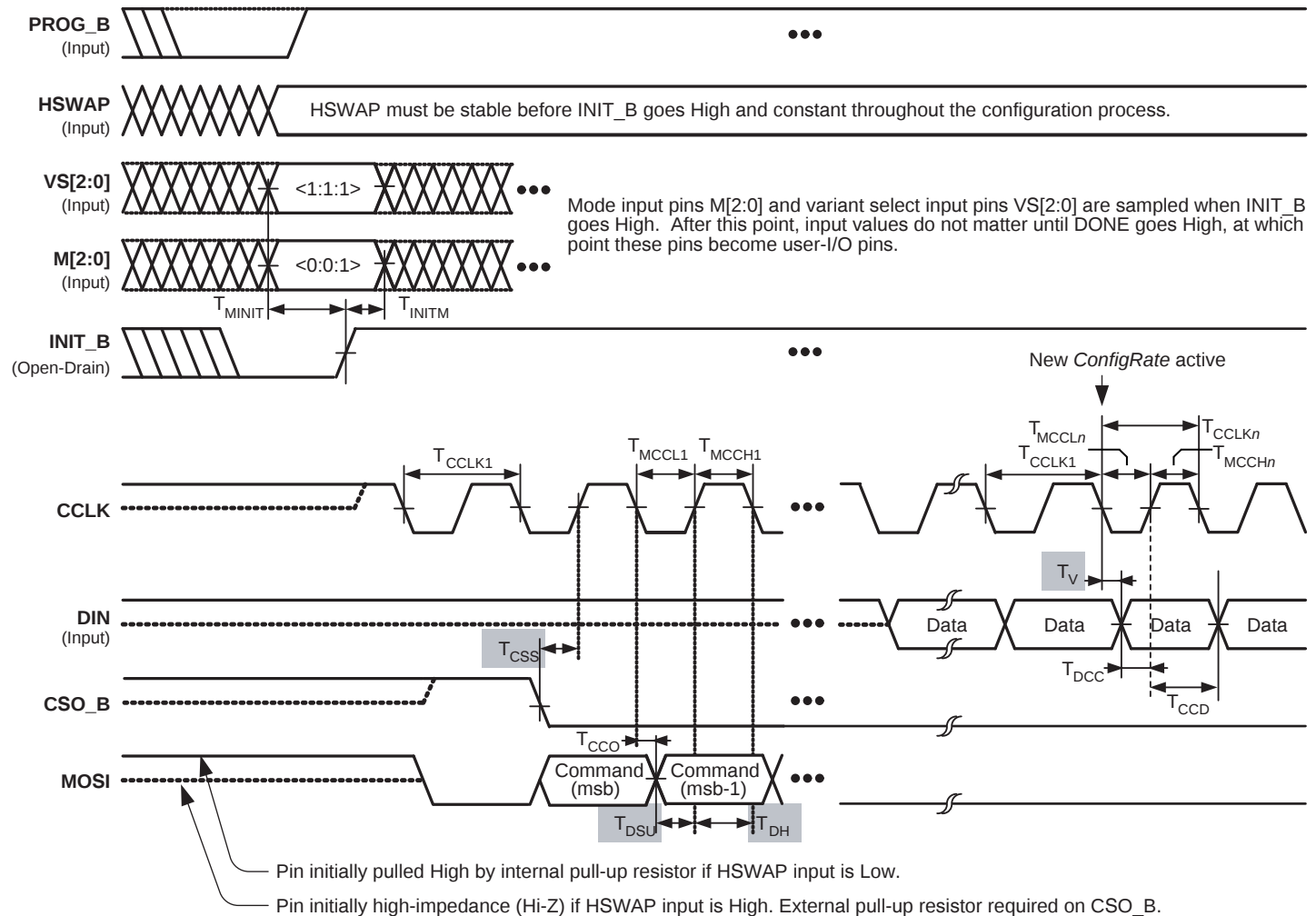
表 116 : スレーブ パラレル コンフィギュレーション モードのタイミング

シンボル	説明		すべてのスピード グレード		単位	
			最小	最大		
Clock-to-Output タイム						
T _{SMCKBY}	CCLK ピンの立ち上がりエッジから BUSY ピンで信号が遷移するまでの時間		-	12.0	ns	
セットアップ タイム						
T _{SMDCC}	CCKL ピンのアクティブ エッジまでに D0 ～ D7 ピンでデータが安定していなければならない時間		11.0	-	ns	
T _{SMCSCC}	CCKL ピンのアクティブ エッジまでに CSI_B ピンでロジック レベルが安定していなければならない時間		10.0	-	ns	
T _{SMCCW} ⁽²⁾	CCKL ピンのアクティブ エッジまでに RDWR_B ピンでロジック レベルが安定していなければならない時間		23.0	-	ns	
ホールド タイム						
T _{SMCCD}	CCLK ピンのアクティブ エッジから D0 ～ D7 ピンでデータを保持しておかなければならない時間		1.0	-	ns	
T _{SMCCCS}	CCLK ピンのアクティブ エッジから CSO_B ピンでロジック レベルを保持しておかなければならない時間		0	-	ns	
T _{SMWCC}	CCLK ピンのアクティブ エッジから RDWR_B ピンでロジック レベルを保持しておかなければならない時間		0	-	ns	
クロック タイミング						
T _{CCH}	CCLK 入力ピンでの High パルス幅		5	-	ns	
T _{CCL}	CCLK 入力ピンでの Low パルス幅		5	-	ns	
F _{CCPAR}	CCLK 入力ピンでのクロック信号の周波数	ビットストリームの圧縮を使用しない場合	BUSY ピン ⁽²⁾ を使用しない場合	0	50	MHz
			BUSY ピンを使用する場合	0	66	MHz
		ビットストリームの圧縮を使用する場合		0	20	MHz

メモ :

- この表に記載されている値は、表 76 に示す条件に基づいています。
- スレーブ パラレル モードでは、CCLK の周波数が最大仕様を超える場合、BUSY ピンを使用する必要があります。
- ザイリンクスの資料では、パラレル モードを「SelectMAP モード」と記載している場合があります。

シリアル ペリフェラル インターフェイス (SPI) コンフィギュレーションのタイミング



Shaded values indicate specifications on attached SPI Flash PROM.

ds312-3_06_110206

図 77: シリアル ペリフェラル インターフェイス (SPI) コンフィギュレーションの波形

表 117: シリアル ペリフェラル インターフェイス (SPI) コンフィギュレーション モードのタイミング

シンボル	説明	最小	最大	単位
T_{CCLK1}	初期の CCLK クロック周期		表 111 参照	
T_{CCLKn}	FPGA に ConfigRate の設定が読み込まれた後の CCLK クロック周期		表 111 参照	
T_{MINIT}	INIT_B の立ち上がりエッジに対する VS[2:0] および M[2:0] モード ピンのセットアップ タイム	50	-	ns
T_{INITM}	INIT_B の立ち上がりエッジに対する VS[2:0] および M[2:0] モード ピンのホールド タイム	0	-	ns
T_{CCO}	CCLK エッジの後、MOSI 出力が有効になるまでの時間		表 115 参照	
T_{DCC}	CCLK エッジに対する DIN データ入力のセットアップ タイム		表 115 参照	
T_{CCD}	CCLK エッジに対する DIN データ入力のホールド タイム		表 115 参照	

表 118 : 付属 SPI シリアル Flash のコンフィギュレーションのタイミング要件

シンボル	説明	要件	単位
T_{CCS}	SPI シリアル Flash PROM のチップ セレクト 時間	$T_{CCS} \leq T_{MCCL1} - T_{CC0}$	ns
T_{DSU}	SPI シリアル Flash PROM データ入力のセットアップ タイム	$T_{DSU} \leq T_{MCCL1} - T_{CC0}$	ns
T_{DH}	SPI シリアル Flash PROM データ入力のホールド タイム	$T_{DH} \leq T_{MCCH1}$	ns
T_V	SPI シリアル Flash PROM データの Clock-to-Output タイム	$T_V \leq T_{MCCLn} - T_{DCC}$	ns
f_C または f_R	SPI シリアル Flash PROM の最大クロック周波数 (特定の読み出しコマンドによって変化)	$f_C \geq \frac{1}{T_{CCLKn(min)}}$	MHz

メモ :

- これらの要件に従うと、FPGA で CCLK 周波数が供給される SPI モードで FPGA を適切にコンフィギュレーションできます。FPGA に読み込まれたアプリケーションおよびクロック ソースをサポートするため、コンフィギュレーション後のタイミングが異なる場合があります。
- アプリケーションの要件に応じて、プリント基板の配線遅延を減算してください。

BPI (Byte-wide Peripheral Interface) コンフィギュレーションのタイミング

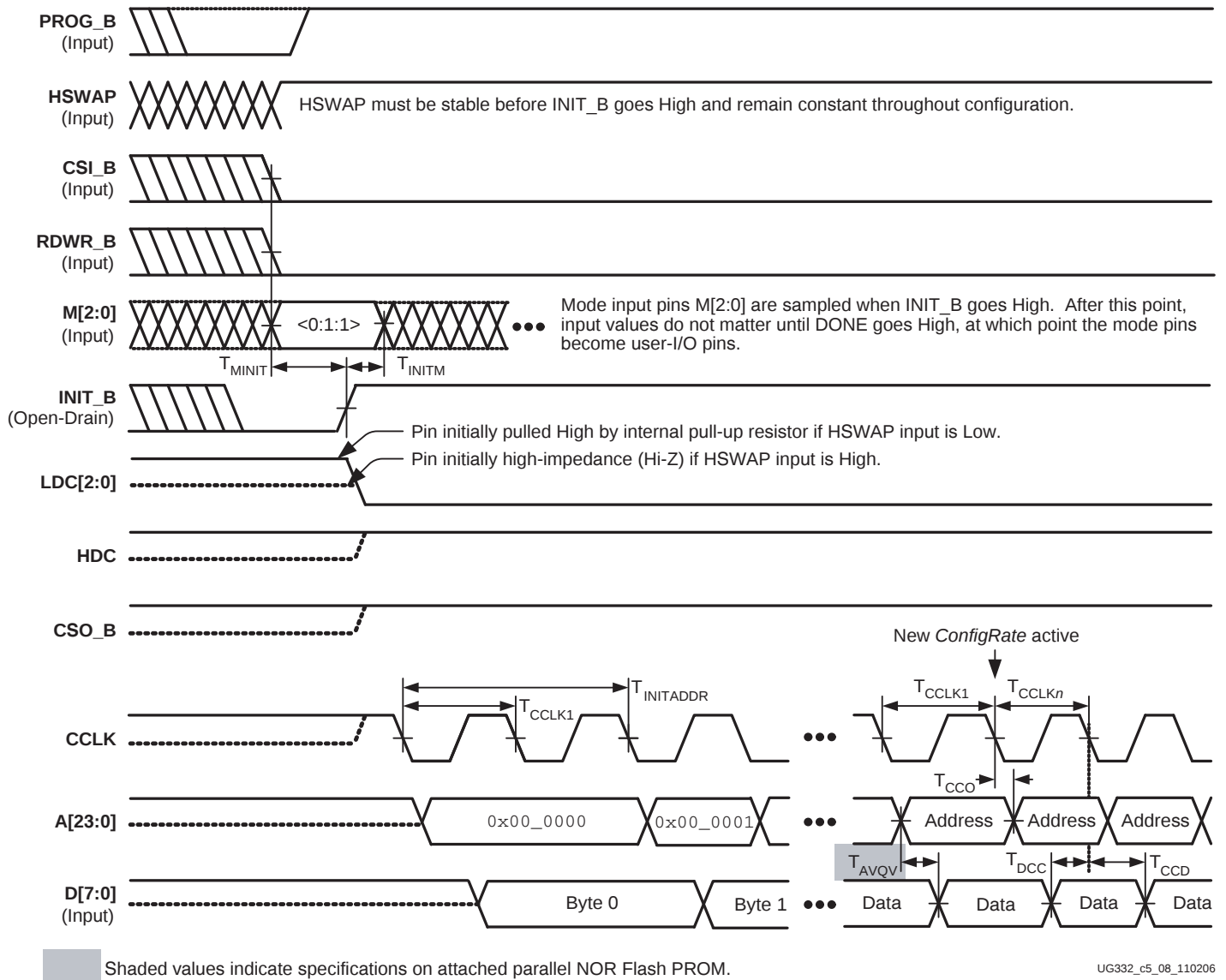


図 78 : BPI (Byte-wide Peripheral Interface) コンフィギュレーションの波形 (BPI-DN モード)

表 119: バイト ペリフェラル インターフェイス (BPI) コンフィギュレーション モード のタイミング

シンボル	説明		最小	最大	単位
T _{CCLK1}	初期の CCLK クロック周期		表 111 参照		
T _{CCLKn}	FPGA に ConfigRate の設定が読み込まれた後の CCLK クロック周期		表 111 参照		
T _{INIT}	INIT_B の立ち上がりエッジに対する CSI_B、RDWR_B、および M[2:0] モード ピンのセットアップ タイム		50	-	ns
T _{INITM}	INIT_B の立ち上がりエッジに対する CSI_B、RDWR_B、M[2:0] モード ピンのホールド タイム		0	-	ns
T _{INITADDR}	初期の A[23:0] アドレス サイクルの最小周期。LDC[2:0] および HDC はアサートされ、有効です。	BPI-UP: (M[2:0]=<0:1:0>)	5	5	T _{CCLK1} サイクル
		BPI-DN: (M[2:0]=<0:1:1>)	2	2	
T _{CCO}	CCLK の立ち上がりエッジ後にアドレス A[23:0] 出力が有効になるまでの時間		表 115 参照		
T _{DCC}	CCLK の立ち上がりエッジに対する D[7:0] データ入力のセットアップ タイム		表 115 参照		
T _{CCD}	CCLK の立ち上がりエッジに対する D[7:0] データ入力のホールド タイム		表 115 参照		

表 120: 付属パラレル NOR Flash のコンフィギュレーションのタイミング要件

シンボル	説明	必要条件	単位
T_{CE} (t_{ELQV})	パラレル NOR Flash PROM のチップ セレクト時間	$T_{CE} \leq T_{INITADDR}$	ns
T_{OE} (t_{GLQV})	パラレル NOR Flash PROM の出力 イネーブル時間	$T_{OE} \leq T_{INITADDR}$	ns
T_{ACC} (t_{AVQV})	パラレル NOR Flash PROM の読み出し アクセス時間	$T_{ACC} \leq T_{CCLKn(min)} - T_{CCO} - T_{DCC} - PCB$	ns
T_{BYTE} (t_{FLQV} , t_{FHQV})	x8/x16 PROM のみ: BYTE# から出力有効までの 時間 ⁽³⁾	$T_{BYTE} \leq T_{INITADDR}$	ns

メモ:

- これらの要件に従うと、FPGA で CCLK 周波数が供給される BPI モードで FPGA を適切にコンフィギュレーションできます。FPGA に読み込まれたアプリケーションおよびクロック ソースをサポートするため、コンフィギュレーション後のタイミングが異なる場合があります。
- アプリケーションの要件に応じて、プリント基板の配線遅延を減算してください。
- FPGA の LDC2 ピンに適切な大きさの外部プルダウン抵抗を使用すると、初期の BYTE# タイミングを延長できます。抵抗値は、FPGA の HSWAP ピンが High か Low かによっても異なります。

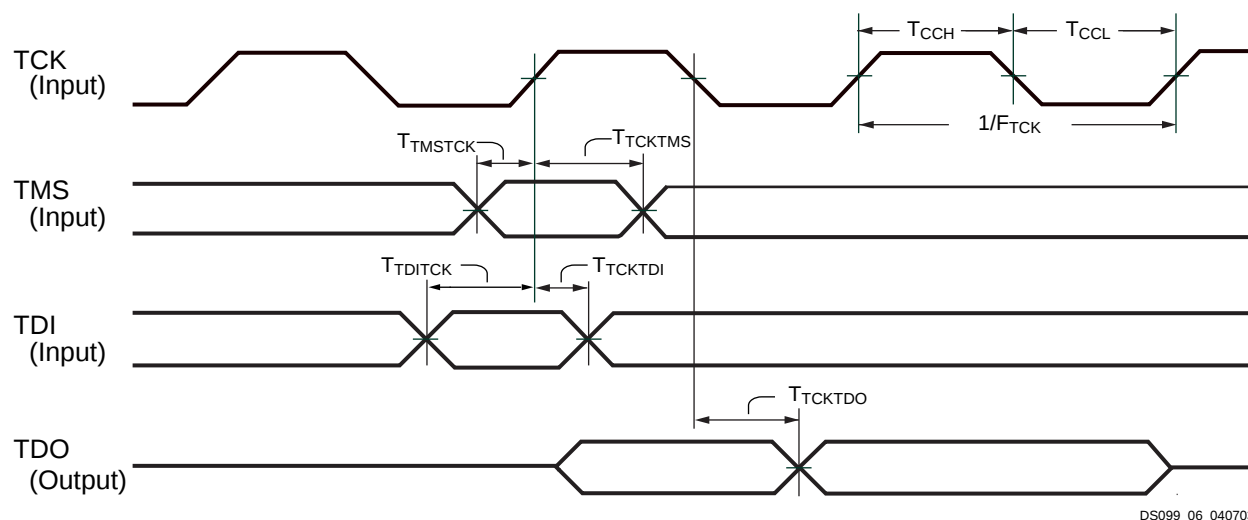
表 121: マルチブート トリガ (MBT) のタイミング

シンボル	説明	最小	最大	単位
T_{MBT}	マルチブート リコンフィギュレーションを開始するために必要なマルチ ブート トリガ (MBT) の Low パルス幅	300	∞	ns

メモ:

- マルチブートリコンフィギュレーションは、MBT が指定された最小周期の間 Low に保持された後の立ち上がりエッジで開始します。

IEEE 1149.1/1553 JTAG テスト アクセス ポートのタイミング



DS099_06_040703

図 79 : JTAG 波形

表 122 : JTAG テスト アクセス ポートのタイミング

シンボル	説明	すべてのスピード グレード		単位
		最小	最大	
Clock-to-Output タイム				
T _{TCKTDO}	TCK ピンの立ち下がりエッジから TDO ピンにデータが出力されるまでの時間	1.0	11.0	ns
セットアップ タイム				
T _{TDITCK}	TCK ピンの立ち上がりエッジまでに、TDI ピンでデータが安定していなければならない時間	7.0	-	ns
T _{TMSTCK}	TCK ピンの立ち上がりエッジまでに、TMS ピンでロジック レベルが安定していなければならない時間	7.0	-	ns
ホールド タイム				
T _{TCKTDI}	TCK ピンの立ち上がりエッジから、TDI ピンでデータを保持しておかなければならない時間	0	-	ns
T _{TCKTMS}	TCK ピンの立ち上がりエッジから、TMS ピンでロジック レベルを保持しておかなければならない時間	0	-	ns
クロック タイミング				
T _{CCH}	TCK ピンでの High パルス幅	5	-	ns
T _{CCL}	TCK ピンでの Low パルス幅	5	-	ns
F _{TCK}	TCK 信号の周波数	-	30	MHz

メモ :

- この表に記載されている値は、表 76 に示す条件に基づいています。

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	改訂内容
2005/03/01	1.0	初版リリース
2005/11/23	2.0	AC タイミング情報および DC 仕様を追加
2006/03/22	3.0	データシートのステータスを Preliminary に変更。製品デバイスのタイミング パラメータを確定。すべての Spartan-3E FPGA のスピード グレードは、表 83 に示すように、v1.21 スピード ファイルではすべて Production ステータスです。表 77 のメモ 2 をアップデート。表 85 のピン間および clock-to-output タイミングを最終特性結果に基づいてアップデート。表 86 および表 87 のシステム同期入力のセットアップタイムおよびホールドタイムを最終特性結果に基づいてアップデート。表 89 のその他の I/O タイミングをアップデート。表 90 および表 93 で、v1.21 スピード ファイルの値に置き換わる LVPECL_25、DIFF_SSTL、および DIFF_HSTL I/O 規格の調整値を追加。表 92 で、I/O のトライステートおよびセット/リセット遅延を減少。表 95 に CP132 パッケージの XC3S100E FPGA を追加。表 97 で T _{AS} スライスのフリップフロップのタイミングを 100ps 増加。表 98 の分散 RAM のタイミングおよび表 99 の SRL16 のタイミングをアップデート。表 100 で、グローバル クロックのタイミングをアップデートし、左側/右側のクロック バッファの制限を削除。表 102 のブロック RAM のタイミングをアップデート。表 103、表 104、表 105、および表 106 に、残りのステッピング 0 デバイスに対して DCM パラメータを追加、ステッピング 1 の DCM パフォーマンスを追加。表 110 に最小 INIT_B パルス幅仕様 T _{INIT} を追加。表 116 でスレーブ パラレル モードのデータ ホールド タイムを 1.0ns (T _{SMCCD}) に増加。表 103、表 104、表 105、および表 106 で XC3S1200E のステッピング 0 デバイスの DCM のパフォーマンスを向上。表 117 および表 119 のリンクを修正。表 121 にマルチブート タイミング仕様を追加。
2006/04/07	3.1	QFP パッケージの LVDS_25、MINI_LVDS_25、および RSDS_25 I/O 規格の SSO 制限をアップデート (表 96)。表 77 から混乱を招く可能性のあるメモ 2 を削除。
2006/05/19	3.2	LVC MOS33 および LVC MOS25 I/O 規格に 100mV のヒステリシスがあることを記載 (表 79 のメモ 4)。その他微修正。
2006/05/30	3.2.1	スペルミスおよびリンクの修正。
2006/11/09	3.4	絶対最大電圧を向上によって追加のオーバーシュートを許容 (表 72)。PCI および PCI-X 規格向けの推奨電圧範囲の増加 (表 79)。表 82 のメモ 2 に追記。v1.26 のスピード ファイルのタイミング仕様を向上。表 84 を追加し、すべてのデバイスが Production 仕様になった後にリリースされたスピード ファイルの履歴を記載。表 85、表 91、および表 92 に絶対最小値を追加。表 86、表 87、および表 89 に、デフォルトの IFD_DELAY_VALUE 設定に基づくピン間のセットアップ/ホールド タイミングを更新。表 88 を追加し、ソース同期の入力キャプチャ サンプル ウィンドウについて記載。モジュール 3 を Production 仕様に変更。すべてのモジュールを v3.4 に変更。
2007/03/16	3.5	90nm 製造データに基づき、I _{CCINTQ} 、I _{CCAUXQ} 、および I _{CCOQ} 仕様の静止電流制限を平均 50% 削減 (表 78)。
2007/05/29	3.6	表 73 および表 74 にステップ 0 のデバイスの HSWAP についてメモを追加。スピード ファイルの値に一致するように表 97 の t _{RPW_CLB} を更新。表 104 のステップ 1 の CLKOUT_FREQ_CLK90 を 200MHz に変更。
2008/04/18	3.7	ステッピング 0 は -4C デバイスでのみ利用可能であることを明記し、-5 仕様のステッピング 0 を削除。表 72 および表 76 に参考文献として XAPP459 を追加。表 76 に、参照最高 V _{CCO} が 3.465V (3.3V + 5%) に向上したことを記載。表 77 から最小入力キャパシタを削除。表 79 の LVC MOS および PCII/O 規格の推奨動作条件を更新。表 85、表 91 および表 92 から絶対最小値を削除し、最小値については Timing Analyzer の使用を推奨することをメモに追加。現在のスピード ファイルと一致するよう、表 86 の T _{PSFD} および T _{PHF} を更新。現在のスピード ファイルおよび CLB の同等の仕様と一致するよう、表 87 の T _{RPW_IOB} を更新。表 95 に XC3S500E VQG100 を追加。表 101 の A、B、および P レジスタで T _{MULCKID} を T _{MSCKD} に変更。表 106 の CLKOUT_PER_JITT_FX を更新。表 108 の MAX_STEPS の式を更新。図 78 および表 119 で CCLK アクティブ エッジを更新。リンクの更新。

概要

このセクションでは、Spartan®-3E FPGA のピンおよびそれらのコンポーネント パッケージ内での接続方法について説明します。

ピン タイプ

Spartan-3E FPGA のピンの多くは汎用のユーザー定義の I/O ピンですが、表 123 に示すように、機能の異なる 11 のピン タイプがあります。この表に示す各ピンの色は、後に示すパッケージのフットプリント図に示すピンの色と対応しています。

表 123 : Spartan-3E FPGA のピン タイプ

タイプ / 色コード	説明	ピン名
I/O	制限のない汎用ユーザー I/O ピンです。ほとんどのピンは、差動 I/O のペアとして使用できます。	IO IO_Lxxy_#
INPUT	制限のない汎用入力ピンです。出力構造はありません。	IP IP_Lxxy_#
DUAL	一部のコンフィギュレーション モードで使用される多目的コンフィギュレーションピンです。通常、コンフィギュレーション後はユーザー I/O として使用できます。コンフィギュレーションに使用しない場合は、I/O ピンとして動作します。多目的ピンの中には、下辺のグローバル クロック入力 (GCLK) または右側のクロック入力 (RHCLK) と共有されるものもあります。詳細は、モジュール 2 の「 コンフィギュレーション 」を参照してください。	M[2:0] HSWAP CCLK MOSI/CSI_B D[7:1] D0/DIN CSO_B RDWR_B BUSY/DOUT INIT_B A[23:20] A19/VS2 A18/VS1 A17/VS0 A[16:0] LDC[2:0] HDC
VREF	ユーザー I/O ピン、入力のためのピン、または同一バンクにあるその他すべての VREF ピンと共に特定の I/O 規格に対して参照電圧を供給する多目的ピンです。バンク内で参照電圧用に使用する際は、そのバンクにあるすべての VREF ピンを接続する必要があります。	IP/VREF_# IP_Lxxy_#/VREF_# IO/VREF_# IO_Lxxy_#/VREF_#
CLK	ユーザー I/O ピン、入力のためのピンまたは特定のクロック バッファドライバの入力ピンです。各パッケージには 16 個のグローバル クロック入力があり、必要に応じてデバイス全体にクロックを供給できます。RHCLK 入力はデバイスの右側、LHCLK 入力はデバイスの左側にクロックを供給します。クロック ピンの中にはコンフィギュレーション ピンとしても使用されるものもあり、DUAL ピンとして分類されています。詳細は、モジュール 2 の「 クロッキング構造 」を参照してください。	IO_Lxxy_#/GCLK[15:10, 7:2] IP_Lxxy_#/GCLK[9:8, 1:0] IO_Lxxy_#/LHCLK[7:0] IO_Lxxy_#/RHCLK[7:0]
CONFIG	コンフィギュレーション専用ピンであり、ユーザー I/O ピンとしては使用できません。各パッケージには 2 本の専用コンフィギュレーション ピンがあり、VCCAUX から電源が供給されます。詳細は、モジュール 2 の「 コンフィギュレーション 」を参照してください。	DONE、PROG_B

表 123 : Spartan-3E FPGA のピン タイプ (続き)

タイプ / 色コード	説明	ピン名
JTAG	JTAG 専用ピンであり、ユーザー I/O ピンとしては使用できません。各パッケージには 4 本の専用 JTAG ピンがあり、VCCAUX から電源が供給されます。	TDI、TMS、TCK、TDO
GND	グラウンド専用ピンであり、ピンの本数は使用するパッケージによって異なります。すべてを接続する必要があります。	GND
VCCAUX	補助電源供給ピンであり、ピンの本数は使用するパッケージによって異なります。すべてを +2.5V に接続する必要があります。詳細は、モジュール 2 の「Spartan-3E FPGA の電源」を参照してください。	VCCAUX
VCCINT	内部コア ロジックへの電源供給ピンであり、ピンの本数は使用するパッケージによって異なります。すべてを +1.2V に接続する必要があります。詳細は、モジュール 2 の「Spartan-3E FPGA の電源」を参照してください。	VCCINT
VCCO	I/O バンク内の出力バッファへの電源供給ピンです。このピンは、同一バンクにあるその他の VCCO ピンと共に I/O バンク内の出力バッファに電源を供給し、一部の I/O 規格に対する入力しきい値を設定します。詳細は、モジュール 2 の「Spartan-3E FPGA の電源」を参照してください。	VCCO_#
N.C.	デバイス/パッケージの組み合わせでは接続されていませんが、より大型のデバイスの同一パッケージでは接続される場合があります。	N.C.

メモ :

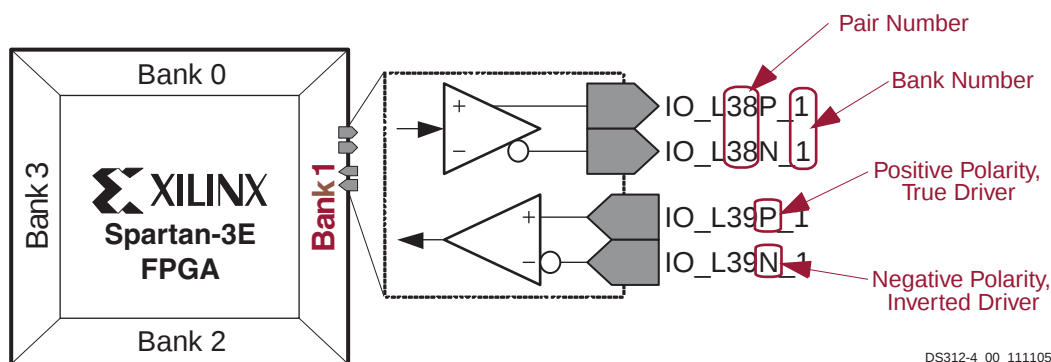
1. # = I/O バンク番号を示す 0 ~ 3 の整数。
2. IRDY/TRDY は PCI デザイン向けです。詳細は、PCI の資料を参照してください。

差動ペアのピン名

ピン名に Lxxy_# を含む I/O は差動ペアです。L は差動入出力として使用できることを示します。xx は各バンクで差動ピン ペアを識別する 2 桁の整数です。y は、差動信号ペアの正の信号の場合は P、反転信号の場合は N となります。# は I/O バンク番号を示します。

ピン名の接尾辞は次のような意味を持ちます。図 80 に示すバンク 1 の差動入力および差動出力の例を参照してください。

- L : ピンが差動ペアとして使用できることを示します。
- xx : 各バンクで差動ピンのペアを識別する 2 桁の整数です。
- y : 正の信号の場合は P、反転信号の場合は N となります。これらの 2 本のピンが 1 つの差動ピン ペアとなります。
- # : I/O バンク番号を示す 0 ~ 3 の整数です。



DS312-4_00_111105

図 80 : 差動ペアのピン名指定

パッケージの概要

表 124 に、Spartan-3E ファミリ用の低コストでスペースを節約する 8 つの製品パッケージを示します。各パッケージは、標準パッケージおよび環境を考慮した鉛フリー (Pb フリー) パッケージの両方で提供されています。鉛フリー パッケージ名は、標準パッケージ名に「G」が追加されたものです。たとえば、標準の「VQ100」パッケージでは「VQG100」となります。また、表 126 からアクセス可能な図面に示すように、標準および鉛フリーパッケージの寸法は同じです。

すべてのパッケージで集積度の異なるすべての Spartan-3E デバイスを使用できるわけではありませんが、特定のパッケージではフットプリントが共通しており、そのパッケージで使用可能なすべてのデバイスをサポートします。後に示すフットプリント図を参照してください。

パッケージの詳細は、[UG112](#)『デバイス パッケージ ユーザー ガイド』を参照してください。

表 124 : Spartan-3E ファミリのパッケージ

パッケージ	リード数	タイプ	最大 I/O 数	リードピッチ (mm)	エリア (mm)	厚さ (mm)	重量 ⁽¹⁾ (g)
VQ100 / VQG100	100	Very-thin Quad Flat Pack (VQFP)	66	0.5	16 x 16	1.20	0.6
CP132 / CPG132	132	Chip-Scale Package (CSP)	92	0.5	8.1 x 8.1	1.10	0.1
TQ144 / TQG144	144	Thin Quad Flat Pack (TQFP)	108	0.5	22 x 22	1.60	1.4
PQ208 / PQG208	208	Plastic Quad Flat Pack (PQFP)	158	0.5	30.6 x 30.6	4.10	5.3
FT256 / FTG256	256	Fine-pitch, Thin Ball Grid Array (FBGA)	190	1.0	17 x 17	1.55	0.9
FG320 / FGG320	320	Fine-pitch Ball Grid Array (FBGA)	250	1.0	19 x 19	2.00	1.4
FG400 / FGG400	400	Fine-pitch Ball Grid Array (FBGA)	304	1.0	21 x 21	2.43	2.2
FG484 / FGG484	484	Fine-pitch Ball Grid Array (FBGA)	376	1.0	23 x 23	2.60	2.2

メモ :

1. パッケージの重量には ±10% の誤差があります。

適切なパッケージの選択

Spartan-3E FPGA は、QFP (Quad-Flat Pack) および BGA (Ball Grid Array) パッケージで提供されます。QFP は最も低価格のパッケージですが、表 125 に示すように、BGA パッケージはそ

の他のほぼすべての点で QFP パッケージより優れた性能を持っているため、ザイリンクスでは BGA パッケージの使用を推奨しています。

表 125 : パッケージの比較

特性	Quad Flat Pack (QFP)	Ball Grid Array (BGA)
ユーザー I/O の最大数	158	376
パッケージ集積度 (ロジック/エリア)	良い	優れている
シグナル インテグリティ	普通	優れている
同時スイッチング出力 (SSO) サポート	普通	優れている
放熱	普通	優れている
プリント基板 (PCB) の最小レイヤ数	4	4 ~ 6
手動組み立て/再加工	可能	困難

パッケージ図面

各パッケージ タイプの詳細な図面は、表 126 に示すザイリンクス ウェブ サイトから入手できます。

また、[ザイリンクス ウェブ サイト](#) の各パッケージの MDDS (Material Declaration Data Sheet) も参照してください。

表 126 : ザイリンクス パッケージの図面

パッケージ	パッケージ図面	MDDS
VQ100	パッケージ図面	PK173 VQ100
VQG100		PK130 VQG100
CP132	パッケージ図面	PK147 CP132
CPG132		PK101 CPG132
TQ144	パッケージ図面	PK169 TQ144
TQG144		PK126 TQG144
PQ208	パッケージ図面	PK166 PQ208
PQG208		PK123 PQG208
FT256	パッケージ図面	PK158 FT256
FTG256		PK115 FTG256
FG320	パッケージ図面	PK152 FG320
FGG320		PK106 FGG320
FG400	パッケージ図面	PK182 FG400
FGG400		PK108 FGG400
FG484	パッケージ図面	PK183 FG484
FGG484		PK110 FGG484

タイプ別パッケージ ピン

各パッケージには、VCCINT、VCCAUX、VCCO という 3 つの独立した電源および共通のグランド (GND) があります。表 127 に示すように、これらのピンの数はパッケージによって異なります。

表 127 : 各パッケージの電源およびグランド ピン数

パッケージ	VCCINT	VCCAUX	VCCO	GND
VQ100	4	4	8	12
CP132	6	4	8	16
TQ144	4	4	9	13
PQ208	4	8	12	20
FT256	8	8	16	28
FG320	8	8	20	28
FG400	16	8	24	42
FG484	16	10	28	48

パッケージ ピンの多くはユーザー定義 I/O ピンまたは入力ピンですが、表 128 に示すように、その本数および特性はデバイス タイプおよび使用するパッケージによって異なります。この表には、すべての I/O、INPUT、DUAL、VREF、および CLK ピンを汎用 I/O として使用した場合のシングル エンド I/O ピンの最大本数、差動ピン ペアの最大本数、ユーザー I/O の最大本数が接続されていないピン (N.C.) を含む各ピン タイプにどのように分配されているかを示します。

表 128 : 各パッケージのユーザー I/O ピンの最大本数

デバイス	パッケージ	最大ユーザー I/O および 入力ピン数	入力ピンの 最大数	差動ペアの 最大数	使用可能な I/O ピン数 (タイプ別)					
					I/O	INPUT	DUAL	VREF ⁽¹⁾	CLK ⁽²⁾	N.C.
XC3S100E	VQ100	66	7	30	16	1	21	4	24	0
XC3S250E		66	7	30	16	1	21	4	24	0
XC3S500E		66	7	30	16	1	21	4	24	0
XC3S100E	CP132	83	11	35	16	2	42	7	16	9
XC3S250E		92	7	41	22	0	46	8	16	0
XC3S500E		92	7	41	22	0	46	8	16	0
XC3S100E	TQ144	108	28	40	22	19	42	9	16	0
XC3S250E		108	28	40	20	21	42	9	16	0
XC3S250E	PQ208	158	32	65	58	25	46	13	16	0
XC3S500E		158	32	65	58	25	46	13	16	0
XC3S250E	FT256	172	40	68	62	33	46	15	16	16
XC3S500E		190	41	77	76	33	46	19	16	0
XC3S1200E		190	40	77	78	31	46	19	16	0
XC3S500E	FG320	232	56	92	102	48	46	20	16	18
XC3S1200E		250	56	99	120	47	46	21	16	0
XC3S1600E		250	56	99	120	47	46	21	16	0
XC3S1200E	FG400	304	72	124	156	62	46	24	16	0
XC3S1600E		304	72	124	156	62	46	24	16	0
XC3S1600E	FG484	376	82	156	214	72	46	28	16	0

メモ :

- 一部の VREF ピンは INPUT ピンに含まれます。詳細は、ピン配置図を参照してください。
- すべてのデバイスには、24 個のグローバル クロック入力または右側/左側のクロック入力があります。右側および下辺のクロック ピンは、一部の FPGA コンフィギュレーション モードでコンフィギュレーションにも使用されます。このため、クロック ピンには DUAL のピンとして分類されているものもあります。2 つの DUAL ピンを含む 4 つの GCLK ピンは、INPUT ピンに含まれます。

ピン配置表およびフットプリントは、ザイリンクス ウェブ サイトから入手可能です。次のサイトからダウンロードしてください。スプレッドシート プログラムを使用すると、データを並べ替えたり、必要に応じてフォーマットを変更できます。これらのファイルは ASCII 形式のテキスト ファイルなので、ほとんどのスクリプト プログラムで容易に解析できます。

http://japan.xilinx.com/support/documentation/data_sheets/s3e_pin.zip

パッケージの熱特性

FPGA アプリケーションの電力損失は、パッケージの選択およびシステム デザインに影響します。Spartan-3E FPGA での消費電力は、[XPower Estimator](#) またはザイリンクスの ISE® 開発ソフトウェアに含まれる [XPower Analyzer](#) を使用して求められます。表 129 にさまざまな Spartan-3E パッケージの熱特性を示します。

ジャンクションとケース間の熱抵抗 (θ_{JC}) は、パッケージ本体 (ケース) とダイ ジャンクション間の消費電力 1 ワット当たりの温

度差を示します。同様に、ジャンクションとボード間の値 (θ_{JB}) は、ボードとジャンクション間の温度差を示します。ジャンクションと周囲間の値 (θ_{JA}) は、周囲とジャンクション間の 1 ワット当たりの温度差を示します。 θ_{JA} 値は、1 分当たりのリニア フィート (LFM) で計測した気流速度別に示します。気流なし (0 LFM) の列は、風のいないところで計測された θ_{JA} 値を示します。気流が増加すると熱抵抗は減少します。

表 129 : Spartan-3E パッケージ熱特性

パッケージ	デバイス	ジャンクション とケース (θ_{JC})	ジャンクション とボード (θ_{JB})	ジャンクションと周囲 (θ_{JA}) (異なる気流で測定)				単位
				気流なし (0 LFM)	250 LFM	500 LFM	750 LFM	
VQ100	XC3S100E	13.0	30.9	49.0	40.7	37.9	37.0	°C/W
	XC3S250E	11.0	25.9	43.3	36.0	33.6	32.7	°C/W
CP132	XC3S100E	19.3	42.0	62.1	55.3	52.8	51.2	°C/W
	XC3S250E	11.8	28.4	48.5	42.0	39.6	38.1	°C/W
	XC3S500E	8.5	21.1	41.4	35.0	32.8	31.4	°C/W
TQ144	XC3S100E	8.2	31.9	52.1	40.5	34.6	32.5	°C/W
	XC3S250E	7.2	25.7	37.6	29.2	25.0	23.4	°C/W
PQ208	XC3S250E	9.8	29.0	37.0	27.3	24.1	22.4	°C/W
	XC3S500E	8.5	26.8	36.1	26.6	23.6	21.8	°C/W
FT256	XC3S250E	12.4	27.6	35.8	29.4	28.4	28.1	°C/W
	XC3S500E	9.7	22.3	31.1	25.0	24.0	23.6	°C/W
	XC3S1200E	6.5	16.4	26.3	20.6	19.4	19.0	°C/W
FG320	XC3S500E	13.0	17.1	25.9	20.4	19.2	18.5	°C/W
	XC3S1200E	10.2	13.8	22.7	17.4	16.1	15.4	°C/W
	XC3S1600E	8.8	12.1	20.8	15.3	14.0	13.3	°C/W
FG400	XC3S1200E	9.7	13.5	22.2	17.1	15.9	15.2	°C/W
	XC3S1600E	8.3	11.6	20.1	15.1	13.9	13.2	°C/W
FG484	XC3S1600E	7.8	11.3	16.7	12.2	11.0	10.5	°C/W

VQ100 : 100 リード VQFP (Very-thin Quad Flat Package) パッケージ

100 リード VQFP パッケージ VQ100 は、XC3S100E、XC3S250E および XC3S500E デバイス用に提供されます。表 130 および図 81 に示すように、両デバイスのこのパッケージのフットプリントは共通です。

表 130 に、すべてのパッケージ ピンをバンク番号およびピン名で分類して示します。差動 I/O ペアとなるピンは並べて示します。また、各ピンのピン番号および前述したピン タイプも示します。

VQ100 パッケージでは、バイト幅ペリフェラル インターフェイス (BPI) コンフィギュレーション モードがサポートされないため、VQ100 フットプリントでは DUAL ピンがその他のパッケージよりも少なくなっています。

このパッケージのピン配置表およびフットプリント図は、次のサイトからダウンロードできます。

http://japan.xilinx.com/support/documentation/data_sheets/s3e_pin.zip

ピン配置表

表 130 に、Spartan-3E FPGA 製品デバイス用の VQ100 パッケージのピン配置を示します。

表 130 : VQ100 パッケージのピン配置

バンク	XC3S100E XC3S250E XC3S500E ピン名	VQ100 ピン番号	タイプ
0	IO	P92	I/O
0	IO_L01N_0	P79	I/O
0	IO_L01P_0	P78	I/O
0	IO_L02N_0/GCLK5	P84	GCLK
0	IO_L02P_0/GCLK4	P83	GCLK
0	IO_L03N_0/GCLK7	P86	GCLK
0	IO_L03P_0/GCLK6	P85	GCLK
0	IO_L05N_0/GCLK11	P91	GCLK
0	IO_L05P_0/GCLK10	P90	GCLK
0	IO_L06N_0/VREF_0	P95	VREF
0	IO_L06P_0	P94	I/O
0	IO_L07N_0/HSWAP	P99	DUAL
0	IO_L07P_0	P98	I/O
0	IP_L04N_0/GCLK9	P89	GCLK
0	IP_L04P_0/GCLK8	P88	GCLK
0	VCCO_0	P82	VCCO
0	VCCO_0	P97	VCCO
1	IO_L01N_1	P54	I/O
1	IO_L01P_1	P53	I/O

表 130 : VQ100 パッケージのピン配置 (続き)

バンク	XC3S100E XC3S250E XC3S500E ピン名	VQ100 ピン番号	タイプ
1	IO_L02N_1	P58	I/O
1	IO_L02P_1	P57	I/O
1	IO_L03N_1/RHCLK1	P61	RHCLK
1	IO_L03P_1/RHCLK0	P60	RHCLK
1	IO_L04N_1/RHCLK3	P63	RHCLK
1	IO_L04P_1/RHCLK2	P62	RHCLK
1	IO_L05N_1/RHCLK5	P66	RHCLK
1	IO_L05P_1/RHCLK4	P65	RHCLK
1	IO_L06N_1/RHCLK7	P68	RHCLK
1	IO_L06P_1/RHCLK6	P67	RHCLK
1	IO_L07N_1	P71	I/O
1	IO_L07P_1	P70	I/O
1	IP/VREF_1	P69	VREF
1	VCCO_1	P55	VCCO
1	VCCO_1	P73	VCCO
2	IO/D5	P34	DUAL
2	IO/M1	P42	DUAL
2	IO_L01N_2/INIT_B	P25	DUAL
2	IO_L01P_2/CSO_B	P24	DUAL
2	IO_L02N_2/MOSI/CSI_B	P27	DUAL
2	IO_L02P_2/DOUT/BUS Y	P26	DUAL
2	IO_L03N_2/D6/GCLK13	P33	DUAL/GCLK
2	IO_L03P_2/D7/GCLK12	P32	DUAL/GCLK
2	IO_L04N_2/D3/GCLK15	P36	DUAL/GCLK
2	IO_L04P_2/D4/GCLK14	P35	DUAL/GCLK
2	IO_L06N_2/D1/GCLK3	P41	DUAL/GCLK
2	IO_L06P_2/D2/GCLK2	P40	DUAL/GCLK
2	IO_L07N_2/DIN/D0	P44	DUAL
2	IO_L07P_2/M0	P43	DUAL
2	IO_L08N_2/VS1	P48	DUAL
2	IO_L08P_2/VS2	P47	DUAL
2	IO_L09N_2/CCLK	P50	DUAL

表 130 : VQ100 パッケージのピン配置 (続き)

バンク	XC3S100E XC3S250E XC3S500E ピン名	VQ100 ピン番号	タイプ
2	IO_L09P_2/VS0	P49	DUAL
2	IP/VREF_2	P30	VREF
2	IP_L05N_2/M2/GCLK1	P39	DUAL/GCLK
2	IP_L05P_2/RDWR_B/ GCLK0	P38	DUAL/GCLK
2	VCCO_2	P31	VCCO
2	VCCO_2	P45	VCCO
3	IO_L01N_3	P3	I/O
3	IO_L01P_3	P2	I/O
3	IO_L02N_3/VREF_3	P5	VREF
3	IO_L02P_3	P4	I/O
3	IO_L03N_3/LHCLK1	P10	LHCLK
3	IO_L03P_3/LHCLK0	P9	LHCLK
3	IO_L04N_3/LHCLK3	P12	LHCLK
3	IO_L04P_3/LHCLK2	P11	LHCLK
3	IO_L05N_3/LHCLK5	P16	LHCLK
3	IO_L05P_3/LHCLK4	P15	LHCLK
3	IO_L06N_3/LHCLK7	P18	LHCLK
3	IO_L06P_3/LHCLK6	P17	LHCLK
3	IO_L07N_3	P23	I/O
3	IO_L07P_3	P22	I/O
3	IP	P13	INPUT
3	VCCO_3	P8	VCCO
3	VCCO_3	P20	VCCO
GND	GND	P7	GND
GND	GND	P14	GND
GND	GND	P19	GND
GND	GND	P29	GND
GND	GND	P37	GND
GND	GND	P52	GND
GND	GND	P59	GND
GND	GND	P64	GND
GND	GND	P72	GND
GND	GND	P81	GND

表 130 : VQ100 パッケージのピン配置 (続き)

バンク	XC3S100E XC3S250E XC3S500E ピン名	VQ100 ピン番号	タイプ
GND	GND	P87	GND
GND	GND	P93	GND
VCCAUX	DONE	P51	CONFIG
VCCAUX	PROG_B	P1	CONFIG
VCCAUX	TCK	P77	JTAG
VCCAUX	TDI	P100	JTAG
VCCAUX	TDO	P76	JTAG
VCCAUX	TMS	P75	JTAG
VCCAUX	VCCAUX	P21	VCCAUX
VCCAUX	VCCAUX	P46	VCCAUX
VCCAUX	VCCAUX	P74	VCCAUX
VCCAUX	VCCAUX	P96	VCCAUX
VCCINT	VCCINT	P6	VCCINT
VCCINT	VCCINT	P28	VCCINT
VCCINT	VCCINT	P56	VCCINT
VCCINT	VCCINT	P80	VCCINT

バンクごとのユーザー I/O 数

表 131 に、VQ100 パッケージの 66 本のユーザー I/O ピンが 4 つの I/O バンクにどのように分配されているかを示します。

表 131 : VQ100 パッケージにおける XC3S100E、XC3S250E および XC3S500E デバイスのバンクごとのユーザー I/O 数

パッケージ エッジ	I/O バンク	最大 I/O 数	使用可能な I/O ピン (タイプ別)				
			I/O	INPUT	DUAL	VREF ⁽¹⁾	CLK ⁽¹⁾
上辺	0	15	5	0	1	1	8
右辺	1	15	6	0	0	1	8
下辺	2	19	0	0	18	1	0 ⁽²⁾
左辺	3	17	5	1	2	1	8
計		66	16	1	21	4	24

メモ :

1. VREF および CLK ピンの一部は INPUT ピンに含まれます。
2. このバンク内の 8 本のグローバル クロック ピンは、コンフィギュレーション モードによって、コンフィギュレーションにも使用される場合があるため DUAL ピンとして分類されています。

フットプリントの互換性

XC3S100E、XC3S250E および XC3S500E 製品デバイスにおける VQ100 パッケージのフットプリントは同一であるため、両デバイス間でデザインをそのまま移行できます。

VQ100 のフットプリント

図 81 で、ピン 1 は、ザイリンクスのロゴを図に示す向きにした場合、デバイスの左上に位置します。

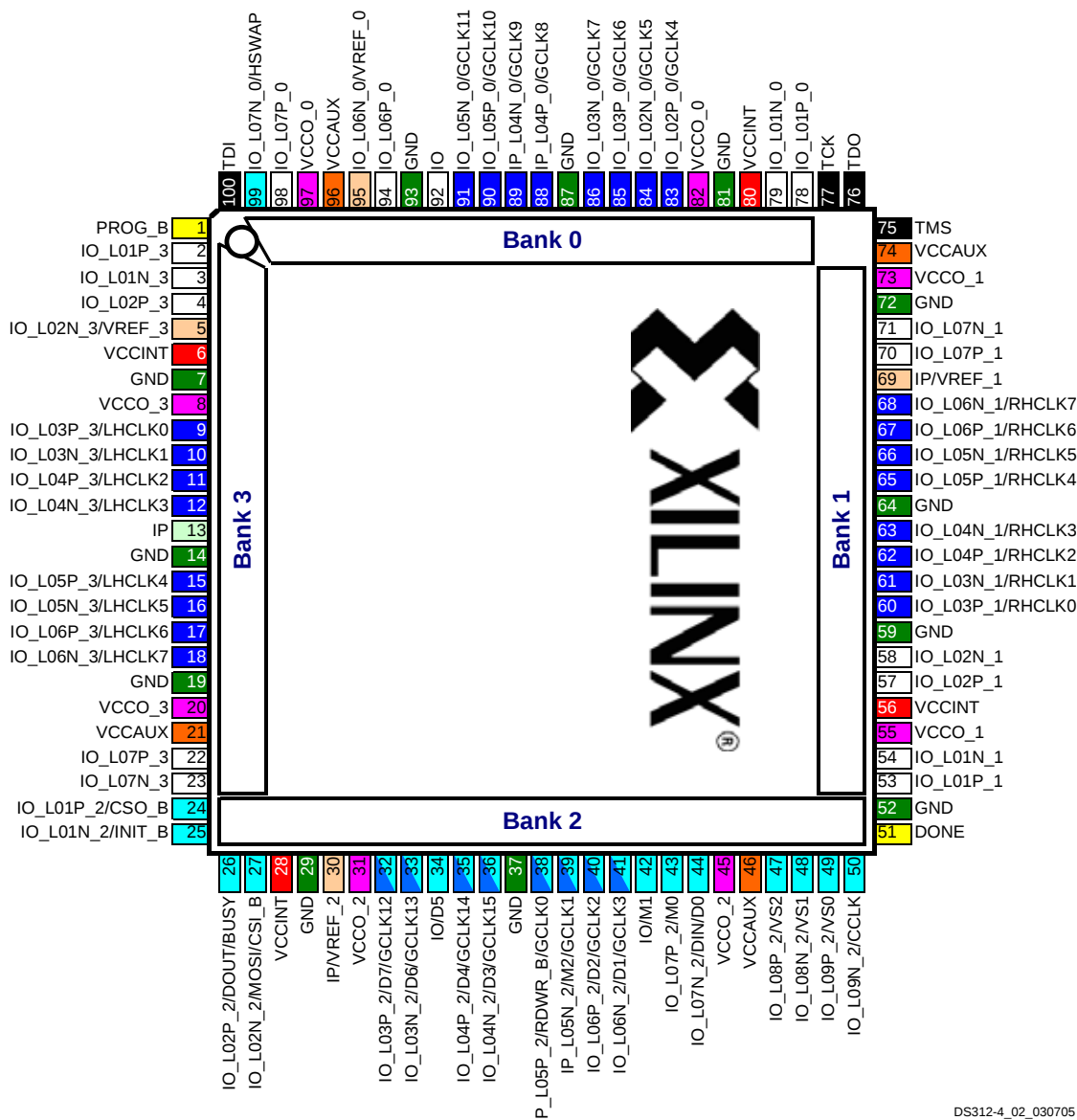


図 81 : VQ100 パッケージのフットプリント (上面図)

16	I/O : 制限のない汎用ユーザー I/O ピン	21	DUAL : コンフィギュレーションピン、コンフィギュレーション後はユーザー I/O として使用可能	4	VREF : ユーザー I/O またはバンクにおける参照電圧入力
1	INPUT : 制限のない汎用入力ピン	24	CLK : ユーザー I/O ピン、入力ピン、またはグローバルバッファ入力ピン	8	VCCO : バンクの出力電源
2	CONFIG : コンフィギュレーション専用ピン	4	JTAG : JTAG ポート専用ピン	4	VCCINT : 内部コア電源 (+1.2V)
0	N.C. : 接続されないピン	12	GND : グランド	4	VCCAUX : 補助電源 (+2.5V)

CP132 : 132 ボール CP (Chip-scale Package) パッケージ

132 ボールの CP パッケージ CP132 は、XC3S100E、XC3S250E、および XC3S500E デバイス用に提供されています。表 132 および図 82 に示すように、これらのデバイスのこのパッケージのフットプリントは共通です。

表 132 に、すべてのパッケージ ピンをバンク番号およびピン名で分類して示します。差動 I/O ペアとなるピンは並べて示します。また、各ピンのピン番号および前述したピン タイプも示します。

XC3S100E および XC3S250E デバイスでは、D14 および K2 ボールは物理的には接続されていませんが、集積度の高いデバイスに移行する場合に互換性を維持するため、VCCINT に接続する必要があります。

同様に、XC3S100E デバイスの A4、C1、および P10 ボールは接続されていませんが、集積度の高いデバイスに移行する場合に互換性を維持するため、GND に接続する必要があります。

XC3S100E の BPI アドレス ピンは A[19:0] ですが、XC3S250E および XC3S500E ではそれより 4 本多い A[23:0] がサポートされています。

このパッケージのピン配置表およびフットプリント図は、次のサイトからダウンロードできます。

http://japan.xilinx.com/support/documentation/data_sheets/s3e_pin.zip

ピン配置表

表 132 : CP132 パッケージのピン配置

バンク	XC3S100E ピン名	XC3S250E XC3S500E ピン名	CP132 ボール	タイプ
0	IO_L01N_0	IO_L01N_0	C12	I/O
0	IO_L01P_0	IO_L01P_0	A13	I/O
0	N.C. (◆)	IO_L02N_0	A12	100E : N.C. その他 : I/O
0	N.C. (◆)	IO_L02P_0	B12	100E : N.C. その他 : I/O
0	N.C. (◆)	IO_L03N_0/VREF_0	B11	100E : N.C. その他 : VREF (I/O)
0	IP	IO_L03P_0	C11	100E : INPUT その他 : I/O
0	IO_L04N_0/GCLK5	IO_L04N_0/GCLK5	C9	GCLK
0	IO_L04P_0/GCLK4	IO_L04P_0/GCLK4	A10	GCLK
0	IO_L05N_0/GCLK7	IO_L05N_0/GCLK7	A9	GCLK
0	IO_L05P_0/GCLK6	IO_L05P_0/GCLK6	B9	GCLK
0	IO_L07N_0/GCLK11	IO_L07N_0/GCLK11	B7	GCLK
0	IO_L07P_0/GCLK10	IO_L07P_0/GCLK10	A7	GCLK
0	IO_L08N_0/VREF_0	IO_L08N_0/VREF_0	C6	VREF
0	IO_L08P_0	IO_L08P_0	B6	I/O
0	IO_L09N_0	IO_L09N_0	C5	I/O
0	IO_L09P_0	IO_L09P_0	B5	I/O
0	N.C. (◆)	IO_L10N_0	C4	100E : N.C. その他 : I/O
0	IP	IO_L10P_0	B4	100E : INPUT その他 : I/O
0	IO_L11N_0/HSWAP	IO_L11N_0/HSWAP	B3	DUAL
0	IO_L11P_0	IO_L11P_0	A3	I/O
0	IP_L06N_0/GCLK9	IP_L06N_0/GCLK9	C8	GCLK
0	IP_L06P_0/GCLK8	IP_L06P_0/GCLK8	B8	GCLK

表 132 : CP132 パッケージのピン配置 (続き)

バンク	XC3S100E ピン名	XC3S250E XC3S500E ピン名	CP132 ボール	タイプ
0	VCCO_0	VCCO_0	A6	VCCO
0	VCCO_0	VCCO_0	B10	VCCO
1	IO/A0	IO/A0	F12	DUAL
1	IO/VREF_1	IO/VREF_1	K13	VREF
1	IO_L01N_1/A15	IO_L01N_1/A15	N14	DUAL
1	IO_L01P_1/A16	IO_L01P_1/A16	N13	DUAL
1	IO_L02N_1/A13	IO_L02N_1/A13	M13	DUAL
1	IO_L02P_1/A14	IO_L02P_1/A14	M12	DUAL
1	IO_L03N_1/A11	IO_L03N_1/A11	L14	DUAL
1	IO_L03P_1/A12	IO_L03P_1/A12	L13	DUAL
1	IO_L04N_1/A9/RHCLK1	IO_L04N_1/A9/RHCLK1	J12	RHCLK/DUAL
1	IO_L04P_1/A10/RHCLK0	IO_L04P_1/A10/RHCLK0	K14	RHCLK/DUAL
1	IO_L05N_1/A7/RHCLK3/TRDY1	IO_L05N_1/A7/RHCLK3/TRDY1	J14	RHCLK/DUAL
1	IO_L05P_1/A8/RHCLK2	IO_L05P_1/A8/RHCLK2	J13	RHCLK/DUAL
1	IO_L06N_1/A5/RHCLK5	IO_L06N_1/A5/RHCLK5	H12	RHCLK/DUAL
1	IO_L06P_1/A6/RHCLK4/IRDY1	IO_L06P_1/A6/RHCLK4/IRDY1	H13	RHCLK/DUAL
1	IO_L07N_1/A3/RHCLK7	IO_L07N_1/A3/RHCLK7	G13	RHCLK/DUAL
1	IO_L07P_1/A4/RHCLK6	IO_L07P_1/A4/RHCLK6	G14	RHCLK/DUAL
1	IO_L08N_1/A1	IO_L08N_1/A1	F13	DUAL
1	IO_L08P_1/A2	IO_L08P_1/A2	F14	DUAL
1	IO_L09N_1/LDC0	IO_L09N_1/LDC0	D12	DUAL
1	IO_L09P_1/HDC	IO_L09P_1/HDC	D13	DUAL
1	IO_L10N_1/LDC2	IO_L10N_1/LDC2	C13	DUAL
1	IO_L10P_1/LDC1	IO_L10P_1/LDC1	C14	DUAL
1	IP/VREF_1	IP/VREF_1	G12	VREF
1	VCCO_1	VCCO_1	E13	VCCO
1	VCCO_1	VCCO_1	M14	VCCO
2	IO/D5	IO/D5	P4	DUAL
2	IO/M1	IO/M1	N7	DUAL
2	IP/VREF_2	IO/VREF_2	P11	100E : VREF(INPUT) その他 : VREF(I/O)
2	IO_L01N_2/INIT_B	IO_L01N_2/INIT_B	N1	DUAL
2	IO_L01P_2/CSO_B	IO_L01P_2/CSO_B	M2	DUAL
2	IO_L02N_2/MOSI/CSI_B	IO_L02N_2/MOSI/CSI_B	N2	DUAL
2	IO_L02P_2/DOOUT/BUSY	IO_L02P_2/DOOUT/BUSY	P1	DUAL
2	IO_L03N_2/D6/GCLK13	IO_L03N_2/D6/GCLK13	N4	DUAL/GCLK
2	IO_L03P_2/D7/GCLK12	IO_L03P_2/D7/GCLK12	M4	DUAL/GCLK
2	IO_L04N_2/D3/GCLK15	IO_L04N_2/D3/GCLK15	N5	DUAL/GCLK
2	IO_L04P_2/D4/GCLK14	IO_L04P_2/D4/GCLK14	M5	DUAL/GCLK
2	IO_L06N_2/D1/GCLK3	IO_L06N_2/D1/GCLK3	P7	DUAL/GCLK

表 132 : CP132 パッケージのピン配置 (続き)

バンク	XC3S100E ピン名	XC3S250E XC3S500E ピン名	CP132 ボール	タイプ
2	IO_L06P_2/D2/GCLK2	IO_L06P_2/D2/GCLK2	P6	DUAL/GCLK
2	IO_L07N_2/DIN/D0	IO_L07N_2/DIN/D0	N8	DUAL
2	IO_L07P_2/M0	IO_L07P_2/M0	P8	DUAL
2	N.C. (◆)	IO_L08N_2/A22	M9	100E : N.C. その他 : DUAL
2	N.C. (◆)	IO_L08P_2/A23	N9	100E : N.C. その他 : DUAL
2	N.C. (◆)	IO_L09N_2/A20	M10	100E : N.C. その他 : DUAL
2	N.C. (◆)	IO_L09P_2/A21	N10	100E : N.C. その他 : DUAL
2	IO_L10N_2/VS1/A18	IO_L10N_2/VS1/A18	M11	DUAL
2	IO_L10P_2/VS2/A19	IO_L10P_2/VS2/A19	N11	DUAL
2	IO_L11N_2/CCLK	IO_L11N_2/CCLK	N12	DUAL
2	IO_L11P_2/VS0/A17	IO_L11P_2/VS0/A17	P12	DUAL
2	IP/VREF_2	IP/VREF_2	N3	VREF
2	IP_L05N_2/M2/GCLK1	IP_L05N_2/M2/GCLK1	N6	DUAL/GCLK
2	IP_L05P_2/RDWR_B/GCLK0	IP_L05P_2/RDWR_B/GCLK0	M6	DUAL/GCLK
2	VCCO_2	VCCO_2	M8	VCCO
2	VCCO_2	VCCO_2	P3	VCCO
3	IO	IO	J3	I/O
3	IP/VREF_3	IO/VREF_3	K3	100E : VREF(INPUT) その他 : VREF(I/O)
3	IO_L01N_3	IO_L01N_3	B1	I/O
3	IO_L01P_3	IO_L01P_3	B2	I/O
3	IO_L02N_3	IO_L02N_3	C2	I/O
3	IO_L02P_3	IO_L02P_3	C3	I/O
3	N.C. (◆)	IO_L03N_3	D1	100E : N.C. その他 : I/O
3	IO	IO_L03P_3	D2	I/O
3	IO_L04N_3/LHCLK1	IO_L04N_3/LHCLK1	F2	LHCLK
3	IO_L04P_3/LHCLK0	IO_L04P_3/LHCLK0	F3	LHCLK
3	IO_L05N_3/LHCLK3/IRDY2	IO_L05N_3/LHCLK3/IRDY2	G1	LHCLK
3	IO_L05P_3/LHCLK2	IO_L05P_3/LHCLK2	F1	LHCLK
3	IO_L06N_3/LHCLK5	IO_L06N_3/LHCLK5	H1	LHCLK
3	IO_L06P_3/LHCLK4/TRDY2	IO_L06P_3/LHCLK4/TRDY2	G3	LHCLK
3	IO_L07N_3/LHCLK7	IO_L07N_3/LHCLK7	H3	LHCLK
3	IO_L07P_3/LHCLK6	IO_L07P_3/LHCLK6	H2	LHCLK
3	IO_L08N_3	IO_L08N_3	L2	I/O
3	IO_L08P_3	IO_L08P_3	L1	I/O
3	IO_L09N_3	IO_L09N_3	M1	I/O

表 132 : CP132 パッケージのピン配置 (続き)

バンク	XC3S100E ピン名	XC3S250E XC3S500E ピン名	CP132 ボール	タイプ
3	IO_L09P_3	IO_L09P_3	L3	I/O
3	IP/VREF_3	IP/VREF_3	E2	VREF
3	VCCO_3	VCCO_3	E1	VCCO
3	VCCO_3	VCCO_3	J2	VCCO
GND	N.C. (GND)	GND	A4	GND
GND	GND	GND	A8	GND
GND	N.C. (GND)	GND	C1	GND
GND	GND	GND	C7	GND
GND	GND	GND	C10	GND
GND	GND	GND	E3	GND
GND	GND	GND	E14	GND
GND	GND	GND	G2	GND
GND	GND	GND	H14	GND
GND	GND	GND	J1	GND
GND	GND	GND	K12	GND
GND	GND	GND	M3	GND
GND	GND	GND	M7	GND
GND	GND	GND	P5	GND
GND	N.C. (GND)	GND	P10	GND
GND	GND	GND	P14	GND
VCCAUX	DONE	DONE	P13	CONFIG
VCCAUX	PROG_B	PROG_B	A1	CONFIG
VCCAUX	TCK	TCK	B13	JTAG
VCCAUX	TDI	TDI	A2	JTAG
VCCAUX	TDO	TDO	A14	JTAG
VCCAUX	TMS	TMS	B14	JTAG
VCCAUX	VCCAUX	VCCAUX	A5	VCCAUX
VCCAUX	VCCAUX	VCCAUX	E12	VCCAUX
VCCAUX	VCCAUX	VCCAUX	K1	VCCAUX
VCCAUX	VCCAUX	VCCAUX	P9	VCCAUX
VCCINT	VCCINT	VCCINT	A11	VCCINT
VCCINT	VCCINT	VCCINT	D3	VCCINT
VCCINT	N.C. (VCCINT)	VCCINT	D14	VCCINT
VCCINT	N.C. (VCCINT)	VCCINT	K2	VCCINT
VCCINT	VCCINT	VCCINT	L12	VCCINT
VCCINT	VCCINT	VCCINT	P2	VCCINT

バンクごとのユーザー I/O 数

表 133 に、CP132 パッケージにおける XC3S100E デバイスの 83 本のユーザー I/O ピンが 4 つの I/O バンクにどのように分配されているかを示します。表 134 は、CP132 パッケージにおけ

る XC3S250E および XCS500E デバイスの 92 本のユーザー I/O ピンが 4 つの I/O バンクにどのように分配されているかを示します。

表 133 : CP132 パッケージにおける XC3S100E デバイスのバンクごとのユーザー I/O 数

パッケージ エッジ	I/O バンク	最大 I/O 数	使用可能な I/O ピン数 (タイプ別)				
			I/O	INPUT	DUAL	VREF ⁽¹⁾	CLK ⁽¹⁾
上辺	0	18	6	2	1	1	8
右辺	1	23	0	0	21	2	0 ⁽²⁾
下辺	2	22	0	0	20	2	0 ⁽²⁾
左辺	3	20	10	0	0	2	8
計		83	16	2	42	7	16

メモ :

1. VREF および CLK ピンの一部は INPUT ピンに含まれます。
2. このバンク内の 8 本のグローバル クロック ピンは、コンフィギュレーション モードによって、コンフィギュレーションにも使用される場合があるため DUAL ピンとして分類されています。

表 134 : CP132 パッケージにおける XC3S250E および XC3S500E デバイスのバンクごとのユーザー I/O 数

パッケージ エッジ	I/O バンク	最大 I/O 数	使用可能な I/O ピン数 (タイプ別)				
			I/O	INPUT	DUAL	VREF ⁽¹⁾	CLK ⁽¹⁾
上辺	0	22	11	0	1	2	8
右辺	1	23	0	0	21	2	0 ⁽²⁾
下辺	2	26	0	0	24	2	0 ⁽²⁾
左辺	3	21	11	0	0	2	8
計		92	22	0	46	8	16

メモ :

1. VREF および CLK ピンの一部は INPUT ピンに含まれます。
2. このバンク内の 8 本のグローバル クロック ピンは、コンフィギュレーション モードによって、コンフィギュレーションにも使用される場合があるため DUAL ピンとして分類されています。

フットプリントの互換性

表 135 に、XC3S100E、XC3S250E、および XC3S500E デバイス間でのフットプリントおよび機能の相違を示します。相違のあるピンは 14 本あり、デバイスを移行する際に注意が必要です。

表 135 に記載されていないピンは、Spartan-3E デバイス間でそのまま移行できます。

XC3S100E は表の左側と右側の両方にあり、XC3S250E と XC3S500E への移行を示します。矢印は、移行できる方向を示します。両方向の矢印 (↔) は、それぞれのピンに同一の機能があ

ることを示します。左方向の矢印 (←) は、右側のデバイスのピンを左側のデバイスのピンに移行できることを示します。I/O のコンフィギュレーションによっては、反対方向へ移行することも可能です。たとえば、I/O ピンが入力ピンとしてコンフィギュレーションされている場合、I/O ピン (I/O) は入力のためのピン (INPUT) に移行できます。

CP132 パッケージにおける XC3S100E の BPI アドレスライン数は、XC3S250E および XC3S500E より 4 本少なくなっています。

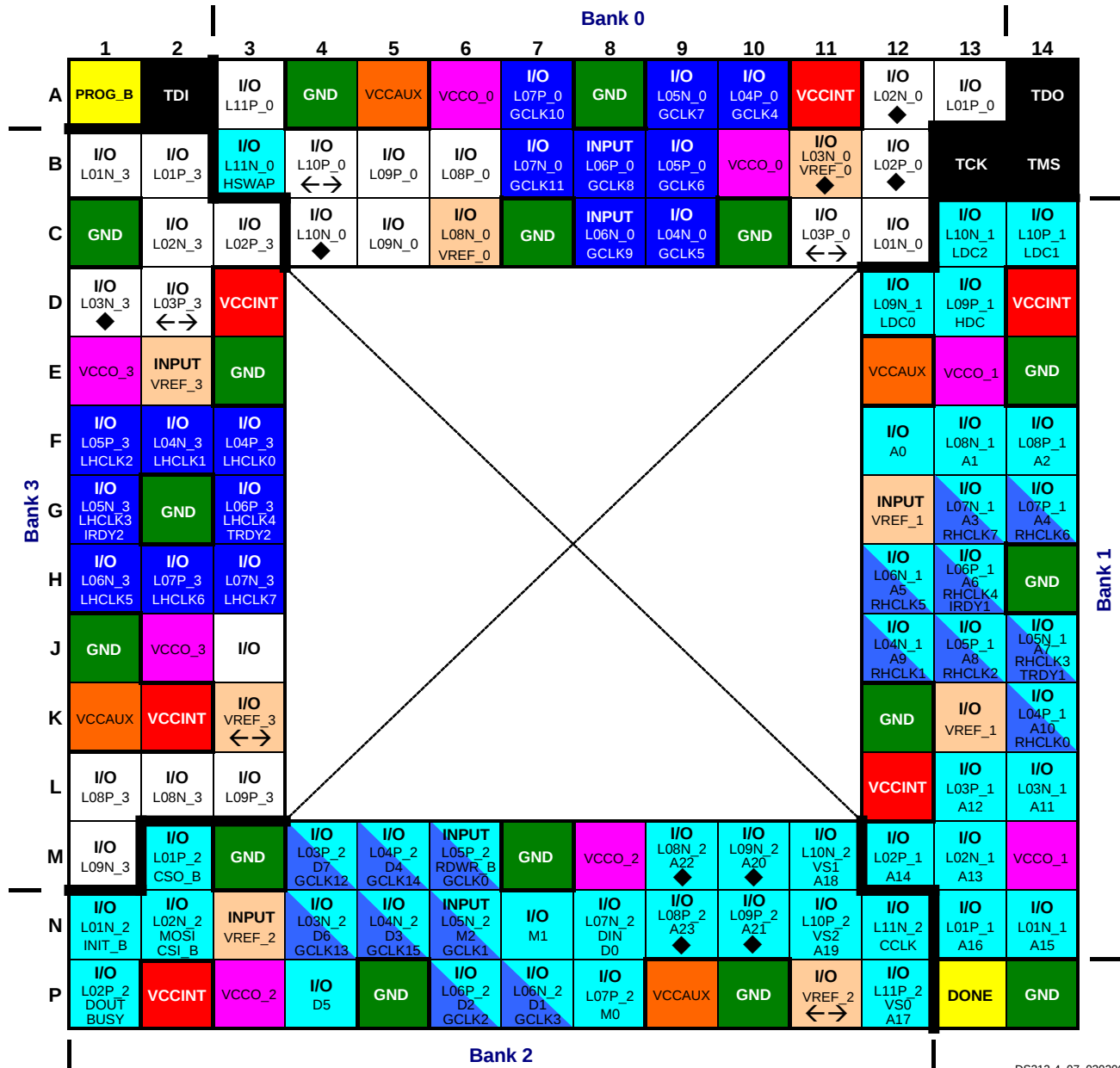
表 135 : CP132 フットプリントの互換性

CP132 ボール	バンク	XC3S100E	移行	XC3S250E	移行	XC3S500E	移行	XC3S100E
A12	0	N.C.	→	I/O	↔	I/O	←	N.C.
B4	0	INPUT	→	I/O	↔	I/O	←	INPUT
B11	0	N.C.	→	I/O	↔	I/O	←	N.C.
B12	0	N.C.	→	I/O	↔	I/O	←	N.C.
C4	0	N.C.	→	I/O	↔	I/O	←	N.C.
C11	0	INPUT	→	I/O	↔	I/O	←	INPUT
D1	3	N.C.	→	I/O	↔	I/O	←	N.C.
D2	3	I/O	→	I/O (Diff)	↔	I/O (Diff)	←	I/O
K3	3	VREF (INPUT)	→	VREF (I/O)	↔	VREF (I/O)	←	VREF (INPUT)
M9	2	N.C.	→	DUAL	↔	DUAL	←	N.C.
M10	2	N.C.	→	DUAL	↔	DUAL	←	N.C.
N9	2	N.C.	→	DUAL	↔	DUAL	←	N.C.
N10	2	N.C.	→	DUAL	↔	DUAL	←	N.C.
P11	2	VREF (INPUT)	→	VREF (I/O)	↔	VREF (I/O)	←	VREF (INPUT)
相違のあるピン数			14		0		14	

説明:

- ↔ 左右のデバイスで同一です。
- 左側のデバイスから右側のデバイスに移行できます。反対方向への移行は、右側のデバイスのピンのコンフィギュレーションによって可能な場合があります。
- ← 右側のデバイスから左側のデバイスに移行できます。反対方向への移行は、左側のデバイスのピンのコンフィギュレーションによって可能な場合があります。

CP132 のフットプリント



DS312-4_07_030206

図 82 : CP132 パッケージのフットプリント (上面図)

16 ~ 22	I/O : 制限のない汎用ユーザー I/O ピン	42 ~ 46	DUAL : コンフィギュレーションピン、コンフィギュレーション後はユーザー I/O として使用可能	7 ~ 8	VREF : ユーザー I/O またはバンクにおける参照電圧入力
0 ~ 2	INPUT : 制限のない汎用入力ピン	16	CLK : ユーザー I/O ピン、入力ピン、またはグローバルバッファ入力ピン	8	VCCO : バンクの出力電源
2	CONFIG : コンフィギュレーション専用ピン	4	JTAG : JTAG ポート専用ピン	6	VCCINT : 内部コア電源 (+1.2V)
9	N.C. : XC3S100E では接続されないピン (◆)	16	GND : グランド	4	VCCAUX : 補助電源 (+2.5V)

TQ144 : 144 リード TQFP (Thin Quad Flat Package) パッケージ

144 リード TQFP パッケージ TQ144 は、XC3S100E デバイスおよび XC3S250E デバイス用に提供されています。表 136 および図 83 に示すように、両デバイスにおけるこのパッケージのフットプリントは共通です。

表 136 に、すべてのパッケージ ピンをバンク番号およびピン名で分類して示します。差動 I/O ペアとなるピンは並べて示します。また、各ピンのピン番号および前述したピン タイプも示します。

TQ144 パッケージでは、バイト幅ペリフェラル インターフェイス (BPI) コンフィギュレーション モードで 20 個のアドレス出力ピンのみがサポートされます。大型のパッケージでは、24 個の BPI アドレス出力があります。

このパッケージのピン配置表およびフットプリント図は、次のサイトからダウンロードできます。

http://japan.xilinx.com/support/documentation/data_sheets/s3e_pin.zip

ピン配置表

表 136 : TQ144 パッケージのピン配置

バンク	XC3S100E ピン名	XC3S250E ピン名	TQ144 ピン番号	タイプ
0	IO	IO	P132	I/O
0	IO/VREF_0	IO/VREF_0	P124	VREF
0	IO_L01N_0	IO_L01N_0	P113	I/O
0	IO_L01P_0	IO_L01P_0	P112	I/O
0	IO_L02N_0	IO_L02N_0	P117	I/O
0	IO_L02P_0	IO_L02P_0	P116	I/O
0	IO_L04N_0/GCLK5	IO_L04N_0/GCLK5	P123	GCLK
0	IO_L04P_0/GCLK4	IO_L04P_0/GCLK4	P122	GCLK
0	IO_L05N_0/GCLK7	IO_L05N_0/GCLK7	P126	GCLK
0	IO_L05P_0/GCLK6	IO_L05P_0/GCLK6	P125	GCLK
0	IO_L07N_0/GCLK11	IO_L07N_0/GCLK11	P131	GCLK
0	IO_L07P_0/GCLK10	IO_L07P_0/GCLK10	P130	GCLK
0	IO_L08N_0/VREF_0	IO_L08N_0/VREF_0	P135	VREF
0	IO_L08P_0	IO_L08P_0	P134	I/O
0	IO_L09N_0	IO_L09N_0	P140	I/O
0	IO_L09P_0	IO_L09P_0	P139	I/O
0	IO_L10N_0/HSWAP	IO_L10N_0/HSWAP	P143	DUAL
0	IO_L10P_0	IO_L10P_0	P142	I/O
0	IP	IP	P111	INPUT
0	IP	IP	P114	INPUT
0	IP	IP	P136	INPUT
0	IP	IP	P141	INPUT
0	IP_L03N_0	IP_L03N_0	P120	INPUT
0	IP_L03P_0	IP_L03P_0	P119	INPUT
0	IP_L06N_0/GCLK9	IP_L06N_0/GCLK9	P129	GCLK
0	IP_L06P_0/GCLK8	IP_L06P_0/GCLK8	P128	GCLK
0	VCCO_0	VCCO_0	P121	VCCO

表 136 : TQ144 パッケージのピン配置 (続き)

バンク	XC3S100E ピン名	XC3S250E ピン名	TQ144 ピン番号	タイプ
0	VCCO_0	VCCO_0	P138	VCCO
1	IO/A0	IO/A0	P98	DUAL
1	IO/VREF_1	IO/VREF_1	P83	VREF
1	IO_L01N_1/A15	IO_L01N_1/A15	P75	DUAL
1	IO_L01P_1/A16	IO_L01P_1/A16	P74	DUAL
1	IO_L02N_1/A13	IO_L02N_1/A13	P77	DUAL
1	IO_L02P_1/A14	IO_L02P_1/A14	P76	DUAL
1	IO_L03N_1/A11	IO_L03N_1/A11	P82	DUAL
1	IO_L03P_1/A12	IO_L03P_1/A12	P81	DUAL
1	IO_L04N_1/A9/RHCLK1	IO_L04N_1/A9/RHCLK1	P86	RHCLK/DUAL
1	IO_L04P_1/A10/RHCLK0	IO_L04P_1/A10/RHCLK0	P85	RHCLK/DUAL
1	IO_L05N_1/A7/RHCLK3/TRDY1	IO_L05N_1/A7/RHCLK3	P88	RHCLK/DUAL
1	IO_L05P_1/A8/RHCLK2	IO_L05P_1/A8/RHCLK2	P87	RHCLK/DUAL
1	IO_L06N_1/A5/RHCLK5	IO_L06N_1/A5/RHCLK5	P92	RHCLK/DUAL
1	IO_L06P_1/A6/RHCLK4/IRDY1	IO_L06P_1/A6/RHCLK4	P91	RHCLK/DUAL
1	IO_L07N_1/A3/RHCLK7	IO_L07N_1/A3/RHCLK7	P94	RHCLK/DUAL
1	IO_L07P_1/A4/RHCLK6	IO_L07P_1/A4/RHCLK6	P93	RHCLK/DUAL
1	IO_L08N_1/A1	IO_L08N_1/A1	P97	DUAL
1	IO_L08P_1/A2	IO_L08P_1/A2	P96	DUAL
1	IO_L09N_1/LDC0	IO_L09N_1/LDC0	P104	DUAL
1	IO_L09P_1/HDC	IO_L09P_1/HDC	P103	DUAL
1	IO_L10N_1/LDC2	IO_L10N_1/LDC2	P106	DUAL
1	IO_L10P_1/LDC1	IO_L10P_1/LDC1	P105	DUAL
1	IP	IP	P78	INPUT
1	IP	IP	P84	INPUT
1	IP	IP	P89	INPUT
1	IP	IP	P101	INPUT
1	IP	IP	P107	INPUT
1	IP/VREF_1	IP/VREF_1	P95	VREF
1	VCCO_1	VCCO_1	P79	VCCO
1	VCCO_1	VCCO_1	P100	VCCO
2	IO/D5	IO/D5	P52	DUAL
2	IO/M1	IO/M1	P60	DUAL
2	IP/VREF_2	IO/VREF_2	P66	100E : VREF(INPUT) 250E : VREF(I/O)

表 136 : TQ144 パッケージのピン配置 (続き)

バンク	XC3S100E ピン名	XC3S250E ピン名	TQ144 ピン番号	タイプ
2	IO_L01N_2/INIT_B	IO_L01N_2/INIT_B	P40	DUAL
2	IO_L01P_2/CSO_B	IO_L01P_2/CSO_B	P39	DUAL
2	IO_L02N_2/MOSI/CSI_B	IO_L02N_2/MOSI/CSI_B	P44	DUAL
2	IO_L02P_2/DOOUT/BUSY	IO_L02P_2/DOOUT/BUSY	P43	DUAL
2	IO_L04N_2/D6/GCLK13	IO_L04N_2/D6/GCLK13	P51	DUAL/GCLK
2	IO_L04P_2/D7/GCLK12	IO_L04P_2/D7/GCLK12	P50	DUAL/GCLK
2	IO_L05N_2/D3/GCLK15	IO_L05N_2/D3/GCLK15	P54	DUAL/GCLK
2	IO_L05P_2/D4/GCLK14	IO_L05P_2/D4/GCLK14	P53	DUAL/GCLK
2	IO_L07N_2/D1/GCLK3	IO_L07N_2/D1/GCLK3	P59	DUAL/GCLK
2	IO_L07P_2/D2/GCLK2	IO_L07P_2/D2/GCLK2	P58	DUAL/GCLK
2	IO_L08N_2/DIN/D0	IO_L08N_2/DIN/D0	P63	DUAL
2	IO_L08P_2/M0	IO_L08P_2/M0	P62	DUAL
2	IO_L09N_2/VS1/A18	IO_L09N_2/VS1/A18	P68	DUAL
2	IO_L09P_2/VS2/A19	IO_L09P_2/VS2/A19	P67	DUAL
2	IO_L10N_2/CCLK	IO_L10N_2/CCLK	P71	DUAL
2	IO_L10P_2/VS0/A17	IO_L10P_2/VS0/A17	P70	DUAL
2	IP	IP	P38	INPUT
2	IP	IP	P41	INPUT
2	IP	IP	P69	INPUT
2	IP_L03N_2/VREF_2	IP_L03N_2/VREF_2	P48	VREF
2	IP_L03P_2	IP_L03P_2	P47	INPUT
2	IP_L06N_2/M2/GCLK1	IP_L06N_2/M2/GCLK1	P57	DUAL/GCLK
2	IP_L06P_2/RDWR_B/GCLK0	IP_L06P_2/RDWR_B/GCLK0	P56	DUAL/GCLK
2	VCCO_2	VCCO_2	P42	VCCO
2	VCCO_2	VCCO_2	P49	VCCO
2	VCCO_2	VCCO_2	P64	VCCO
3	IP/VREF_3	IO/VREF_3	P31	100E : VREF(INPUT) 250E : VREF(I/O)
3	IO_L01N_3	IO_L01N_3	P3	I/O
3	IO_L01P_3	IO_L01P_3	P2	I/O
3	IO_L02N_3/VREF_3	IO_L02N_3/VREF_3	P5	VREF
3	IO_L02P_3	IO_L02P_3	P4	I/O
3	IO_L03N_3	IO_L03N_3	P8	I/O
3	IO_L03P_3	IO_L03P_3	P7	I/O
3	IO_L04N_3/LHCLK1	IO_L04N_3/LHCLK1	P15	LHCLK

表 136 : TQ144 パッケージのピン配置 (続き)

バンク	XC3S100E ピン名	XC3S250E ピン名	TQ144 ピン番号	タイプ
3	IO_L04P_3/LHCLK0	IO_L04P_3/LHCLK0	P14	LHCLK
3	IO_L05N_3/LHCLK3/IRDY2	IO_L05N_3/LHCLK3	P17	LHCLK
3	IO_L05P_3/LHCLK2	IO_L05P_3/LHCLK2	P16	LHCLK
3	IO_L06N_3/LHCLK5	IO_L06N_3/LHCLK5	P21	LHCLK
3	IO_L06P_3/LHCLK4/TRDY2	IO_L06P_3/LHCLK4	P20	LHCLK
3	IO_L07N_3/LHCLK7	IO_L07N_3/LHCLK7	P23	LHCLK
3	IO_L07P_3/LHCLK6	IO_L07P_3/LHCLK6	P22	LHCLK
3	IO_L08N_3	IO_L08N_3	P26	I/O
3	IO_L08P_3	IO_L08P_3	P25	I/O
3	IO_L09N_3	IO_L09N_3	P33	I/O
3	IO_L09P_3	IO_L09P_3	P32	I/O
3	IO_L10N_3	IO_L10N_3	P35	I/O
3	IO_L10P_3	IO_L10P_3	P34	I/O
3	IP	IP	P6	INPUT
3	IO	IP	P10	100E : I/O 250E : INPUT
3	IP	IP	P18	INPUT
3	IP	IP	P24	INPUT
3	IO	IP	P29	100E : I/O 250E : INPUT
3	IP	IP	P36	INPUT
3	IP/VREF_3	IP/VREF_3	P12	VREF
3	VCCO_3	VCCO_3	P13	VCCO
3	VCCO_3	VCCO_3	P28	VCCO
GND	GND	GND	P11	GND
GND	GND	GND	P19	GND
GND	GND	GND	P27	GND
GND	GND	GND	P37	GND
GND	GND	GND	P46	GND
GND	GND	GND	P55	GND
GND	GND	GND	P61	GND
GND	GND	GND	P73	GND
GND	GND	GND	P90	GND
GND	GND	GND	P99	GND
GND	GND	GND	P118	GND

表 136 : TQ144 パッケージのピン配置 (続き)

バンク	XC3S100E ピン名	XC3S250E ピン名	TQ144 ピン番号	タイプ
GND	GND	GND	P127	GND
GND	GND	GND	P133	GND
VCCAUX	DONE	DONE	P72	CONFIG
VCCAUX	PROG_B	PROG_B	P1	CONFIG
VCCAUX	TCK	TCK	P110	JTAG
VCCAUX	TDI	TDI	P144	JTAG
VCCAUX	TDO	TDO	P109	JTAG
VCCAUX	TMS	TMS	P108	JTAG
VCCAUX	VCCAUX	VCCAUX	P30	VCCAUX
VCCAUX	VCCAUX	VCCAUX	P65	VCCAUX
VCCAUX	VCCAUX	VCCAUX	P102	VCCAUX
VCCAUX	VCCAUX	VCCAUX	P137	VCCAUX
VCCINT	VCCINT	VCCINT	P9	VCCINT
VCCINT	VCCINT	VCCINT	P45	VCCINT
VCCINT	VCCINT	VCCINT	P80	VCCINT
VCCINT	VCCINT	VCCINT	P115	VCCINT

バンクごとのユーザー I/O 数

表 137 および表 138 に、TQ144 パッケージの 108 本のユーザー I/O ピンが 4 つの I/O バンクにどのように分配されているかを示します。

表 137 : TQ144 パッケージにおける XC3S100E デバイスのバンクごとのユーザー I/O 数

パッケージ エッジ	I/O バンク	最大 I/O 数	使用可能な I/O ピン数 (タイプ別)				
			I/O	INPUT	DUAL	VREF ⁽¹⁾	CLK ⁽¹⁾
上辺	0	26	9	6	1	2	8
右辺	1	28	0	5	21	2	0 ⁽²⁾
下辺	2	26	0	4	20	2	0 ⁽²⁾
左辺	3	28	13	4	0	3	8
計		108	22	19	42	9	16

メモ :

1. VREF および CLK ピンの一部は INPUT ピンに含まれます。
2. このバンク内の 8 本のグローバル クロック ピンは、コンフィギュレーション モードによって、コンフィギュレーションにも使用される場合があるため DUAL ピンとして分類されています。

表 138 : TQ144 パッケージにおける XC3S250E デバイスのバンクごとのユーザー I/O 数

パッケージ エッジ	I/O バンク	最大 I/O 数	使用可能な I/O ピンの各タイプ				
			I/O	INPUT	DUAL	VREF ⁽¹⁾	CLK ⁽¹⁾
上辺	0	26	9	6	1	2	8
右辺	1	28	0	5	21	2	0 ⁽²⁾
下辺	2	26	0	4	20	2	0 ⁽²⁾
左辺	3	28	11	6	0	3	8
計		108	20	21	42	9	16

メモ :

1. VREF および CLK ピンの一部は INPUT ピンに含まれます。
2. このバンク内の 8 本のグローバル クロック ピンは、コンフィギュレーション モードによって、コンフィギュレーションにも使用される場合があるため DUAL ピンとして分類されています。

フットプリントの互換性

表 139 に、XC3S100E および XC3S250E デバイス間でのフットプリントおよび機能の相違を示します。相違のあるピンは 4 本あり、デバイスを移行する際に注意が必要です。表 139 に記載されていないピンは、Spartan-3E デバイス間でそのまま移行できます。

矢印は、そのまま移行できる方向を示します。たとえば、左方向の矢印は、XC3S250E のピンが XC3S100E のピンに移行できることを示します。I/O のコンフィギュレーションによっては、反対方向へ移行することも可能です。たとえば、I/O ピンが入力ピンとしてコンフィギュレーションされている場合、I/O ピン (I/O) は入力のみピン (INPUT) に移行できます。

表 139 : TQ144 のフットプリントの互換性

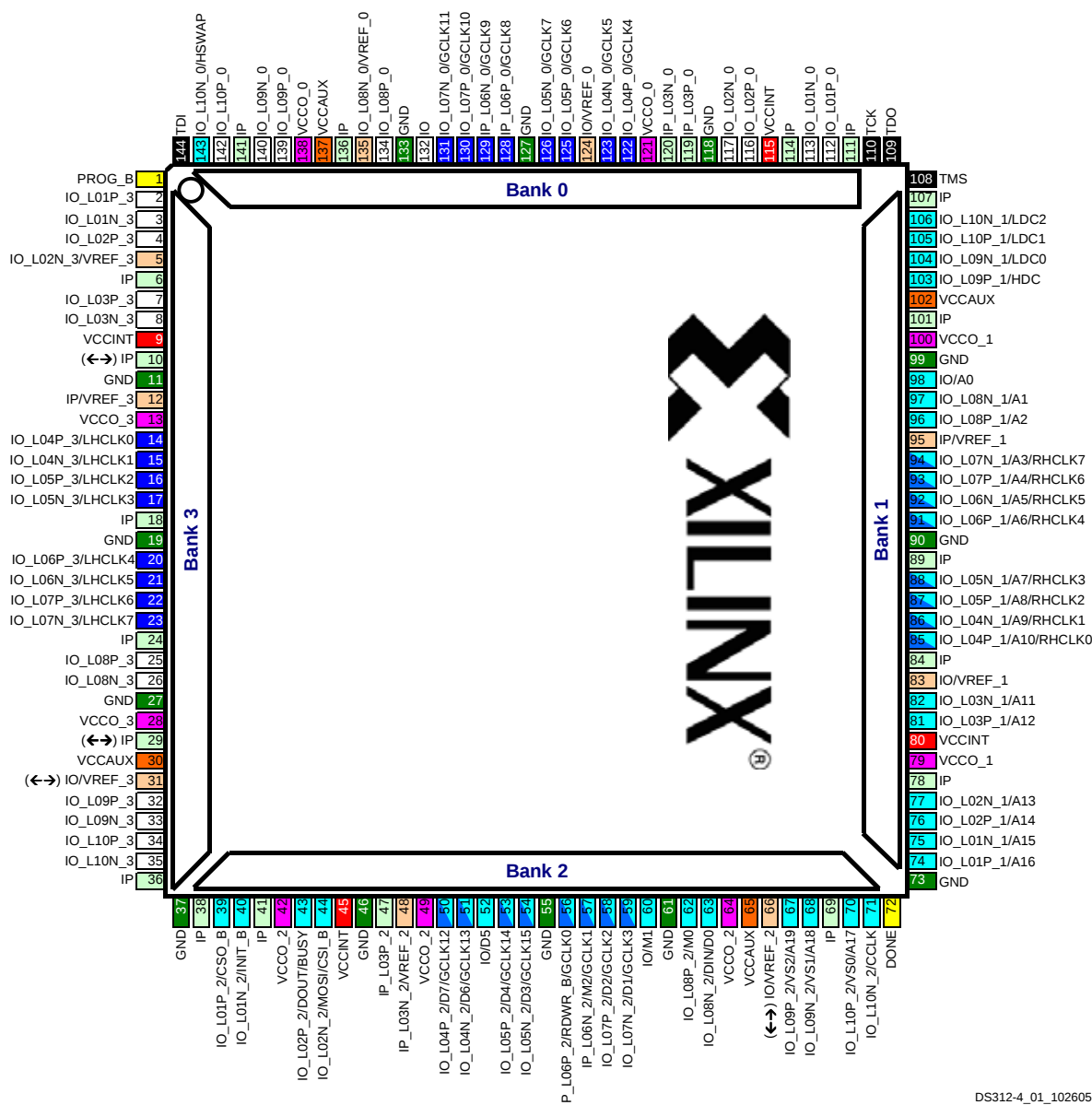
TQ144 ピン	バンク	XC3S100E	移行	XC3S250E
P10	3	I/O	←	INPUT
P29	3	I/O	←	INPUT
P31	3	VREF (INPUT)	→	VREF (I/O)
P66	2	VREF (INPUT)	→	VREF (I/O)
相違のあるピンの数			4	

説明 :

- 左側のデバイスから右側のデバイスに移行できます。反対方向への移行は、右側のデバイスのピンのコンフィギュレーションによって可能な場合があります。
- ← 右側のデバイスから左側のデバイスに移行できます。反対方向への移行は、左側のデバイスのピンのコンフィギュレーションによって可能な場合があります。

TQ144 のフットプリント

ピン 1 は、ザイリックスのロゴを図に示す向きにした場合、デバイスの左上にあります。両方向矢印 (↔) は、XC3S100E と XC3S250E デバイス間でのピンの相違を示します。



DS312-4_01_102605

図 83: TQ144 パッケージのフットプリント (上面図)

20	I/O: 制限のない汎用ユーザー I/O ピン	42	DUAL: コンフィギュレーションピン、コンフィギュレーション後はユーザー I/O として使用可能	9	VREF: ユーザー I/O またはバンクにおける参照電圧入力
21	INPUT: 制限のない汎用入力ピン	16	CLK: ユーザー I/O、入力、またはグローバル バッファ入力	9	VCCO: バンクの出力電源
2	CONFIG: コンフィギュレーション専用ピン	4	JTAG: JTAG ポート専用ピン	4	VCCINT: 内部コア電源 (+1.2V)
0	N.C.: 接続されないピン	13	GND: グランド	4	VCCAUX: 補助電源 (+2.5V)

PQ208 : 208 ピン PQFP (Plastic Quad Flat Package) パッケージ

208 ピン PQFP (Plastic Quad Flat Package) パッケージ PQ208 は、XC3S250E および XC3S500E の 2 つの Spartan-3E デバイス用に提供されています。

表 140 に、すべてのパッケージ ピンをバンク番号およびピン名で分類して示します。差動 I/O ペアとなるピンは並べて示します。また、各ピンのピン番号および前述したピン タイプも示します。

このパッケージのピン配置表およびフットプリント図は、次のサイトからダウンロードできます。

http://japan.xilinx.com/support/documentation/data_sheets/s3e_pin.zip

ピン配置表

表 140 : PQ208 パッケージのピン配置

バンク	XC3S250E XC3S500E ピン名	PQ208 ピン 番号	タイプ
0	IO	P187	I/O
0	IO/VREF_0	P179	VREF
0	IO_L01N_0	P161	I/O
0	IO_L01P_0	P160	I/O
0	IO_L02N_0/VREF_0	P163	VREF
0	IO_L02P_0	P162	I/O
0	IO_L03N_0	P165	I/O
0	IO_L03P_0	P164	I/O
0	IO_L04N_0/VREF_0	P168	VREF
0	IO_L04P_0	P167	I/O
0	IO_L05N_0	P172	I/O
0	IO_L05P_0	P171	I/O
0	IO_L07N_0/GCLK5	P178	GCLK
0	IO_L07P_0/GCLK4	P177	GCLK
0	IO_L08N_0/GCLK7	P181	GCLK
0	IO_L08P_0/GCLK6	P180	GCLK
0	IO_L10N_0/GCLK11	P186	GCLK
0	IO_L10P_0/GCLK10	P185	GCLK
0	IO_L11N_0	P190	I/O
0	IO_L11P_0	P189	I/O
0	IO_L12N_0/VREF_0	P193	VREF
0	IO_L12P_0	P192	I/O
0	IO_L13N_0	P197	I/O
0	IO_L13P_0	P196	I/O
0	IO_L14N_0/VREF_0	P200	VREF
0	IO_L14P_0	P199	I/O
0	IO_L15N_0	P203	I/O

表 140 : PQ208 パッケージのピン配置 (続き)

バンク	XC3S250E XC3S500E ピン名	PQ208 ピン 番号	タイプ
0	IO_L15P_0	P202	I/O
0	IO_L16N_0/HSWAP	P206	DUAL
0	IO_L16P_0	P205	I/O
0	IP	P159	INPUT
0	IP	P169	INPUT
0	IP	P194	INPUT
0	IP	P204	INPUT
0	IP_L06N_0	P175	INPUT
0	IP_L06P_0	P174	INPUT
0	IP_L09N_0/GCLK9	P184	GCLK
0	IP_L09P_0/GCLK8	P183	GCLK
0	VCCO_0	P176	VCCO
0	VCCO_0	P191	VCCO
0	VCCO_0	P201	VCCO
1	IO_L01N_1/A15	P107	DUAL
1	IO_L01P_1/A16	P106	DUAL
1	IO_L02N_1/A13	P109	DUAL
1	IO_L02P_1/A14	P108	DUAL
1	IO_L03N_1/VREF_1	P113	VREF
1	IO_L03P_1	P112	I/O
1	IO_L04N_1	P116	I/O
1	IO_L04P_1	P115	I/O
1	IO_L05N_1/A11	P120	DUAL
1	IO_L05P_1/A12	P119	DUAL
1	IO_L06N_1/VREF_1	P123	VREF
1	IO_L06P_1	P122	I/O
1	IO_L07N_1/A9/RHCLK1	P127	RHCLK/DUAL
1	IO_L07P_1/A10/RHCLK0	P126	RHCLK/DUAL
1	IO_L08N_1/A7/RHCLK3	P129	RHCLK/DUAL
1	IO_L08P_1/A8/RHCLK2	P128	RHCLK/DUAL
1	IO_L09N_1/A5/RHCLK5	P133	RHCLK/DUAL
1	IO_L09P_1/A6/RHCLK4	P132	RHCLK/DUAL
1	IO_L10N_1/A3/RHCLK7	P135	RHCLK/DUAL
1	IO_L10P_1/A4/RHCLK6	P134	RHCLK/DUAL
1	IO_L11N_1/A1	P138	DUAL
1	IO_L11P_1/A2	P137	DUAL
1	IO_L12N_1/A0	P140	DUAL

表 140 : PQ208 パッケージのピン配置 (続き)

バンク	XC3S250E XC3S500E ピン名	PQ208 ピン 番号	タイプ
1	IO_L12P_1	P139	I/O
1	IO_L13N_1	P145	I/O
1	IO_L13P_1	P144	I/O
1	IO_L14N_1	P147	I/O
1	IO_L14P_1	P146	I/O
1	IO_L15N_1/LDC0	P151	DUAL
1	IO_L15P_1/HDC	P150	DUAL
1	IO_L16N_1/LDC2	P153	DUAL
1	IO_L16P_1/LDC1	P152	DUAL
1	IP	P110	INPUT
1	IP	P118	INPUT
1	IP	P124	INPUT
1	IP	P130	INPUT
1	IP	P142	INPUT
1	IP	P148	INPUT
1	IP	P154	INPUT
1	IP/VREF_1	P136	VREF
1	VCCO_1	P114	VCCO
1	VCCO_1	P125	VCCO
1	VCCO_1	P143	VCCO
2	IO/D5	P76	DUAL
2	IO/M1	P84	DUAL
2	IO/VREF_2	P98	VREF
2	IO_L01N_2/INIT_B	P56	DUAL
2	IO_L01P_2/CSO_B	P55	DUAL
2	IO_L03N_2/MOSI/CSI_B	P61	DUAL
2	IO_L03P_2/DOUT/BUSY	P60	DUAL
2	IO_L04N_2	P63	I/O
2	IO_L04P_2	P62	I/O
2	IO_L05N_2	P65	I/O
2	IO_L05P_2	P64	I/O
2	IO_L06N_2	P69	I/O
2	IO_L06P_2	P68	I/O
2	IO_L08N_2/D6/GCLK13	P75	DUAL/GCLK
2	IO_L08P_2/D7/GCLK12	P74	DUAL/GCLK
2	IO_L09N_2/D3/GCLK15	P78	DUAL/GCLK
2	IO_L09P_2/D4/GCLK14	P77	DUAL/GCLK
2	IO_L11N_2/D1/GCLK3	P83	DUAL/GCLK

表 140 : PQ208 パッケージのピン配置 (続き)

バンク	XC3S250E XC3S500E ピン名	PQ208 ピン 番号	タイプ
2	IO_L11P_2/D2/GCLK2	P82	DUAL/GCLK
2	IO_L12N_2/DIN/D0	P87	DUAL
2	IO_L12P_2/M0	P86	DUAL
2	IO_L13N_2	P90	I/O
2	IO_L13P_2	P89	I/O
2	IO_L14N_2/A22	P94	DUAL
2	IO_L14P_2/A23	P93	DUAL
2	IO_L15N_2/A20	P97	DUAL
2	IO_L15P_2/A21	P96	DUAL
2	IO_L16N_2/VS1/A18	P100	DUAL
2	IO_L16P_2/VS2/A19	P99	DUAL
2	IO_L17N_2/CCLK	P103	DUAL
2	IO_L17P_2/VS0/A17	P102	DUAL
2	IP	P54	INPUT
2	IP	P91	INPUT
2	IP	P101	INPUT
2	IP_L02N_2	P58	INPUT
2	IP_L02P_2	P57	INPUT
2	IP_L07N_2/VREF_2	P72	VREF
2	IP_L07P_2	P71	INPUT
2	IP_L10N_2/M2/GCLK1	P81	DUAL/GCLK
2	IP_L10P_2/RDWR_B/ GCLK0	P80	DUAL/GCLK
2	VCCO_2	P59	VCCO
2	VCCO_2	P73	VCCO
2	VCCO_2	P88	VCCO
3	IO/VREF_3	P45	VREF
3	IO_L01N_3	P3	I/O
3	IO_L01P_3	P2	I/O
3	IO_L02N_3/VREF_3	P5	VREF
3	IO_L02P_3	P4	I/O
3	IO_L03N_3	P9	I/O
3	IO_L03P_3	P8	I/O
3	IO_L04N_3	P12	I/O
3	IO_L04P_3	P11	I/O
3	IO_L05N_3	P16	I/O
3	IO_L05P_3	P15	I/O
3	IO_L06N_3	P19	I/O

表 140 : PQ208 パッケージのピン配置 (続き)

バンク	XC3S250E XC3S500E ピン名	PQ208 ピン 番号	タイプ
3	IO_L06P_3	P18	I/O
3	IO_L07N_3/LHCLK1	P23	LHCLK
3	IO_L07P_3/LHCLK0	P22	LHCLK
3	IO_L08N_3/LHCLK3	P25	LHCLK
3	IO_L08P_3/LHCLK2	P24	LHCLK
3	IO_L09N_3/LHCLK5	P29	LHCLK
3	IO_L09P_3/LHCLK4	P28	LHCLK
3	IO_L10N_3/LHCLK7	P31	LHCLK
3	IO_L10P_3/LHCLK6	P30	LHCLK
3	IO_L11N_3	P34	I/O
3	IO_L11P_3	P33	I/O
3	IO_L12N_3	P36	I/O
3	IO_L12P_3	P35	I/O
3	IO_L13N_3	P40	I/O
3	IO_L13P_3	P39	I/O
3	IO_L14N_3	P42	I/O
3	IO_L14P_3	P41	I/O
3	IO_L15N_3	P48	I/O
3	IO_L15P_3	P47	I/O
3	IO_L16N_3	P50	I/O
3	IO_L16P_3	P49	I/O
3	IP	P6	INPUT
3	IP	P14	INPUT
3	IP	P26	INPUT
3	IP	P32	INPUT
3	IP	P43	INPUT
3	IP	P51	INPUT
3	IP/VREF_3	P20	VREF
3	VCCO_3	P21	VCCO
3	VCCO_3	P38	VCCO
3	VCCO_3	P46	VCCO
GND	GND	P10	GND
GND	GND	P17	GND
GND	GND	P27	GND
GND	GND	P37	GND
GND	GND	P52	GND
GND	GND	P53	GND
GND	GND	P70	GND

表 140 : PQ208 パッケージのピン配置 (続き)

バンク	XC3S250E XC3S500E ピン名	PQ208 ピン 番号	タイプ
GND	GND	P79	GND
GND	GND	P85	GND
GND	GND	P95	GND
GND	GND	P105	GND
GND	GND	P121	GND
GND	GND	P131	GND
GND	GND	P141	GND
GND	GND	P156	GND
GND	GND	P173	GND
GND	GND	P182	GND
GND	GND	P188	GND
GND	GND	P198	GND
GND	GND	P208	GND
VCCAUX	DONE	P104	CONFIG
VCCAUX	PROG_B	P1	CONFIG
VCCAUX	TCK	P158	JTAG
VCCAUX	TDI	P207	JTAG
VCCAUX	TDO	P157	JTAG
VCCAUX	TMS	P155	JTAG
VCCAUX	VCCAUX	P7	VCCAUX
VCCAUX	VCCAUX	P44	VCCAUX
VCCAUX	VCCAUX	P66	VCCAUX
VCCAUX	VCCAUX	P92	VCCAUX
VCCAUX	VCCAUX	P111	VCCAUX
VCCAUX	VCCAUX	P149	VCCAUX
VCCAUX	VCCAUX	P166	VCCAUX
VCCAUX	VCCAUX	P195	VCCAUX
VCCINT	VCCINT	P13	VCCINT
VCCINT	VCCINT	P67	VCCINT
VCCINT	VCCINT	P117	VCCINT
VCCINT	VCCINT	P170	VCCINT

バンクごとのユーザー I/O 数

表 141 に、PQ208 パッケージの 158 本のユーザー I/O ピンが 4 つの I/O バンクにどのように分配されているかを示します。

表 141 : PQ208 パッケージにおける XC3S250E および XC3S500E デバイスのバンクごとのユーザー I/O 数

パッケージ エッジ	I/O バンク	最大 I/O 数	使用可能な I/O ピンの各タイプ				
			I/O	INPUT	DUAL	VREF ⁽¹⁾	CLK ⁽¹⁾
上辺	0	38	18	6	1	5	8
右辺	1	40	9	7	21	3	0 ⁽²⁾
下辺	2	40	8	6	24	2	0 ⁽²⁾
左辺	3	40	23	6	0	3	8
計		158	58	25	46	13	16

メモ :

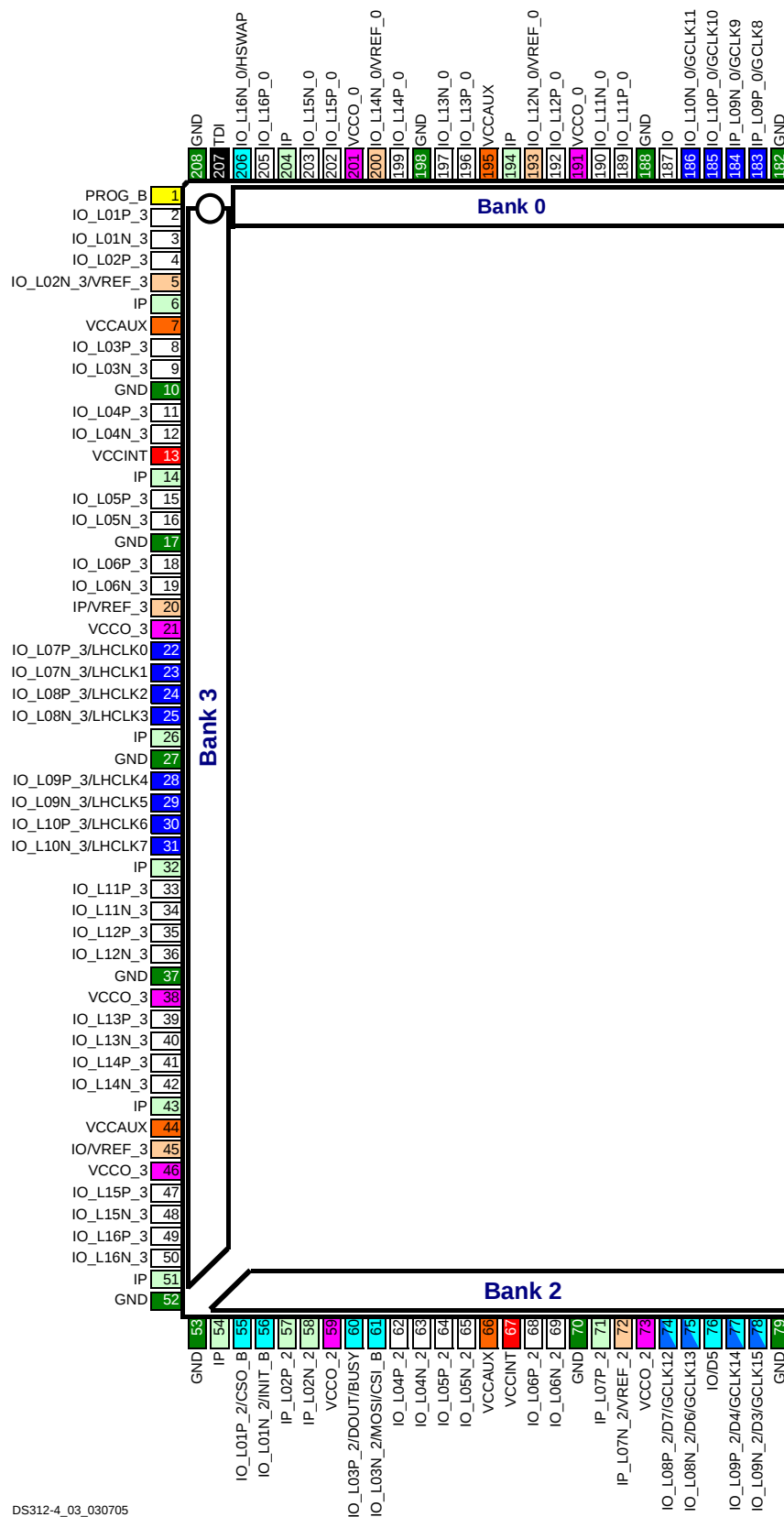
1. VREF および CLK ピンの一部は INPUT ピンに含まれます。
2. このバンク内の 8 本のグローバル クロック ピンは、コンフィギュレーション モードによって、コンフィギュレーションにも使用される場合があるため DUAL ピンとして分類されています。

フットプリントの互換性

XC3S250E および XC3S500E デバイスにおける PQ208 パッケージのフットプリントは同一であるため、両デバイス間でデザインをそのまま移行できます。

THIS PAGE INTENTIONALLY LEFT BLANK

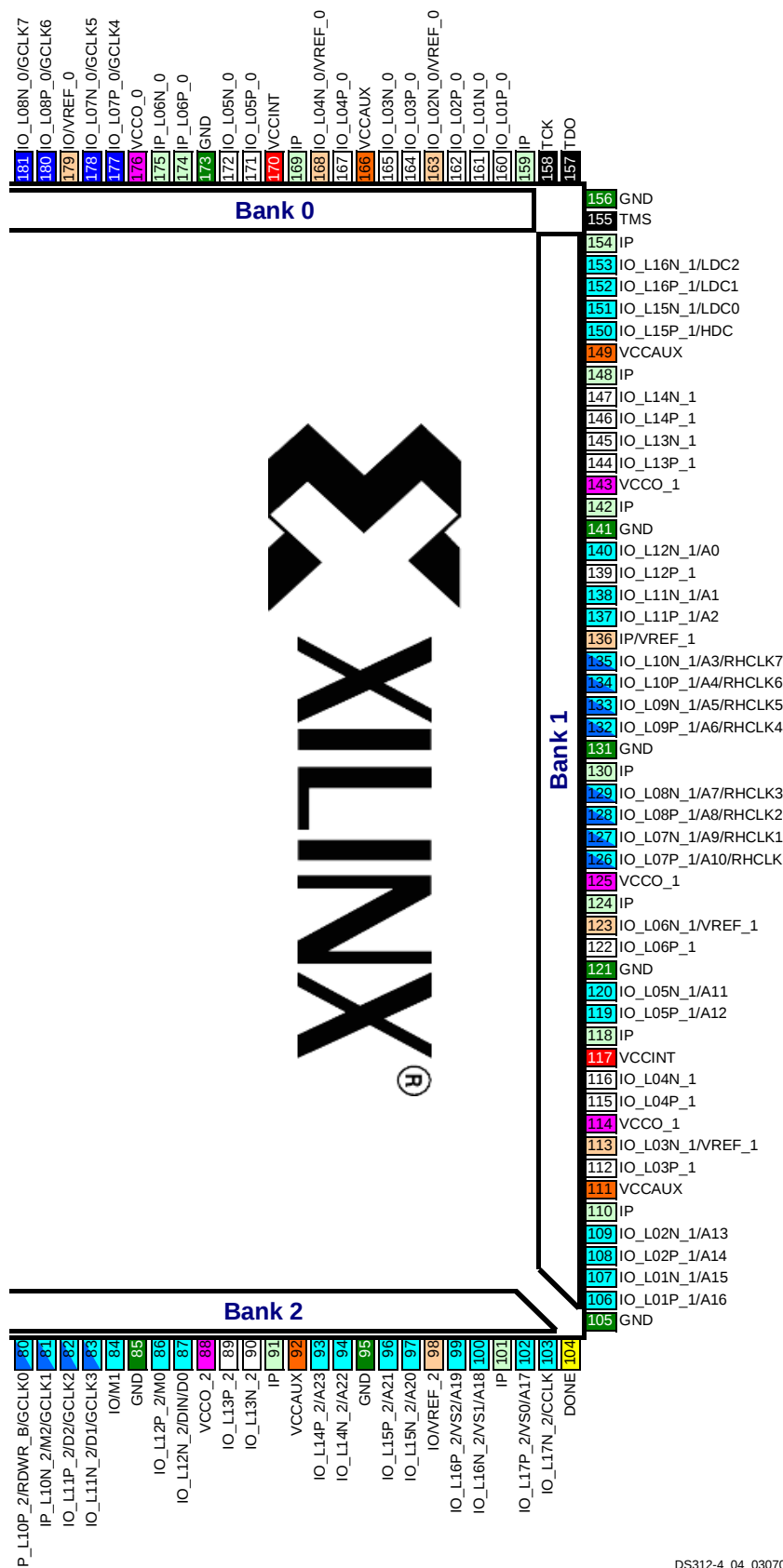
PQ208 のフットプリント (左側)



DS312-4_03_030705

図 84 : PQ208 のフットプリント (左側)

PQ208 のフットプリント (右側)



DS312-4_04_030705

図 85 : PQ208 のフットプリント (右側)

FT256 : 256 ボール Fine-pitch Thin BGA パッケージ

256 ボール Fine-pitch Thin BGA パッケージ FT256 は、XC3S250E、XC3S500E、および XC3S1200E の 3 つの Spartan-3E FPGA 用に提供されています。

表 142 に、すべてのパッケージ ピンをバンク番号およびピン名で分類して示します。差動 I/O ペアとなるピンは並べて示します。また、各ピンのピン番号および前述したピン タイプも示します。

グレーの行は、XC3S250E、XC3S500E、および XC3S1200E デバイス間においてピン配置が異なっていることを示します。XC3S250E には 18 個の接続されていないボールがあり、表 142 に N.C. (コネクタなし)、図 86 に黒いひし形 (◆) で示します。

褐色の行は、XC3S250E デバイスで接続されていないピンが、XC3S500E および XC3S1200E デバイスでは VREF ピンになることを示します。FPGA のアプリケーションで VREF 参照電圧が必要な I/O 規格を使用する場合、これらのピンが実際に XC3S250E デバイスに接続されていない場合でも、VREF 電源に接続してください。VREF をボードに接続しておく、プリント基板を変更しなくても大型のデバイスに移行できます。

その他のすべてのボールには、3 つのデバイスすべてでほぼ同一の機能があります。FT256 パッケージにおける Spartan-3E フットプリントの互換性を表 146 に示します。

このパッケージのピン配置表およびフットプリント図は、次のサイトからダウンロードできます。

http://japan.xilinx.com/support/documentation/data_sheets/s3e_pin.zip

ピン配置表

表 142 : FT256 パッケージのピン配置

バンク	XC3S250E ピン名	XC3S500E ピン名	XC3S1200E ピン名	FT256 ボール	タイプ
0	IO	IO	IO	A7	I/O
0	IO	IO	IO	A12	I/O
0	IO	IO	IO	B4	I/O
0	IP	IP	IO	B6	250E : INPUT 500E : INPUT 1200E : I/O
0	IP	IP	IO	B10	250E : INPUT 500E : INPUT 1200E : I/O
0	IO/VREF_0	IO/VREF_0	IO/VREF_0	D9	VREF
0	IO_L01N_0	IO_L01N_0	IO_L01N_0	A14	I/O
0	IO_L01P_0	IO_L01P_0	IO_L01P_0	B14	I/O
0	IO_L03N_0/VREF_0	IO_L03N_0/VREF_0	IO_L03N_0/VREF_0	A13	VREF
0	IO_L03P_0	IO_L03P_0	IO_L03P_0	B13	I/O
0	IO_L04N_0	IO_L04N_0	IO_L04N_0	E11	I/O
0	IO_L04P_0	IO_L04P_0	IO_L04P_0	D11	I/O
0	IO_L05N_0/VREF_0	IO_L05N_0/VREF_0	IO_L05N_0/VREF_0	B11	VREF
0	IO_L05P_0	IO_L05P_0	IO_L05P_0	C11	I/O
0	IO_L06N_0	IO_L06N_0	IO_L06N_0	E10	I/O
0	IO_L06P_0	IO_L06P_0	IO_L06P_0	D10	I/O
0	IO_L08N_0/GCLK5	IO_L08N_0/GCLK5	IO_L08N_0/GCLK5	F9	GCLK
0	IO_L08P_0/GCLK4	IO_L08P_0/GCLK4	IO_L08P_0/GCLK4	E9	GCLK
0	IO_L09N_0/GCLK7	IO_L09N_0/GCLK7	IO_L09N_0/GCLK7	A9	GCLK

表 142 : FT256 パッケージのピン配置 (続き)

バンク	XC3S250E ピン名	XC3S500E ピン名	XC3S1200E ピン名	FT256 ボール	タイプ
0	IO_L09P_0/GCLK6	IO_L09P_0/GCLK6	IO_L09P_0/GCLK6	A10	GCLK
0	IO_L11N_0/GCLK11	IO_L11N_0/GCLK11	IO_L11N_0/GCLK11	D8	GCLK
0	IO_L11P_0/GCLK10	IO_L11P_0/GCLK10	IO_L11P_0/GCLK10	C8	GCLK
0	IO_L12N_0	IO_L12N_0	IO_L12N_0	F8	I/O
0	IO_L12P_0	IO_L12P_0	IO_L12P_0	E8	I/O
0	N.C. (◆)	IO_L13N_0	IO_L13N_0	C7	250E : N.C. 500E : I/O 1200E : I/O
0	N.C. (◆)	IO_L13P_0	IO_L13P_0	B7	250E : N.C. 500E : I/O 1200E : I/O
0	IO_L14N_0/VREF_0	IO_L14N_0/VREF_0	IO_L14N_0/VREF_0	D7	VREF
0	IO_L14P_0	IO_L14P_0	IO_L14P_0	E7	I/O
0	IO_L15N_0	IO_L15N_0	IO_L15N_0	D6	I/O
0	IO_L15P_0	IO_L15P_0	IO_L15P_0	C6	I/O
0	IO_L17N_0/VREF_0	IO_L17N_0/VREF_0	IO_L17N_0/VREF_0	A4	VREF
0	IO_L17P_0	IO_L17P_0	IO_L17P_0	A5	I/O
0	IO_L18N_0	IO_L18N_0	IO_L18N_0	C4	I/O
0	IO_L18P_0	IO_L18P_0	IO_L18P_0	C5	I/O
0	IO_L19N_0/HSWAP	IO_L19N_0/HSWAP	IO_L19N_0/HSWAP	B3	DUAL
0	IO_L19P_0	IO_L19P_0	IO_L19P_0	C3	I/O
0	IP	IP	IP	A3	INPUT
0	IP	IP	IP	C13	INPUT
0	IP_L02N_0	IP_L02N_0	IP_L02N_0	C12	INPUT
0	IP_L02P_0	IP_L02P_0	IP_L02P_0	D12	INPUT
0	IP_L07N_0	IP_L07N_0	IP_L07N_0	C9	INPUT
0	IP_L07P_0	IP_L07P_0	IP_L07P_0	C10	INPUT
0	IP_L10N_0/GCLK9	IP_L10N_0/GCLK9	IP_L10N_0/GCLK9	B8	GCLK
0	IP_L10P_0/GCLK8	IP_L10P_0/GCLK8	IP_L10P_0/GCLK8	A8	GCLK
0	IP_L16N_0	IP_L16N_0	IP_L16N_0	E6	INPUT
0	IP_L16P_0	IP_L16P_0	IP_L16P_0	D5	INPUT
0	VCCO_0	VCCO_0	VCCO_0	B5	VCCO
0	VCCO_0	VCCO_0	VCCO_0	B12	VCCO
0	VCCO_0	VCCO_0	VCCO_0	F7	VCCO
0	VCCO_0	VCCO_0	VCCO_0	F10	VCCO
1	IO_L01N_1/A15	IO_L01N_1/A15	IO_L01N_1/A15	R15	DUAL

表 142 : FT256 パッケージのピン配置 (続き)

バンク	XC3S250E ピン名	XC3S500E ピン名	XC3S1200E ピン名	FT256 ボール	タイプ
1	IO_L01P_1/A16	IO_L01P_1/A16	IO_L01P_1/A16	R16	DUAL
1	IO_L02N_1/A13	IO_L02N_1/A13	IO_L02N_1/A13	P15	DUAL
1	IO_L02P_1/A14	IO_L02P_1/A14	IO_L02P_1/A14	P16	DUAL
1	N.C. (◆)	IO_L03N_1/VREF_1	IO_L03N_1/VREF_1	N15	250E : N.C. 500E : VREF 1200E : VREF
1	N.C. (◆)	IO_L03P_1	IO_L03P_1	N14	250E : N.C. 500E : I/O 1200E : I/O
1	IO_L04N_1/VREF_1	IO_L04N_1/VREF_1	IO_L04N_1/VREF_1	M16	VREF
1	IO_L04P_1	IO_L04P_1	IO_L04P_1	N16	I/O
1	N.C. (◆)	IO_L05N_1	IO_L05N_1	L13	250E : N.C. 500E : I/O 1200E : I/O
1	N.C. (◆)	IO_L05P_1	IO_L05P_1	L12	250E : N.C. 500E : I/O 1200E : I/O
1	IO_L06N_1	IO_L06N_1	IO_L06N_1	L15	I/O
1	IO_L06P_1	IO_L06P_1	IO_L06P_1	L14	I/O
1	IO_L07N_1/A11	IO_L07N_1/A11	IO_L07N_1/A11	K12	DUAL
1	IO_L07P_1/A12	IO_L07P_1/A12	IO_L07P_1/A12	K13	DUAL
1	IO_L08N_1/VREF_1	IO_L08N_1/VREF_1	IO_L08N_1/VREF_1	K14	VREF
1	IO_L08P_1	IO_L08P_1	IO_L08P_1	K15	I/O
1	IO_L09N_1/A9/RHCLK1	IO_L09N_1/A9/RHCLK1	IO_L09N_1/A9/RHCLK1	J16	RHCLK/DUAL
1	IO_L09P_1/A10/RHCLK0	IO_L09P_1/A10/RHCLK0	IO_L09P_1/A10/RHCLK0	K16	RHCLK/DUAL
1	IO_L10N_1/A7/RHCLK3/ TRDY1	IO_L10N_1/A7/RHCLK3/ TRDY1	IO_L10N_1/A7/RHCLK3/ TRDY1	J13	RHCLK/DUAL
1	IO_L10P_1/A8/RHCLK2	IO_L10P_1/A8/RHCLK2	IO_L10P_1/A8/RHCLK2	J14	RHCLK/DUAL
1	IO_L11N_1/A5/RHCLK5	IO_L11N_1/A5/RHCLK5	IO_L11N_1/A5/RHCLK5	H14	RHCLK/DUAL
1	IO_L11P_1/A6/RHCLK4/ IRDY1	IO_L11P_1/A6/RHCLK4/ IRDY1	IO_L11P_1/A6/RHCLK4/ IRDY1	H15	RHCLK/DUAL
1	IO_L12N_1/A3/RHCLK7	IO_L12N_1/A3/RHCLK7	IO_L12N_1/A3/RHCLK7	H11	RHCLK/DUAL
1	IO_L12P_1/A4/RHCLK6	IO_L12P_1/A4/RHCLK6	IO_L12P_1/A4/RHCLK6	H12	RHCLK/DUAL
1	IO_L13N_1/A1	IO_L13N_1/A1	IO_L13N_1/A1	G16	DUAL
1	IO_L13P_1/A2	IO_L13P_1/A2	IO_L13P_1/A2	G15	DUAL
1	IO_L14N_1/A0	IO_L14N_1/A0	IO_L14N_1/A0	G14	DUAL
1	IO_L14P_1	IO_L14P_1	IO_L14P_1	G13	I/O
1	IO_L15N_1	IO_L15N_1	IO_L15N_1	F15	I/O

表 142 : FT256 パッケージのピン配置 (続き)

バンク	XC3S250E ピン名	XC3S500E ピン名	XC3S1200E ピン名	FT256 ボール	タイプ
1	IO_L15P_1	IO_L15P_1	IO_L15P_1	F14	I/O
1	IO_L16N_1	IO_L16N_1	IO_L16N_1	F12	I/O
1	IO_L16P_1	IO_L16P_1	IO_L16P_1	F13	I/O
1	N.C. (◆)	IO_L17N_1	IO_L17N_1	E16	250E : N.C. 500E : I/O 1200E : I/O
1	N.C. (◆)	IO_L17P_1	IO_L17P_1	E13	250E : N.C. 500E : I/O 1200E : I/O
1	IO_L18N_1/LDC0	IO_L18N_1/LDC0	IO_L18N_1/LDC0	D14	DUAL
1	IO_L18P_1/HDC	IO_L18P_1/HDC	IO_L18P_1/HDC	D15	DUAL
1	IO_L19N_1/LDC2	IO_L19N_1/LDC2	IO_L19N_1/LDC2	C15	DUAL
1	IO_L19P_1/LDC1	IO_L19P_1/LDC1	IO_L19P_1/LDC1	C16	DUAL
1	IP	IP	IP	B16	INPUT
1	IP	IP	IP	E14	INPUT
1	IP	IP	IP	G12	INPUT
1	IP	IP	IP	H16	INPUT
1	IP	IP	IP	J11	INPUT
1	IP	IP	IP	J12	INPUT
1	IP	IP	IP	M13	INPUT
1	IO	IO	IP	M14	250E : I/O 500E : I/O 1200E : INPUT
1	IO/VREF_1	IP/VREF_1	IP/VREF_1	D16	250E : VREF(I/O) 500E : VREF(INPUT) 1200E : VREF(INPUT)
1	IP/VREF_1	IP/VREF_1	IP/VREF_1	H13	VREF
1	VCCO_1	VCCO_1	VCCO_1	E15	VCCO
1	VCCO_1	VCCO_1	VCCO_1	G11	VCCO
1	VCCO_1	VCCO_1	VCCO_1	K11	VCCO
1	VCCO_1	VCCO_1	VCCO_1	M15	VCCO
2	IP	IP	IO	M7	250E : INPUT 500E : INPUT 1200E : I/O
2	IP	IP	IO	T12	250E : INPUT 500E : INPUT 1200E : I/O

表 142 : FT256 パッケージのピン配置 (続き)

バンク	XC3S250E ピン名	XC3S500E ピン名	XC3S1200E ピン名	FT256 ボール	タイプ
2	IO/D5	IO/D5	IO/D5	T8	DUAL
2	IO/M1	IO/M1	IO/M1	T10	DUAL
2	IO/VREF_2	IO/VREF_2	IO/VREF_2	P13	VREF
2	IO/VREF_2	IO/VREF_2	IO/VREF_2	R4	VREF
2	IO_L01N_2/INIT_B	IO_L01N_2/INIT_B	IO_L01N_2/INIT_B	P4	DUAL
2	IO_L01P_2/CSO_B	IO_L01P_2/CSO_B	IO_L01P_2/CSO_B	P3	DUAL
2	IO_L03N_2/MOSI/CSI_B	IO_L03N_2/MOSI/CSI_B	IO_L03N_2/MOSI/CSI_B	N5	DUAL
2	IO_L03P_2/DOUT/BUSY	IO_L03P_2/DOUT/BUSY	IO_L03P_2/DOUT/BUSY	P5	DUAL
2	IO_L04N_2	IO_L04N_2	IO_L04N_2	T5	I/O
2	IO_L04P_2	IO_L04P_2	IO_L04P_2	T4	I/O
2	IO_L05N_2	IO_L05N_2	IO_L05N_2	N6	I/O
2	IO_L05P_2	IO_L05P_2	IO_L05P_2	M6	I/O
2	IO_L06N_2	IO_L06N_2	IO_L06N_2	P6	I/O
2	IO_L06P_2	IO_L06P_2	IO_L06P_2	R6	I/O
2	N.C. (◆)	IO_L07N_2	IO_L07N_2	P7	250E : N.C. 500E : I/O 1200E : I/O
2	N.C. (◆)	IO_L07P_2	IO_L07P_2	N7	250E : N.C. 500E : I/O 1200E : I/O
2	IO_L09N_2/D6/GCLK13	IO_L09N_2/D6/GCLK13	IO_L09N_2/D6/GCLK13	L8	DUAL/GCLK
2	IO_L09P_2/D7/GCLK12	IO_L09P_2/D7/GCLK12	IO_L09P_2/D7/GCLK12	M8	DUAL/GCLK
2	IO_L10N_2/D3/GCLK15	IO_L10N_2/D3/GCLK15	IO_L10N_2/D3/GCLK15	P8	DUAL/GCLK
2	IO_L10P_2/D4/GCLK14	IO_L10P_2/D4/GCLK14	IO_L10P_2/D4/GCLK14	N8	DUAL/GCLK
2	IO_L12N_2/D1/GCLK3	IO_L12N_2/D1/GCLK3	IO_L12N_2/D1/GCLK3	N9	DUAL/GCLK
2	IO_L12P_2/D2/GCLK2	IO_L12P_2/D2/GCLK2	IO_L12P_2/D2/GCLK2	P9	DUAL/GCLK
2	IO_L13N_2/DIN/D0	IO_L13N_2/DIN/D0	IO_L13N_2/DIN/D0	M9	DUAL
2	IO_L13P_2/M0	IO_L13P_2/M0	IO_L13P_2/M0	L9	DUAL
2	N.C. (◆)	IO_L14N_2/VREF_2	IO_L14N_2/VREF_2	R10	250E : N.C. 500E : VREF 1200E : VREF
2	N.C. (◆)	IO_L14P_2	IO_L14P_2	P10	250E : N.C. 500E : I/O 1200E : I/O
2	IO_L15N_2	IO_L15N_2	IO_L15N_2	M10	I/O
2	IO_L15P_2	IO_L15P_2	IO_L15P_2	N10	I/O
2	IO_L16N_2/A22	IO_L16N_2/A22	IO_L16N_2/A22	P11	DUAL

表 142 : FT256 パッケージのピン配置 (続き)

バンク	XC3S250E ピン名	XC3S500E ピン名	XC3S1200E ピン名	FT256 ボール	タイプ
2	IO_L16P_2/A23	IO_L16P_2/A23	IO_L16P_2/A23	R11	DUAL
2	IO_L18N_2/A20	IO_L18N_2/A20	IO_L18N_2/A20	N12	DUAL
2	IO_L18P_2/A21	IO_L18P_2/A21	IO_L18P_2/A21	P12	DUAL
2	IO_L19N_2/VS1/A18	IO_L19N_2/VS1/A18	IO_L19N_2/VS1/A18	R13	DUAL
2	IO_L19P_2/VS2/A19	IO_L19P_2/VS2/A19	IO_L19P_2/VS2/A19	T13	DUAL
2	IO_L20N_2/CCLK	IO_L20N_2/CCLK	IO_L20N_2/CCLK	R14	DUAL
2	IO_L20P_2/VS0/A17	IO_L20P_2/VS0/A17	IO_L20P_2/VS0/A17	P14	DUAL
2	IP	IP	IP	T2	INPUT
2	IP	IP	IP	T14	INPUT
2	IP_L02N_2	IP_L02N_2	IP_L02N_2	R3	INPUT
2	IP_L02P_2	IP_L02P_2	IP_L02P_2	T3	INPUT
2	IP_L08N_2/VREF_2	IP_L08N_2/VREF_2	IP_L08N_2/VREF_2	T7	VREF
2	IP_L08P_2	IP_L08P_2	IP_L08P_2	R7	INPUT
2	IP_L11N_2/M2/GCLK1	IP_L11N_2/M2/GCLK1	IP_L11N_2/M2/GCLK1	R9	DUAL/GCLK
2	IP_L11P_2/RDWR_B/ GCLK0	IP_L11P_2/RDWR_B/ GCLK0	IP_L11P_2/RDWR_B/ GCLK0	T9	DUAL/GCLK
2	IP_L17N_2	IP_L17N_2	IP_L17N_2	M11	INPUT
2	IP_L17P_2	IP_L17P_2	IP_L17P_2	N11	INPUT
2	VCCO_2	VCCO_2	VCCO_2	L7	VCCO
2	VCCO_2	VCCO_2	VCCO_2	L10	VCCO
2	VCCO_2	VCCO_2	VCCO_2	R5	VCCO
2	VCCO_2	VCCO_2	VCCO_2	R12	VCCO
3	IO_L01N_3	IO_L01N_3	IO_L01N_3	B2	I/O
3	IO_L01P_3	IO_L01P_3	IO_L01P_3	B1	I/O
3	IO_L02N_3/VREF_3	IO_L02N_3/VREF_3	IO_L02N_3/VREF_3	C2	VREF
3	IO_L02P_3	IO_L02P_3	IO_L02P_3	C1	I/O
3	IO_L03N_3	IO_L03N_3	IO_L03N_3	E4	I/O
3	IO_L03P_3	IO_L03P_3	IO_L03P_3	E3	I/O
3	N.C. (◆)	IO_L04N_3/VREF_3	IO_L04N_3/VREF_3	F4	250E : N.C. 500E : VREF 1200E : VREF
3	N.C. (◆)	IO_L04P_3	IO_L04P_3	F3	250E : N.C. 500E : I/O 1200E : I/O
3	IO_L05N_3	IO_L05N_3	IO_L05N_3	E1	I/O
3	IO_L05P_3	IO_L05P_3	IO_L05P_3	D1	I/O

表 142 : FT256 パッケージのピン配置 (続き)

バンク	XC3S250E ピン名	XC3S500E ピン名	XC3S1200E ピン名	FT256 ボール	タイプ
3	IO_L06N_3	IO_L06N_3	IO_L06N_3	G4	I/O
3	IO_L06P_3	IO_L06P_3	IO_L06P_3	G5	I/O
3	IO_L07N_3	IO_L07N_3	IO_L07N_3	G2	I/O
3	IO_L07P_3	IO_L07P_3	IO_L07P_3	G3	I/O
3	IO_L08N_3/LHCLK1	IO_L08N_3/LHCLK1	IO_L08N_3/LHCLK1	H6	LHCLK
3	IO_L08P_3/LHCLK0	IO_L08P_3/LHCLK0	IO_L08P_3/LHCLK0	H5	LHCLK
3	IO_L09N_3/LHCLK3/ IRDY2	IO_L09N_3/LHCLK3/ IRDY2	IO_L09N_3/LHCLK3/ IRDY2	H4	LHCLK
3	IO_L09P_3/LHCLK2	IO_L09P_3/LHCLK2	IO_L09P_3/LHCLK2	H3	LHCLK
3	IO_L10N_3/LHCLK5	IO_L10N_3/LHCLK5	IO_L10N_3/LHCLK5	J3	LHCLK
3	IO_L10P_3/LHCLK4/ TRDY2	IO_L10P_3/LHCLK4/ TRDY2	IO_L10P_3/LHCLK4/ TRDY2	J2	LHCLK
3	IO_L11N_3/LHCLK7	IO_L11N_3/LHCLK7	IO_L11N_3/LHCLK7	J4	LHCLK
3	IO_L11P_3/LHCLK6	IO_L11P_3/LHCLK6	IO_L11P_3/LHCLK6	J5	LHCLK
3	IO_L12N_3	IO_L12N_3	IO_L12N_3	K1	I/O
3	IO_L12P_3	IO_L12P_3	IO_L12P_3	J1	I/O
3	IO_L13N_3	IO_L13N_3	IO_L13N_3	K3	I/O
3	IO_L13P_3	IO_L13P_3	IO_L13P_3	K2	I/O
3	N.C. (◆)	IO_L14N_3/VREF_3	IO_L14N_3/VREF_3	L2	250E : N.C. 500E : VREF 1200E : VREF
3	N.C. (◆)	IO_L14P_3	IO_L14P_3	L3	250E : N.C. 500E : I/O 1200E : I/O
3	IO_L15N_3	IO_L15N_3	IO_L15N_3	L5	I/O
3	IO_L15P_3	IO_L15P_3	IO_L15P_3	K5	I/O
3	IO_L16N_3	IO_L16N_3	IO_L16N_3	N1	I/O
3	IO_L16P_3	IO_L16P_3	IO_L16P_3	M1	I/O
3	N.C. (◆)	IO_L17N_3	IO_L17N_3	L4	250E : N.C. 500E : I/O 1200E : I/O
3	N.C. (◆)	IO_L17P_3	IO_L17P_3	M4	250E : N.C. 500E : I/O 1200E : I/O
3	IO_L18N_3	IO_L18N_3	IO_L18N_3	P1	I/O
3	IO_L18P_3	IO_L18P_3	IO_L18P_3	P2	I/O
3	IO_L19N_3	IO_L19N_3	IO_L19N_3	R1	I/O
3	IO_L19P_3	IO_L19P_3	IO_L19P_3	R2	I/O

表 142 : FT256 パッケージのピン配置 (続き)

バンク	XC3S250E ピン名	XC3S500E ピン名	XC3S1200E ピン名	FT256 ボール	タイプ
3	IP	IP	IP	D2	INPUT
3	IP	IP	IP	F2	INPUT
3	IO	IO	IP	F5	250E : I/O 500E : I/O 1200E : INPUT
3	IP	IP	IP	H1	INPUT
3	IP	IP	IP	J6	INPUT
3	IP	IP	IP	K4	INPUT
3	IP	IP	IP	M3	INPUT
3	IP	IP	IP	N3	INPUT
3	IP/VREF_3	IP/VREF_3	IP/VREF_3	G1	VREF
3	IO/VREF_3	IO/VREF_3	IP/VREF_3	N2	250E : VREF(I/O) 500E : VREF(I/O) 1200E : VREF(INPUT)
3	VCCO_3	VCCO_3	VCCO_3	E2	VCCO
3	VCCO_3	VCCO_3	VCCO_3	G6	VCCO
3	VCCO_3	VCCO_3	VCCO_3	K6	VCCO
3	VCCO_3	VCCO_3	VCCO_3	M2	VCCO
GND	GND	GND	GND	A1	GND
GND	GND	GND	GND	A16	GND
GND	GND	GND	GND	B9	GND
GND	GND	GND	GND	F6	GND
GND	GND	GND	GND	F11	GND
GND	GND	GND	GND	G7	GND
GND	GND	GND	GND	G8	GND
GND	GND	GND	GND	G9	GND
GND	GND	GND	GND	G10	GND
GND	GND	GND	GND	H2	GND
GND	GND	GND	GND	H7	GND
GND	GND	GND	GND	H8	GND
GND	GND	GND	GND	H9	GND
GND	GND	GND	GND	H10	GND
GND	GND	GND	GND	J7	GND
GND	GND	GND	GND	J8	GND
GND	GND	GND	GND	J9	GND

表 142 : FT256 パッケージのピン配置 (続き)

バンク	XC3S250E ピン名	XC3S500E ピン名	XC3S1200E ピン名	FT256 ボール	タイプ
GND	GND	GND	GND	J10	GND
GND	GND	GND	GND	J15	GND
GND	GND	GND	GND	K7	GND
GND	GND	GND	GND	K8	GND
GND	GND	GND	GND	K9	GND
GND	GND	GND	GND	K10	GND
GND	GND	GND	GND	L6	GND
GND	GND	GND	GND	L11	GND
GND	GND	GND	GND	R8	GND
GND	GND	GND	GND	T1	GND
GND	GND	GND	GND	T16	GND
VCCAUX	DONE	DONE	DONE	T15	CONFIG
VCCAUX	PROG_B	PROG_B	PROG_B	D3	CONFIG
VCCAUX	TCK	TCK	TCK	A15	JTAG
VCCAUX	TDI	TDI	TDI	A2	JTAG
VCCAUX	TDO	TDO	TDO	C14	JTAG
VCCAUX	TMS	TMS	TMS	B15	JTAG
VCCAUX	VCCAUX	VCCAUX	VCCAUX	A6	VCCAUX
VCCAUX	VCCAUX	VCCAUX	VCCAUX	A11	VCCAUX
VCCAUX	VCCAUX	VCCAUX	VCCAUX	F1	VCCAUX
VCCAUX	VCCAUX	VCCAUX	VCCAUX	F16	VCCAUX
VCCAUX	VCCAUX	VCCAUX	VCCAUX	L1	VCCAUX
VCCAUX	VCCAUX	VCCAUX	VCCAUX	L16	VCCAUX
VCCAUX	VCCAUX	VCCAUX	VCCAUX	T6	VCCAUX
VCCAUX	VCCAUX	VCCAUX	VCCAUX	T11	VCCAUX
VCCINT	VCCINT	VCCINT	VCCINT	D4	VCCINT
VCCINT	VCCINT	VCCINT	VCCINT	D13	VCCINT
VCCINT	VCCINT	VCCINT	VCCINT	E5	VCCINT
VCCINT	VCCINT	VCCINT	VCCINT	E12	VCCINT
VCCINT	VCCINT	VCCINT	VCCINT	M5	VCCINT
VCCINT	VCCINT	VCCINT	VCCINT	M12	VCCINT
VCCINT	VCCINT	VCCINT	VCCINT	N4	VCCINT
VCCINT	VCCINT	VCCINT	VCCINT	N13	VCCINT

バンクごとのユーザー I/O 数

表 143、表 144、および表 145 に、FT256 パッケージのユーザー I/O ピンが 4 つの I/O バンクにどのように分配されているかを示します。

FT256 パッケージにおける XC3S250E デバイスには 18 個の接続されていないボールがあり、N.C. と表示します。また、これらのピンは図 86 に黒いひし形 (◆) で示します。

表 143: FT256 パッケージにおける XC3S250E デバイスのバンクごとのユーザー I/O 数

パッケージ エッジ	I/O バンク	最大 I/O 数	使用可能な I/O ピン数 (タイプ別)				
			I/O	INPUT	DUAL	VREF ⁽¹⁾	CLK ⁽¹⁾
上辺	0	44	20	10	1	5	8
右辺	1	42	10	7	21	4	0 ⁽²⁾
下辺	2	44	8	9	24	3	0 ⁽²⁾
左辺	3	42	24	7	0	3	8
計		172	62	33	46	15	16

メモ:

1. VREF および CLK ピンの一部は INPUT ピンに含まれます。
2. このバンク内の 8 本のグローバル クロック ピンは、コンフィギュレーション モードによって、コンフィギュレーションにも使用される場合があるため DUAL ピンとして分類されています。

表 144: FT256 パッケージにおける XC3S500E デバイスのバンクごとのユーザー I/O 数

パッケージ エッジ	I/O バンク	最大 I/O 数	使用可能な I/O ピン (タイプ別)				
			I/O	INPUT	DUAL	VREF ⁽¹⁾	CLK ⁽¹⁾
上辺	0	46	22	10	1	5	8
右辺	1	48	15	7	21	5	0 ⁽²⁾
下辺	2	48	11	9	24	4	0 ⁽²⁾
左辺	3	48	28	7	0	5	8
計		190	76	33	46	19	16

メモ:

1. VREF および CLK ピンの一部は INPUT ピンに含まれます。
2. このバンク内の 8 本のグローバル クロック ピンは、コンフィギュレーション モードによって、コンフィギュレーションにも使用される場合があるため DUAL ピンとして分類されています。

表 145: FT256 パッケージにおける XC3S1200E デバイスのバンクごとのユーザー I/O 数

パッケージ エッジ	I/O バンク	最大 I/O 数	使用可能な I/O ピン数 (タイプ別)				
			I/O	INPUT	DUAL	VREF ⁽¹⁾	CLK ⁽¹⁾
上辺	0	46	24	8	1	5	8
右辺	1	48	14	8	21	5	0 ⁽²⁾
下辺	2	48	13	7	24	4	0 ⁽²⁾
左辺	3	48	27	8	0	5	8
計		190	78	31	46	19	16

メモ:

1. VREF および CLK ピンの一部は INPUT ピンに含まれます。
2. このバンク内の 8 本のグローバル クロック ピンは、コンフィギュレーション モードによって、コンフィギュレーションにも使用される場合があるため DUAL ピンとして分類されています。

フットプリントの互換性

表 146 に、XC3S250E、XC3S500E、および XC3S1200E デバイス間でのフットプリントおよび機能の相違を示します。相違のあるピンは 26 本あり、デバイスを移行する際に注意が必要です。

表 146 に記載されていないピンは、Spartan-3E デバイス間でそのまま移行できます。

XC3S250E は表の左側と右側の両方にあり、XC3S500E と XC3S1200E への移行を示します。矢印は、移行できる方向を示

します。両方向の矢印 (↔) は、それぞれのピンに同一の機能があることを示します。左方向の矢印 (←) は、右側のデバイスのピンを左側のデバイスのピンに移行できることを示します。I/O のコンフィギュレーションによっては、反対方向へ移行することも可能です。たとえば、I/O ピンが入力ピンとしてコンフィギュレーションされている場合、I/O ピン (I/O) は入力のみ (INPUT) に移行できます。

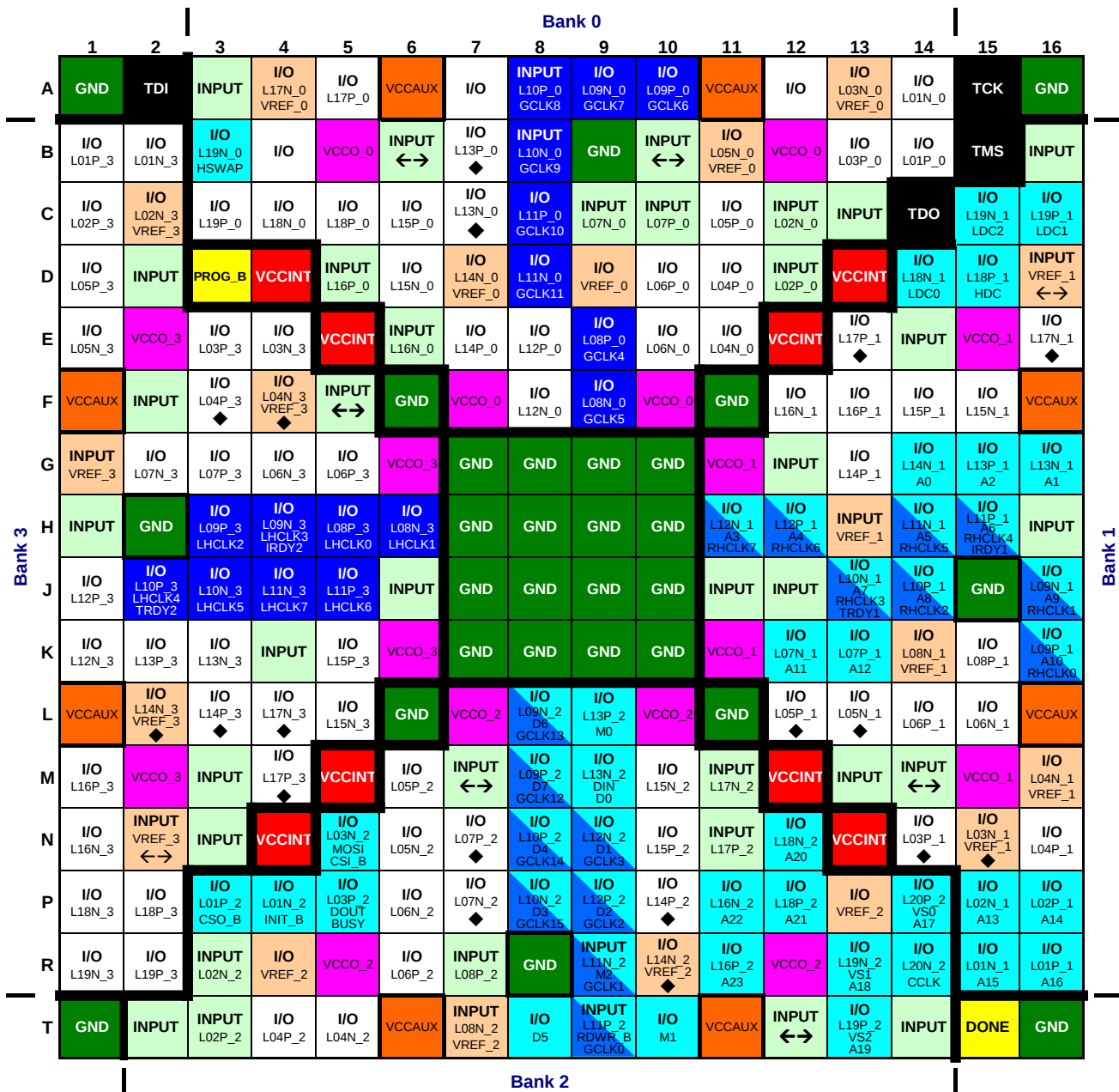
表 146 : FT256 フットプリントの互換性

FT256 ボール	バンク	XC3S250E	移行	XC3S500E	移行	XC3S1200E	移行	XC3S250E
B6	0	INPUT	↔	INPUT	→	I/O	←	INPUT
B7	0	N.C.	→	I/O	↔	I/O	←	N.C.
B10	0	INPUT	↔	INPUT	→	I/O	←	INPUT
C7	0	N.C.	→	I/O	↔	I/O	←	N.C.
D16	1	VREF(I/O)	←	VREF(INPUT)	↔	VREF(INPUT)	→	VREF(I/O)
E13	1	N.C.	→	I/O	↔	I/O	←	N.C.
E16	1	N.C.	→	I/O	↔	I/O	←	N.C.
F3	3	N.C.	→	I/O	↔	I/O	←	N.C.
F4	3	N.C.	→	VREF	↔	VREF	←	N.C.
F5	3	I/O	↔	I/O	←	INPUT	→	I/O
L2	3	N.C.	→	VREF	↔	VREF	←	N.C.
L3	3	N.C.	→	I/O	↔	I/O	←	N.C.
L4	3	N.C.	→	I/O	↔	I/O	←	N.C.
L12	1	N.C.	→	I/O	↔	I/O	←	N.C.
L13	1	N.C.	→	I/O	↔	I/O	←	N.C.
M4	3	N.C.	→	I/O	↔	I/O	←	N.C.
M7	2	INPUT	↔	INPUT	→	I/O	←	INPUT
M14	1	I/O	↔	I/O	←	INPUT	→	I/O
N2	3	VREF(I/O)	↔	VREF(I/O)	←	VREF(INPUT)	→	VREF(I/O)
N7	2	N.C.	→	I/O	↔	I/O	←	N.C.
N14	1	N.C.	→	I/O	↔	I/O	←	N.C.
N15	1	N.C.	→	VREF	↔	VREF	←	N.C.
P7	2	N.C.	→	I/O	↔	I/O	←	N.C.
P10	2	N.C.	→	I/O	↔	I/O	←	N.C.
R10	2	N.C.	→	VREF	↔	VREF	←	N.C.
T12	2	INPUT	↔	INPUT	→	I/O	←	INPUT
相違のあるピンの数			19		7		26	

説明:

- ↔ 左右のデバイスで同一です。
- 左側のデバイスから右側のデバイスに移行できます。反対方向への移行は、右側のデバイスのピンのコンフィギュレーションによって可能な場合があります。
- ← 右側のデバイスから左側のデバイスに移行できます。反対方向への移行は、左側のデバイスのピンのコンフィギュレーションによって可能な場合があります。

FT256 のフットプリント



DS312-4_05_101805

図 86 : FT256 パッケージのフットプリント (上面図)

2	CONFIG : コンフィギュレーション専用ピン	4	JTAG : JTAG ポート専用ピン	8	VCCINT : 内部コア電源 (+1.2V)
28	GND : グランド	16	VCCO : バンクの出力電源	8	VCCAUX : 補助電源 (+2.5V)
6 ↔	相違のあるピン : デバイスを簡単に移行できるようにするには、入力として使用	18 (◆)	XC3S250E で接続されないピン (N.C.)		

FG320 : 320 ボール Fine-Pitch BGA パッケージ

320 ボール Fine-pitch BGA パッケージ FG320 は、表 147 および図 87 に示すように、XC3S500E、XC3S1200E、XC3S1600E の 3 つの Spartan-3E デバイス用に提供されています。

FG320 パッケージは、18 x 18 のはんだボールのアレイ (中央の 4 つのボールはなし) です。

表 147 に、すべてのパッケージ ピンをバンク番号およびピン名で分類して示します。差動 I/O ペアとなるピンは並べて示します。また、各ピンのピン番号および前述したピン タイプも示します。

グレーの行は、XC3S500E、XC3S1200E、および XC3S1600E デバイス間においてピン配置が異なっていることを示します。XC3S500E には 18 個の接続されていないボールがあり、表 147 に N.C. (コネクタなし)、図 87 に黒いひし形 (◆) で示します。

褐色の行は、XC3S500E デバイスでは接続されていないピンが、XC3S1200E および XC3S1600E デバイスでは VREF ピンになることを示します。FPGA のアプリケーションで VREF 参照電圧が必要な I/O 規格を使用する場合、これらのピンが実際に XC3S500E デバイスに接続されていないとしても、VREF 電源に接続してください。VREF をボードに接続しておくと、プリント基板を変更しなくても大型のデバイスに移行できます。

その他のすべてのボールには、3 つのデバイスすべてにほぼ同一の機能があります。FG320 パッケージにおける Spartan-3E フットプリントの互換性を表 150 に示します。

このパッケージのピン配置表およびフットプリント図は、次のサイトからダウンロードできます。

http://japan.xilinx.com/support/documentation/data_sheets/s3e_pin.zip

ピン配置表

表 147 : FG320 パッケージのピン配置

バンク	XC3S500E ピン名	XC3S1200E ピン名	XC3S1600E ピン名	FG320 ボール	タイプ
0	IP	IO	IO	A7	500E : INPUT 1200E : I/O 1600E : I/O
0	IO	IO	IO	A8	I/O
0	IO	IO	IO	A11	I/O
0	N.C. (◆)	IO	IO	A12	500E : N.C. 1200E : I/O 1600E : I/O
0	IO	IO	IO	C4	I/O
0	IP	IO	IO	D13	500E : INPUT 1200E : I/O 1600E : I/O
0	IO	IO	IO	E13	I/O
0	IO	IO	IO	G9	I/O
0	IO/VREF_0	IO/VREF_0	IO/VREF_0	B11	VREF
0	IO_L01N_0	IO_L01N_0	IO_L01N_0	A16	I/O
0	IO_L01P_0	IO_L01P_0	IO_L01P_0	B16	I/O
0	IO_L03N_0/VREF_0	IO_L03N_0/VREF_0	IO_L03N_0/VREF_0	C14	VREF
0	IO_L03P_0	IO_L03P_0	IO_L03P_0	D14	I/O
0	IO_L04N_0	IO_L04N_0	IO_L04N_0	A14	I/O
0	IO_L04P_0	IO_L04P_0	IO_L04P_0	B14	I/O
0	IO_L05N_0/VREF_0	IO_L05N_0/VREF_0	IO_L05N_0/VREF_0	B13	VREF
0	IO_L05P_0	IO_L05P_0	IO_L05P_0	A13	I/O

表 147 : FG320 パッケージのピン配置 (続き)

バンク	XC3S500E ピン名	XC3S1200E ピン名	XC3S1600E ピン名	FG320 ボール	タイプ
0	IO_L06N_0	IO_L06N_0	IO_L06N_0	E12	I/O
0	IO_L06P_0	IO_L06P_0	IO_L06P_0	F12	I/O
0	IO_L08N_0	IO_L08N_0	IO_L08N_0	F11	I/O
0	IO_L08P_0	IO_L08P_0	IO_L08P_0	E11	I/O
0	IO_L09N_0	IO_L09N_0	IO_L09N_0	D11	I/O
0	IO_L09P_0	IO_L09P_0	IO_L09P_0	C11	I/O
0	IO_L11N_0/GCLK5	IO_L11N_0/GCLK5	IO_L11N_0/GCLK5	E10	GCLK
0	IO_L11P_0/GCLK4	IO_L11P_0/GCLK4	IO_L11P_0/GCLK4	D10	GCLK
0	IO_L12N_0/GCLK7	IO_L12N_0/GCLK7	IO_L12N_0/GCLK7	A10	GCLK
0	IO_L12P_0/GCLK6	IO_L12P_0/GCLK6	IO_L12P_0/GCLK6	B10	GCLK
0	IO_L14N_0/GCLK11	IO_L14N_0/GCLK11	IO_L14N_0/GCLK11	D9	GCLK
0	IO_L14P_0/GCLK10	IO_L14P_0/GCLK10	IO_L14P_0/GCLK10	C9	GCLK
0	IO_L15N_0	IO_L15N_0	IO_L15N_0	F9	I/O
0	IO_L15P_0	IO_L15P_0	IO_L15P_0	E9	I/O
0	IO_L17N_0	IO_L17N_0	IO_L17N_0	F8	I/O
0	IO_L17P_0	IO_L17P_0	IO_L17P_0	E8	I/O
0	IO_L18N_0/VREF_0	IO_L18N_0/VREF_0	IO_L18N_0/VREF_0	D7	VREF
0	IO_L18P_0	IO_L18P_0	IO_L18P_0	C7	I/O
0	IO_L19N_0/VREF_0	IO_L19N_0/VREF_0	IO_L19N_0/VREF_0	E7	VREF
0	IO_L19P_0	IO_L19P_0	IO_L19P_0	F7	I/O
0	IO_L20N_0	IO_L20N_0	IO_L20N_0	A6	I/O
0	IO_L20P_0	IO_L20P_0	IO_L20P_0	B6	I/O
0	N.C. (◆)	IO_L21N_0	IO_L21N_0	E6	500E : N.C. 1200E : I/O 1600E : I/O
0	N.C. (◆)	IO_L21P_0	IO_L21P_0	D6	500E : N.C. 1200E : I/O 1600E : I/O
0	IO_L23N_0/VREF_0	IO_L23N_0/VREF_0	IO_L23N_0/VREF_0	D5	VREF
0	IO_L23P_0	IO_L23P_0	IO_L23P_0	C5	I/O
0	IO_L24N_0	IO_L24N_0	IO_L24N_0	B4	I/O
0	IO_L24P_0	IO_L24P_0	IO_L24P_0	A4	I/O
0	IO_L25N_0/HSWAP	IO_L25N_0/HSWAP	IO_L25N_0/HSWAP	B3	DUAL
0	IO_L25P_0	IO_L25P_0	IO_L25P_0	C3	I/O
0	IP	IP	IP	A3	INPUT
0	IP	IP	IP	C15	INPUT

表 147 : FG320 パッケージのピン配置 (続き)

バンク	XC3S500E ピン名	XC3S1200E ピン名	XC3S1600E ピン名	FG320 ボール	タイプ
0	IP_L02N_0	IP_L02N_0	IP_L02N_0	A15	INPUT
0	IP_L02P_0	IP_L02P_0	IP_L02P_0	B15	INPUT
0	IP_L07N_0	IP_L07N_0	IP_L07N_0	D12	INPUT
0	IP_L07P_0	IP_L07P_0	IP_L07P_0	C12	INPUT
0	IP_L10N_0	IP_L10N_0	IP_L10N_0	G10	INPUT
0	IP_L10P_0	IP_L10P_0	IP_L10P_0	F10	INPUT
0	IP_L13N_0/GCLK9	IP_L13N_0/GCLK9	IP_L13N_0/GCLK9	B9	GCLK
0	IP_L13P_0/GCLK8	IP_L13P_0/GCLK8	IP_L13P_0/GCLK8	B8	GCLK
0	IP_L16N_0	IP_L16N_0	IP_L16N_0	D8	INPUT
0	IP_L16P_0	IP_L16P_0	IP_L16P_0	C8	INPUT
0	IP_L22N_0	IP_L22N_0	IP_L22N_0	B5	INPUT
0	IP_L22P_0	IP_L22P_0	IP_L22P_0	A5	INPUT
0	VCCO_0	VCCO_0	VCCO_0	A9	VCCO
0	VCCO_0	VCCO_0	VCCO_0	C6	VCCO
0	VCCO_0	VCCO_0	VCCO_0	C13	VCCO
0	VCCO_0	VCCO_0	VCCO_0	G8	VCCO
0	VCCO_0	VCCO_0	VCCO_0	G11	VCCO
1	N.C. (◆)	IO	IO	P16	500E : N.C. 1200E : I/O 1600E : I/O
1	IO_L01N_1/A15	IO_L01N_1/A15	IO_L01N_1/A15	T17	DUAL
1	IO_L01P_1/A16	IO_L01P_1/A16	IO_L01P_1/A16	U18	DUAL
1	IO_L02N_1/A13	IO_L02N_1/A13	IO_L02N_1/A13	T18	DUAL
1	IO_L02P_1/A14	IO_L02P_1/A14	IO_L02P_1/A14	R18	DUAL
1	IO_L03N_1/VREF_1	IO_L03N_1/VREF_1	IO_L03N_1/VREF_1	R16	VREF
1	IO_L03P_1	IO_L03P_1	IO_L03P_1	R15	I/O
1	N.C. (◆)	IO_L04N_1	IO_L04N_1	N14	500E : N.C. 1200E : I/O 1600E : I/O
1	N.C. (◆)	IO_L04P_1	IO_L04P_1	N15	500E : N.C. 1200E : I/O 1600E : I/O
1	IO_L05N_1/VREF_1	IO_L05N_1/VREF_1	IO_L05N_1/VREF_1	M13	VREF
1	IO_L05P_1	IO_L05P_1	IO_L05P_1	M14	I/O
1	IO_L06N_1	IO_L06N_1	IO_L06N_1	P18	I/O
1	IO_L06P_1	IO_L06P_1	IO_L06P_1	P17	I/O

表 147 : FG320 パッケージのピン配置 (続き)

バンク	XC3S500E ピン名	XC3S1200E ピン名	XC3S1600E ピン名	FG320 ボール	タイプ
1	IO_L07N_1	IO_L07N_1	IO_L07N_1	M16	I/O
1	IO_L07P_1	IO_L07P_1	IO_L07P_1	M15	I/O
1	IO_L08N_1	IO_L08N_1	IO_L08N_1	M18	I/O
1	IO_L08P_1	IO_L08P_1	IO_L08P_1	N18	I/O
1	IO_L09N_1/A11	IO_L09N_1/A11	IO_L09N_1/A11	L15	DUAL
1	IO_L09P_1/A12	IO_L09P_1/A12	IO_L09P_1/A12	L16	DUAL
1	IO_L10N_1/VREF_1	IO_L10N_1/VREF_1	IO_L10N_1/VREF_1	L17	VREF
1	IO_L10P_1	IO_L10P_1	IO_L10P_1	L18	I/O
1	IO_L11N_1/A9/RHCLK1	IO_L11N_1/A9/RHCLK1	IO_L11N_1/A9/RHCLK1	K12	RHCLK/DUAL
1	IO_L11P_1/A10/RHCLK0	IO_L11P_1/A10/RHCLK0	IO_L11P_1/A10/RHCLK0	K13	RHCLK/DUAL
1	IO_L12N_1/A7/RHCLK3/ TRDY1	IO_L12N_1/A7/RHCLK3/ TRDY1	IO_L12N_1/A7/RHCLK3/ TRDY1	K14	RHCLK/DUAL
1	IO_L12P_1/A8/RHCLK2	IO_L12P_1/A8/RHCLK2	IO_L12P_1/A8/RHCLK2	K15	RHCLK/DUAL
1	IO_L13N_1/A5/RHCLK5	IO_L13N_1/A5/RHCLK5	IO_L13N_1/A5/RHCLK5	J16	RHCLK/DUAL
1	IO_L13P_1/A6/RHCLK4/ IRDY1	IO_L13P_1/A6/RHCLK4/ IRDY1	IO_L13P_1/A6/RHCLK4/ IRDY1	J17	RHCLK/DUAL
1	IO_L14N_1/A3/RHCLK7	IO_L14N_1/A3/RHCLK7	IO_L14N_1/A3/RHCLK7	J14	RHCLK/DUAL
1	IO_L14P_1/A4/RHCLK6	IO_L14P_1/A4/RHCLK6	IO_L14P_1/A4/RHCLK6	J15	RHCLK/DUAL
1	IO_L15N_1/A1	IO_L15N_1/A1	IO_L15N_1/A1	J13	DUAL
1	IO_L15P_1/A2	IO_L15P_1/A2	IO_L15P_1/A2	J12	DUAL
1	IO_L16N_1/A0	IO_L16N_1/A0	IO_L16N_1/A0	H17	DUAL
1	IO_L16P_1	IO_L16P_1	IO_L16P_1	H16	I/O
1	IO_L17N_1	IO_L17N_1	IO_L17N_1	H15	I/O
1	IO_L17P_1	IO_L17P_1	IO_L17P_1	H14	I/O
1	IO_L18N_1	IO_L18N_1	IO_L18N_1	G16	I/O
1	IO_L18P_1	IO_L18P_1	IO_L18P_1	G15	I/O
1	IO_L19N_1	IO_L19N_1	IO_L19N_1	F17	I/O
1	IO_L19P_1	IO_L19P_1	IO_L19P_1	F18	I/O
1	IO_L20N_1	IO_L20N_1	IO_L20N_1	G13	I/O
1	IO_L20P_1	IO_L20P_1	IO_L20P_1	G14	I/O
1	IO_L21N_1	IO_L21N_1	IO_L21N_1	F14	I/O
1	IO_L21P_1	IO_L21P_1	IO_L21P_1	F15	I/O
1	N.C. (◆)	IO_L22N_1	IO_L22N_1	E16	500E : N.C. 1200E : I/O 1600E : I/O

表 147 : FG320 パッケージのピン配置 (続き)

バンク	XC3S500E ピン名	XC3S1200E ピン名	XC3S1600E ピン名	FG320 ボール	タイプ
1	N.C. (◆)	IO_L22P_1	IO_L22P_1	E15	500E : N.C. 1200E : I/O 1600E : I/O
1	IO_L23N_1/LDC0	IO_L23N_1/LDC0	IO_L23N_1/LDC0	D16	DUAL
1	IO_L23P_1/HDC	IO_L23P_1/HDC	IO_L23P_1/HDC	D17	DUAL
1	IO_L24N_1/LDC2	IO_L24N_1/LDC2	IO_L24N_1/LDC2	C17	DUAL
1	IO_L24P_1/LDC1	IO_L24P_1/LDC1	IO_L24P_1/LDC1	C18	DUAL
1	IP	IP	IP	B18	INPUT
1	IO	IP	IP	E17	500E : I/O 1200E : INPUT 1600E : INPUT
1	IP	IP	IP	E18	INPUT
1	IP	IP	IP	G18	INPUT
1	IP	IP	IP	H13	INPUT
1	IP	IP	IP	K17	INPUT
1	IP	IP	IP	K18	INPUT
1	IP	IP	IP	L13	INPUT
1	IP	IP	IP	L14	INPUT
1	IP	IP	IP	N17	INPUT
1	IO	IP	IP	P15	500E : I/O 1200E : INPUT 1600E : INPUT
1	IP	IP	IP	R17	INPUT
1	IP/VREF_1	IP/VREF_1	IP/VREF_1	D18	VREF
1	IP/VREF_1	IP/VREF_1	IP/VREF_1	H18	VREF
1	VCCO_1	VCCO_1	VCCO_1	F16	VCCO
1	VCCO_1	VCCO_1	VCCO_1	H12	VCCO
1	VCCO_1	VCCO_1	VCCO_1	J18	VCCO
1	VCCO_1	VCCO_1	VCCO_1	L12	VCCO
1	VCCO_1	VCCO_1	VCCO_1	N16	VCCO
2	IO	IO	IO	P9	I/O
2	IO	IO	IO	R11	I/O
2	IP	IO	IO	U6	500E : INPUT 1200E : I/O 1600E : I/O

表 147 : FG320 パッケージのピン配置 (続き)

バンク	XC3S500E ピン名	XC3S1200E ピン名	XC3S1600E ピン名	FG320 ボール	タイプ
2	IP	IO	IO	U13	500E : INPUT 1200E : I/O 1600E : I/O
2	N.C. (◆)	IO	IO	V7	500E : N.C. 1200E : I/O 1600E : I/O
2	IO/D5	IO/D5	IO/D5	R9	DUAL
2	IO/M1	IO/M1	IO/M1	V11	DUAL
2	IO/VREF_2	IO/VREF_2	IO/VREF_2	T15	VREF
2	IO/VREF_2	IO/VREF_2	IO/VREF_2	U5	VREF
2	IO_L01N_2/INIT_B	IO_L01N_2/INIT_B	IO_L01N_2/INIT_B	T3	DUAL
2	IO_L01P_2/CSO_B	IO_L01P_2/CSO_B	IO_L01P_2/CSO_B	U3	DUAL
2	IO_L03N_2/MOSI/CSI_B	IO_L03N_2/MOSI/CSI_B	IO_L03N_2/MOSI/CSI_B	T4	DUAL
2	IO_L03P_2/DOUT/BUSY	IO_L03P_2/DOUT/BUSY	IO_L03P_2/DOUT/BUSY	U4	DUAL
2	IO_L04N_2	IO_L04N_2	IO_L04N_2	T5	I/O
2	IO_L04P_2	IO_L04P_2	IO_L04P_2	R5	I/O
2	IO_L05N_2	IO_L05N_2	IO_L05N_2	P6	I/O
2	IO_L05P_2	IO_L05P_2	IO_L05P_2	R6	I/O
2	N.C. (◆)	IO_L06N_2/VREF_2	IO_L06N_2/VREF_2	V6	500E : N.C. 1200E : VREF 1600E : VREF
2	N.C. (◆)	IO_L06P_2	IO_L06P_2	V5	500E : N.C. 1200E : I/O 1600E : I/O
2	IO_L07N_2	IO_L07N_2	IO_L07N_2	P7	I/O
2	IO_L07P_2	IO_L07P_2	IO_L07P_2	N7	I/O
2	IO_L09N_2	IO_L09N_2	IO_L09N_2	N8	I/O
2	IO_L09P_2	IO_L09P_2	IO_L09P_2	P8	I/O
2	IO_L10N_2	IO_L10N_2	IO_L10N_2	T8	I/O
2	IO_L10P_2	IO_L10P_2	IO_L10P_2	R8	I/O
2	IO_L12N_2/D6/GCLK13	IO_L12N_2/D6/GCLK13	IO_L12N_2/D6/GCLK13	M9	DUAL/GCLK
2	IO_L12P_2/D7/GCLK12	IO_L12P_2/D7/GCLK12	IO_L12P_2/D7/GCLK12	N9	DUAL/GCLK
2	IO_L13N_2/D3/GCLK15	IO_L13N_2/D3/GCLK15	IO_L13N_2/D3/GCLK15	V9	DUAL/GCLK
2	IO_L13P_2/D4/GCLK14	IO_L13P_2/D4/GCLK14	IO_L13P_2/D4/GCLK14	U9	DUAL/GCLK
2	IO_L15N_2/D1/GCLK3	IO_L15N_2/D1/GCLK3	IO_L15N_2/D1/GCLK3	P10	DUAL/GCLK
2	IO_L15P_2/D2/GCLK2	IO_L15P_2/D2/GCLK2	IO_L15P_2/D2/GCLK2	R10	DUAL/GCLK
2	IO_L16N_2/DIN/D0	IO_L16N_2/DIN/D0	IO_L16N_2/DIN/D0	N10	DUAL

表 147 : FG320 パッケージのピン配置 (続き)

バンク	XC3S500E ピン名	XC3S1200E ピン名	XC3S1600E ピン名	FG320 ボール	タイプ
2	IO_L16P_2/M0	IO_L16P_2/M0	IO_L16P_2/M0	M10	DUAL
2	IO_L18N_2	IO_L18N_2	IO_L18N_2	N11	I/O
2	IO_L18P_2	IO_L18P_2	IO_L18P_2	P11	I/O
2	IO_L19N_2/VREF_2	IO_L19N_2/VREF_2	IO_L19N_2/VREF_2	V13	VREF
2	IO_L19P_2	IO_L19P_2	IO_L19P_2	V12	I/O
2	IO_L20N_2	IO_L20N_2	IO_L20N_2	R12	I/O
2	IO_L20P_2	IO_L20P_2	IO_L20P_2	T12	I/O
2	N.C. (◆)	IO_L21N_2	IO_L21N_2	P12	500E : N.C. 1200E : I/O 1600E : I/O
2	N.C. (◆)	IO_L21P_2	IO_L21P_2	N12	500E : N.C. 1200E : I/O 1600E : I/O
2	IO_L22N_2/A22	IO_L22N_2/A22	IO_L22N_2/A22	R13	DUAL
2	IO_L22P_2/A23	IO_L22P_2/A23	IO_L22P_2/A23	P13	DUAL
2	IO_L24N_2/A20	IO_L24N_2/A20	IO_L24N_2/A20	R14	DUAL
2	IO_L24P_2/A21	IO_L24P_2/A21	IO_L24P_2/A21	T14	DUAL
2	IO_L25N_2/VS1/A18	IO_L25N_2/VS1/A18	IO_L25N_2/VS1/A18	U15	DUAL
2	IO_L25P_2/VS2/A19	IO_L25P_2/VS2/A19	IO_L25P_2/VS2/A19	V15	DUAL
2	IO_L26N_2/CCLK	IO_L26N_2/CCLK	IO_L26N_2/CCLK	U16	DUAL
2	IO_L26P_2/VS0/A17	IO_L26P_2/VS0/A17	IO_L26P_2/VS0/A17	T16	DUAL
2	IP	IP	IP	V2	INPUT
2	IP	IP	IP	V16	INPUT
2	IP_L02N_2	IP_L02N_2	IP_L02N_2	V3	INPUT
2	IP_L02P_2	IP_L02P_2	IP_L02P_2	V4	INPUT
2	IP_L08N_2	IP_L08N_2	IP_L08N_2	R7	INPUT
2	IP_L08P_2	IP_L08P_2	IP_L08P_2	T7	INPUT
2	IP_L11N_2/VREF_2	IP_L11N_2/VREF_2	IP_L11N_2/VREF_2	V8	VREF
2	IP_L11P_2	IP_L11P_2	IP_L11P_2	U8	INPUT
2	IP_L14N_2/M2/GCLK1	IP_L14N_2/M2/GCLK1	IP_L14N_2/M2/GCLK1	T10	DUAL/GCLK
2	IP_L14P_2/RDWR_B/ GCLK0	IP_L14P_2/RDWR_B/ GCLK0	IP_L14P_2/RDWR_B/ GCLK0	U10	DUAL/GCLK
2	IP_L17N_2	IP_L17N_2	IP_L17N_2	U11	INPUT
2	IP_L17P_2	IP_L17P_2	IP_L17P_2	T11	INPUT
2	IP_L23N_2	IP_L23N_2	IP_L23N_2	U14	INPUT
2	IP_L23P_2	IP_L23P_2	IP_L23P_2	V14	INPUT

表 147 : FG320 パッケージのピン配置 (続き)

バンク	XC3S500E ピン名	XC3S1200E ピン名	XC3S1600E ピン名	FG320 ボール	タイプ
2	VCCO_2	VCCO_2	VCCO_2	M8	VCCO
2	VCCO_2	VCCO_2	VCCO_2	M11	VCCO
2	VCCO_2	VCCO_2	VCCO_2	T6	VCCO
2	VCCO_2	VCCO_2	VCCO_2	T13	VCCO
2	VCCO_2	VCCO_2	VCCO_2	V10	VCCO
3	N.C. (◆)	IO	IO	D4	500E : N.C. 1200E : I/O 1600E : I/O
3	IO_L01N_3	IO_L01N_3	IO_L01N_3	C2	I/O
3	IO_L01P_3	IO_L01P_3	IO_L01P_3	C1	I/O
3	IO_L02N_3/VREF_3	IO_L02N_3/VREF_3	IO_L02N_3/VREF_3	D2	VREF
3	IO_L02P_3	IO_L02P_3	IO_L02P_3	D1	I/O
3	IO_L03N_3	IO_L03N_3	IO_L03N_3	E1	I/O
3	IO_L03P_3	IO_L03P_3	IO_L03P_3	E2	I/O
3	N.C. (◆)	IO_L04N_3	IO_L04N_3	E3	500E : N.C. 1200E : I/O 1600E : I/O
3	N.C. (◆)	IO_L04P_3	IO_L04P_3	E4	500E : N.C. 1200E : I/O 1600E : I/O
3	IO_L05N_3	IO_L05N_3	IO_L05N_3	F2	I/O
3	IO_L05P_3	IO_L05P_3	IO_L05P_3	F1	I/O
3	IO_L06N_3/VREF_3	IO_L06N_3/VREF_3	IO_L06N_3/VREF_3	G4	VREF
3	IO_L06P_3	IO_L06P_3	IO_L06P_3	G3	I/O
3	IO_L07N_3	IO_L07N_3	IO_L07N_3	G5	I/O
3	IO_L07P_3	IO_L07P_3	IO_L07P_3	G6	I/O
3	IO_L08N_3	IO_L08N_3	IO_L08N_3	H5	I/O
3	IO_L08P_3	IO_L08P_3	IO_L08P_3	H6	I/O
3	IO_L09N_3	IO_L09N_3	IO_L09N_3	H3	I/O
3	IO_L09P_3	IO_L09P_3	IO_L09P_3	H4	I/O
3	IO_L10N_3	IO_L10N_3	IO_L10N_3	H1	I/O
3	IO_L10P_3	IO_L10P_3	IO_L10P_3	H2	I/O
3	IO_L11N_3/LHCLK1	IO_L11N_3/LHCLK1	IO_L11N_3/LHCLK1	J4	LHCLK
3	IO_L11P_3/LHCLK0	IO_L11P_3/LHCLK0	IO_L11P_3/LHCLK0	J5	LHCLK
3	IO_L12N_3/LHCLK3/ IRDY2	IO_L12N_3/LHCLK3/ IRDY2	IO_L12N_3/LHCLK3/ IRDY2	J2	LHCLK
3	IO_L12P_3/LHCLK2	IO_L12P_3/LHCLK2	IO_L12P_3/LHCLK2	J1	LHCLK

表 147 : FG320 パッケージのピン配置 (続き)

バンク	XC3S500E ピン名	XC3S1200E ピン名	XC3S1600E ピン名	FG320 ボール	タイプ
3	IO_L13N_3/LHCLK5	IO_L13N_3/LHCLK5	IO_L13N_3/LHCLK5	K4	LHCLK
3	IO_L13P_3/LHCLK4/ TRDY2	IO_L13P_3/LHCLK4/ TRDY2	IO_L13P_3/LHCLK4/ TRDY2	K3	LHCLK
3	IO_L14N_3/LHCLK7	IO_L14N_3/LHCLK7	IO_L14N_3/LHCLK7	K5	LHCLK
3	IO_L14P_3/LHCLK6	IO_L14P_3/LHCLK6	IO_L14P_3/LHCLK6	K6	LHCLK
3	IO_L15N_3	IO_L15N_3	IO_L15N_3	L2	I/O
3	IO_L15P_3	IO_L15P_3	IO_L15P_3	L1	I/O
3	IO_L16N_3	IO_L16N_3	IO_L16N_3	L4	I/O
3	IO_L16P_3	IO_L16P_3	IO_L16P_3	L3	I/O
3	IO_L17N_3/VREF_3	IO_L17N_3/VREF_3	IO_L17N_3/VREF_3	L5	VREF
3	IO_L17P_3	IO_L17P_3	IO_L17P_3	L6	I/O
3	IO_L18N_3	IO_L18N_3	IO_L18N_3	M3	I/O
3	IO_L18P_3	IO_L18P_3	IO_L18P_3	M4	I/O
3	IO_L19N_3	IO_L19N_3	IO_L19N_3	M6	I/O
3	IO_L19P_3	IO_L19P_3	IO_L19P_3	M5	I/O
3	IO_L20N_3	IO_L20N_3	IO_L20N_3	N5	I/O
3	IO_L20P_3	IO_L20P_3	IO_L20P_3	N4	I/O
3	IO_L21N_3	IO_L21N_3	IO_L21N_3	P1	I/O
3	IO_L21P_3	IO_L21P_3	IO_L21P_3	P2	I/O
3	N.C. (◆)	IO_L22N_3	IO_L22N_3	P4	500E : N.C. 1200E : I/O 1600E : I/O
3	N.C. (◆)	IO_L22P_3	IO_L22P_3	P3	500E : N.C. 1200E : I/O 1600E : I/O
3	IO_L23N_3	IO_L23N_3	IO_L23N_3	R2	I/O
3	IO_L23P_3	IO_L23P_3	IO_L23P_3	R3	I/O
3	IO_L24N_3	IO_L24N_3	IO_L24N_3	T1	I/O
3	IO_L24P_3	IO_L24P_3	IO_L24P_3	T2	I/O
3	IP	IP	IP	D3	INPUT
3	IO	IP	IP	F4	500E : I/O 1200E : INPUT 1600E : INPUT
3	IP	IP	IP	F5	INPUT
3	IP	IP	IP	G1	INPUT
3	IP	IP	IP	J7	INPUT
3	IP	IP	IP	K2	INPUT

表 147 : FG320 パッケージのピン配置 (続き)

バンク	XC3S500E ピン名	XC3S1200E ピン名	XC3S1600E ピン名	FG320 ボール	タイプ
3	IP	IP	IP	K7	INPUT
3	IP	IP	IP	M1	INPUT
3	IP	IP	IP	N1	INPUT
3	IP	IP	IP	N2	INPUT
3	IP	IP	IP	R1	INPUT
3	IP	IP	IP	U1	INPUT
3	IP/VREF_3	IP/VREF_3	IP/VREF_3	J6	VREF
3	IO/VREF_3	IP/VREF_3	IP/VREF_3	R4	500E : VREF(I/O) 1200E : VREF(INPUT) 1600E : VREF(INPUT)
3	VCCO_3	VCCO_3	VCCO_3	F3	VCCO
3	VCCO_3	VCCO_3	VCCO_3	H7	VCCO
3	VCCO_3	VCCO_3	VCCO_3	K1	VCCO
3	VCCO_3	VCCO_3	VCCO_3	L7	VCCO
3	VCCO_3	VCCO_3	VCCO_3	N3	VCCO
GND	GND	GND	GND	A1	GND
GND	GND	GND	GND	A18	GND
GND	GND	GND	GND	B2	GND
GND	GND	GND	GND	B17	GND
GND	GND	GND	GND	C10	GND
GND	GND	GND	GND	G7	GND
GND	GND	GND	GND	G12	GND
GND	GND	GND	GND	H8	GND
GND	GND	GND	GND	H9	GND
GND	GND	GND	GND	H10	GND
GND	GND	GND	GND	H11	GND
GND	GND	GND	GND	J3	GND
GND	GND	GND	GND	J8	GND
GND	GND	GND	GND	J11	GND
GND	GND	GND	GND	K8	GND
GND	GND	GND	GND	K11	GND
GND	GND	GND	GND	K16	GND
GND	GND	GND	GND	L8	GND
GND	GND	GND	GND	L9	GND

表 147 : FG320 パッケージのピン配置 (続き)

バンク	XC3S500E ピン名	XC3S1200E ピン名	XC3S1600E ピン名	FG320 ボール	タイプ
GND	GND	GND	GND	L10	GND
GND	GND	GND	GND	L11	GND
GND	GND	GND	GND	M7	GND
GND	GND	GND	GND	M12	GND
GND	GND	GND	GND	T9	GND
GND	GND	GND	GND	U2	GND
GND	GND	GND	GND	U17	GND
GND	GND	GND	GND	V1	GND
GND	GND	GND	GND	V18	GND
VCCAUX	DONE	DONE	DONE	V17	CONFIG
VCCAUX	PROG_B	PROG_B	PROG_B	B1	CONFIG
VCCAUX	TCK	TCK	TCK	A17	JTAG
VCCAUX	TDI	TDI	TDI	A2	JTAG
VCCAUX	TDO	TDO	TDO	C16	JTAG
VCCAUX	TMS	TMS	TMS	D15	JTAG
VCCAUX	VCCAUX	VCCAUX	VCCAUX	B7	VCCAUX
VCCAUX	VCCAUX	VCCAUX	VCCAUX	B12	VCCAUX
VCCAUX	VCCAUX	VCCAUX	VCCAUX	G2	VCCAUX
VCCAUX	VCCAUX	VCCAUX	VCCAUX	G17	VCCAUX
VCCAUX	VCCAUX	VCCAUX	VCCAUX	M2	VCCAUX
VCCAUX	VCCAUX	VCCAUX	VCCAUX	M17	VCCAUX
VCCAUX	VCCAUX	VCCAUX	VCCAUX	U7	VCCAUX
VCCAUX	VCCAUX	VCCAUX	VCCAUX	U12	VCCAUX
VCCINT	VCCINT	VCCINT	VCCINT	E5	VCCINT
VCCINT	VCCINT	VCCINT	VCCINT	E14	VCCINT
VCCINT	VCCINT	VCCINT	VCCINT	F6	VCCINT
VCCINT	VCCINT	VCCINT	VCCINT	F13	VCCINT
VCCINT	VCCINT	VCCINT	VCCINT	N6	VCCINT
VCCINT	VCCINT	VCCINT	VCCINT	N13	VCCINT
VCCINT	VCCINT	VCCINT	VCCINT	P5	VCCINT
VCCINT	VCCINT	VCCINT	VCCINT	P14	VCCINT

バンクごとのユーザー I/O 数

表 148 および表 149 に、FG320 パッケージのユーザー I/O ピンが 4 つの I/O バンクにどのように分配されているかを示します。

表 148 : FG320 パッケージにおける XC3S500E デバイスのバンクごとのユーザー I/O 数

パッケージ エッジ	I/O バンク	最大 I/O 数	使用可能な I/O ピン数 (タイプ別)				
			I/O	INPUT	DUAL	VREF ⁽¹⁾	CLK ⁽¹⁾
上辺	0	58	29	14	1	6	8
右辺	1	58	22	10	21	5	0 ⁽²⁾
下辺	2	58	17	13	24	4	0 ⁽²⁾
左辺	3	58	34	11	0	5	8
計		232	102	48	46	20	16

メモ :

1. VREF および CLK ピンの一部は INPUT ピンに含まれます。
2. このバンク内の 8 本のグローバル クロック ピンは、コンフィギュレーション モードによって、コンフィギュレーションにも使用される場合があるため DUAL ピンとして分類されています。

表 149 : FG320 パッケージにおける XC3S1200E および XC3S1600E デバイスのバンクごとのユーザー I/O 数

パッケージ エッジ	I/O バンク	最大 I/O 数	使用可能な I/O ピン数 (タイプ別)				
			I/O	INPUT	DUAL	VREF ⁽¹⁾	CLK ⁽¹⁾
上辺	0	61	34	12	1	6	8
右辺	1	63	25	12	21	5	0 ⁽²⁾
下辺	2	63	23	11	24	5	0 ⁽²⁾
左辺	3	63	38	12	0	5	8
計		250	120	47	46	21	16

メモ :

1. VREF および CLK ピンの一部は INPUT ピンに含まれます。
2. このバンク内の 8 本のグローバル クロック ピンは、コンフィギュレーション モードによって、コンフィギュレーションにも使用される場合があるため DUAL ピンとして分類されています。

フットプリントの互換性

表 150 に、XC3S500E、XC3S1200E、および XC3S1600E デバイス間でのフットプリントおよび機能の相違を示します。相違のあるピンは 26 本あり、デバイスを移行する際に注意が必要です。

表 150 に記載されていないピンは、Spartan-3E デバイス間でそのまま移行できます。

XC3S500E は表の左側と右側の両方にあり、XC3S1200E と XC3S1600E への移行を示します。矢印は、移行できる方向を示します。両方向の矢印 (↔) は、それぞれのピンに同一の機能があることを示します。左方向の矢印 (←) は、右側のデバイスのピンが左側のデバイスのピンに移行できることを示します。I/O のコンフィギュレーションによっては、反対方向へ移行することも可能です。たとえば、I/O ピンが入力ピンとしてコンフィギュレーションされている場合、I/O ピン (I/O) は入力のみ (INPUT) に移行できます。

表 150 : FG320 フットプリントの互換性

ピン	バンク	XC3S500E	移行	XC3S1200E	移行	XC3S1600E	移行	XC3S500E
A7	0	INPUT	→	I/O	↔	I/O	←	INPUT
A12	0	N.C.	→	I/O	↔	I/O	←	N.C.
D4	3	N.C.	→	I/O	↔	I/O	←	N.C.
D6	0	N.C.	→	I/O	↔	I/O	←	N.C.
D13	0	INPUT	→	I/O	↔	I/O	←	INPUT
E3	3	N.C.	→	I/O	↔	I/O	←	N.C.
E4	3	N.C.	→	I/O	↔	I/O	←	N.C.
E6	0	N.C.	→	I/O	↔	I/O	←	N.C.
E15	1	N.C.	→	I/O	↔	I/O	←	N.C.
E16	1	N.C.	→	I/O	↔	I/O	←	N.C.
E17	1	I/O	←	INPUT	↔	INPUT	→	I/O
F4	3	I/O	←	INPUT	↔	INPUT	→	I/O
N12	2	N.C.	→	I/O	↔	I/O	←	N.C.
N14	1	N.C.	→	I/O	↔	I/O	←	N.C.
N15	1	N.C.	→	I/O	↔	I/O	←	N.C.
P3	3	N.C.	→	I/O	↔	I/O	←	N.C.
P4	3	N.C.	→	I/O	↔	I/O	←	N.C.
P12	2	N.C.	→	I/O	↔	I/O	←	N.C.
P15	1	I/O	←	INPUT	↔	INPUT	→	I/O
P16	1	N.C.	→	I/O	↔	I/O	←	N.C.
R4	3	VREF(I/O)	←	VREF(INPUT)	↔	VREF(INPUT)	→	VREF(I/O)
U6	2	INPUT	→	I/O	↔	I/O	←	INPUT
U13	2	INPUT	→	I/O	↔	I/O	←	INPUT
V5	2	N.C.	→	I/O	↔	I/O	←	N.C.
V6	2	N.C.	→	VREF	↔	VREF	←	N.C.
V7	2	N.C.	→	I/O	↔	I/O	←	N.C.
相違のあるピンの数			26		0		26	

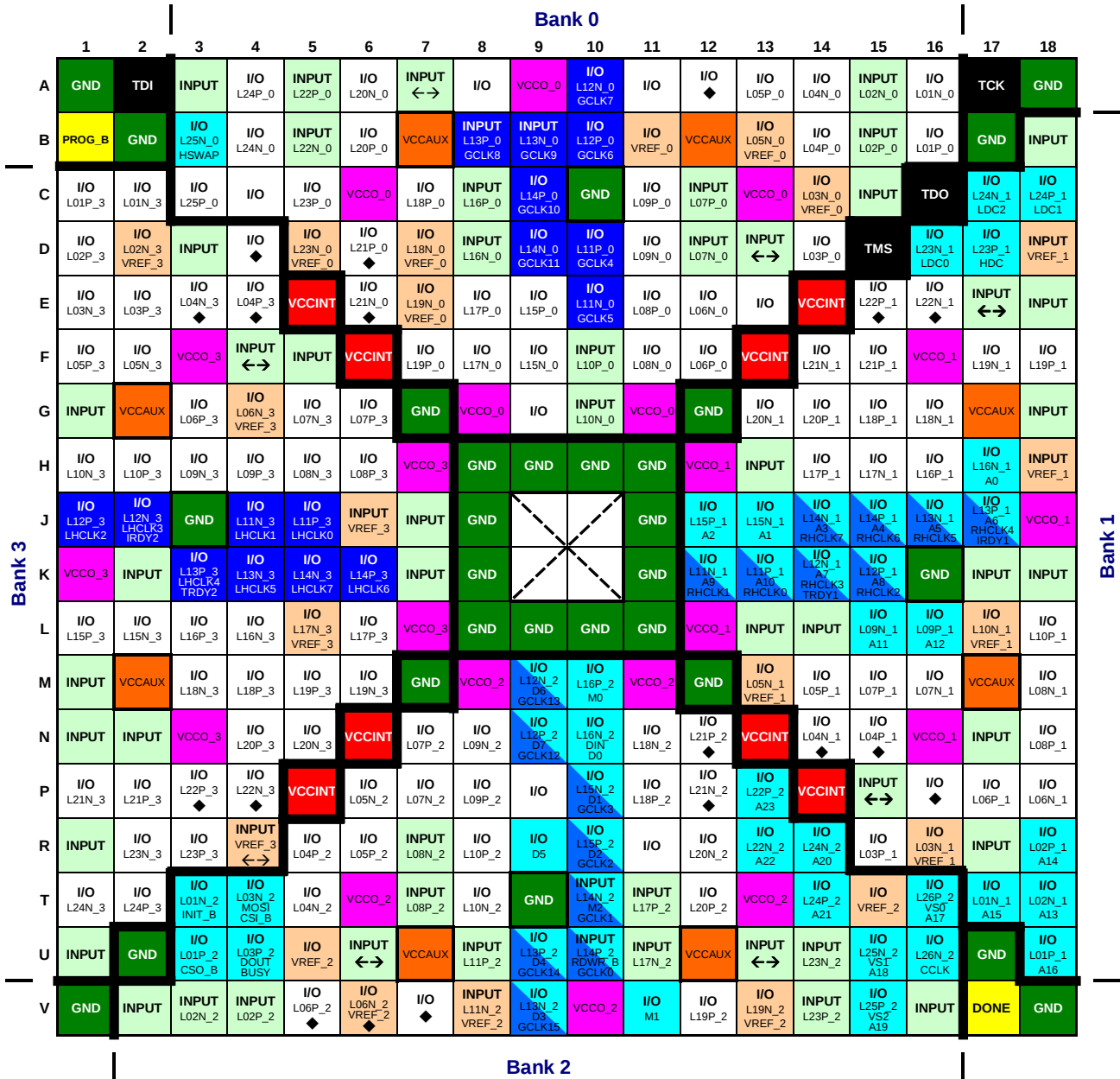
説明:

↔ 左右のデバイスで同一です。

→ 左側のデバイスから右側のデバイスに移行できます。反対方向への移行は、右側のデバイスのピンのコンフィギュレーションによって可能な場合があります。

← 右側のデバイスから左側のデバイスに移行できます。反対方向への移行は、左側のデバイスのピンのコンフィギュレーションによって可能な場合があります。

FG320 のフットプリント



DS312-4_06_022106

図 87 : FG320 パッケージのフットプリント (上面図)

102 ~ 120	I/O : 制限のない汎用ユーザー I/O ピン	46	DUAL : コンフィギュレーションピン、コンフィギュレーション後はユーザー I/O として使用可能	20 ~ 21	VREF : ユーザー I/O またはバンクにおける参照電圧入力
47 ~ 48	INPUT : 制限のない汎用入力ピン	16	CLK : ユーザー I/O、入力、またはグローバル バッファ入力	20	VCCO : バンクの出力電源
2	CONFIG : コンフィギュレーション専用ピン	4	JTAG : JTAG ポート専用ピン	8	VCCINT : 内部コア電源 (+1.2V)
18	N.C. : 接続されないピン (◆) (XC3S500E のみ)	28	GND : グランド	8	VCCAUX : 補助電源 (+2.5V)

FG400 : 400 ボール Fine-Pitch BGA パッケージ

400 ボール Fine-Pitch BGA パッケージ FG400 は、XC3S1200E および XC3S1600E の 2 つの Spartan-3E デバイス用に提供されています。表 151 および図 88 に示すように、両デバイスのこのパッケージのフットプリントは共通です。

表 151 に、すべてのパッケージ ピンをバンク番号およびピン名で分類して示します。差動 I/O ペアとなるピンは並べて示します。また、各ピンのピン番号および前述したピン タイプも示します。

このパッケージのピン配置表およびフットプリント図は、次のサイトからダウンロードできます。

http://japan.xilinx.com/support/documentation/data_sheets/s3e_pin.zip

ピン配置表

表 151 : FG400 パッケージのピン配置

バンク	XC3S1200E XC3S1600E ピン名	FG400 ボール	タイプ
0	IO	A3	I/O
0	IO	A8	I/O
0	IO	A12	I/O
0	IO	C7	I/O
0	IO	C10	I/O
0	IO	E8	I/O
0	IO	E13	I/O
0	IO	E16	I/O
0	IO	F13	I/O
0	IO	F14	I/O
0	IO	G7	I/O
0	IO/VREF_0	C11	VREF
0	IO_L01N_0	B17	I/O
0	IO_L01P_0	C17	I/O
0	IO_L03N_0/VREF_0	A18	VREF
0	IO_L03P_0	A19	I/O
0	IO_L04N_0	A17	I/O
0	IO_L04P_0	A16	I/O
0	IO_L06N_0	A15	I/O
0	IO_L06P_0	B15	I/O
0	IO_L07N_0	C14	I/O
0	IO_L07P_0	D14	I/O
0	IO_L09N_0/VREF_0	A13	VREF
0	IO_L09P_0	A14	I/O
0	IO_L10N_0	B13	I/O

表 151 : FG400 パッケージのピン配置 (続き)

バンク	XC3S1200E XC3S1600E ピン名	FG400 ボール	タイプ
0	IO_L10P_0	C13	I/O
0	IO_L12N_0	C12	I/O
0	IO_L12P_0	D12	I/O
0	IO_L13N_0	E12	I/O
0	IO_L13P_0	F12	I/O
0	IO_L15N_0/GCLK5	G11	GCLK
0	IO_L15P_0/GCLK4	F11	GCLK
0	IO_L16N_0/GCLK7	E10	GCLK
0	IO_L16P_0/GCLK6	E11	GCLK
0	IO_L18N_0/GCLK11	A9	GCLK
0	IO_L18P_0/GCLK10	A10	GCLK
0	IO_L19N_0	F9	I/O
0	IO_L19P_0	E9	I/O
0	IO_L21N_0	C9	I/O
0	IO_L21P_0	D9	I/O
0	IO_L22N_0/VREF_0	B8	VREF
0	IO_L22P_0	B9	I/O
0	IO_L24N_0/VREF_0	F7	VREF
0	IO_L24P_0	F8	I/O
0	IO_L25N_0	A6	I/O
0	IO_L25P_0	A7	I/O
0	IO_L27N_0	B5	I/O
0	IO_L27P_0	B6	I/O
0	IO_L28N_0	D6	I/O
0	IO_L28P_0	C6	I/O
0	IO_L30N_0/VREF_0	C5	VREF
0	IO_L30P_0	D5	I/O
0	IO_L31N_0	A2	I/O
0	IO_L31P_0	B2	I/O
0	IO_L32N_0/HSWAP	D4	DUAL
0	IO_L32P_0	C4	I/O
0	IP	B18	INPUT
0	IP	E5	INPUT
0	IP_L02N_0	C16	INPUT
0	IP_L02P_0	D16	INPUT
0	IP_L05N_0	D15	INPUT

表 151 : FG400 パッケージのピン配置 (続き)

バンク	XC3S1200E XC3S1600E ピン名	FG400 ボール	タイプ
0	IP_L05P_0	C15	INPUT
0	IP_L08N_0	E14	INPUT
0	IP_L08P_0	E15	INPUT
0	IP_L11N_0	G14	INPUT
0	IP_L11P_0	G13	INPUT
0	IP_L14N_0	B11	INPUT
0	IP_L14P_0	B12	INPUT
0	IP_L17N_0/GCLK9	G10	GCLK
0	IP_L17P_0/GCLK8	H10	GCLK
0	IP_L20N_0	G9	INPUT
0	IP_L20P_0	G8	INPUT
0	IP_L23N_0	C8	INPUT
0	IP_L23P_0	D8	INPUT
0	IP_L26N_0	E6	INPUT
0	IP_L26P_0	E7	INPUT
0	IP_L29N_0	A4	INPUT
0	IP_L29P_0	A5	INPUT
0	VCCO_0	B4	VCCO
0	VCCO_0	B10	VCCO
0	VCCO_0	B16	VCCO
0	VCCO_0	D7	VCCO
0	VCCO_0	D13	VCCO
0	VCCO_0	F10	VCCO
1	IO_L01N_1/A15	U18	DUAL
1	IO_L01P_1/A16	U17	DUAL
1	IO_L02N_1/A13	T18	DUAL
1	IO_L02P_1/A14	T17	DUAL
1	IO_L03N_1/VREF_1	V19	VREF
1	IO_L03P_1	U19	I/O
1	IO_L04N_1	W20	I/O
1	IO_L04P_1	V20	I/O
1	IO_L05N_1	R18	I/O
1	IO_L05P_1	R17	I/O
1	IO_L06N_1	T20	I/O
1	IO_L06P_1	U20	I/O
1	IO_L07N_1	P18	I/O
1	IO_L07P_1	P17	I/O

表 151 : FG400 パッケージのピン配置 (続き)

バンク	XC3S1200E XC3S1600E ピン名	FG400 ボール	タイプ
1	IO_L08N_1/VREF_1	P20	VREF
1	IO_L08P_1	R20	I/O
1	IO_L09N_1	P16	I/O
1	IO_L09P_1	N16	I/O
1	IO_L10N_1	N19	I/O
1	IO_L10P_1	N18	I/O
1	IO_L11N_1	N15	I/O
1	IO_L11P_1	M15	I/O
1	IO_L12N_1/A11	M18	DUAL
1	IO_L12P_1/A12	M17	DUAL
1	IO_L13N_1/VREF_1	L19	VREF
1	IO_L13P_1	M19	I/O
1	IO_L14N_1/A9/RHCLK1	L16	RHCLK/ DUAL
1	IO_L14P_1/A10/RHCLK0	M16	RHCLK/ DUAL
1	IO_L15N_1/A7/RHCLK3/ TRDY1	L14	RHCLK/ DUAL
1	IO_L15P_1/A8/RHCLK2	L15	RHCLK/ DUAL
1	IO_L16N_1/A5/RHCLK5	K14	RHCLK/ DUAL
1	IO_L16P_1/A6/RHCLK4/ IRDY1	K13	RHCLK/ DUAL
1	IO_L17N_1/A3/RHCLK7	J20	RHCLK/ DUAL
1	IO_L17P_1/A4/RHCLK6	K20	RHCLK/ DUAL
1	IO_L18N_1/A1	K16	DUAL
1	IO_L18P_1/A2	J16	DUAL
1	IO_L19N_1/A0	J13	DUAL
1	IO_L19P_1	J14	I/O
1	IO_L20N_1	J17	I/O
1	IO_L20P_1	J18	I/O
1	IO_L21N_1	H19	I/O
1	IO_L21P_1	J19	I/O
1	IO_L22N_1	H15	I/O
1	IO_L22P_1	H16	I/O
1	IO_L23N_1	H18	I/O
1	IO_L23P_1	H17	I/O

表 151 : FG400 パッケージのピン配置 (続き)

バンク	XC3S1200E XC3S1600E ピン名	FG400 ボール	タイプ
1	IO_L24N_1/VREF_1	H20	VREF
1	IO_L24P_1	G20	I/O
1	IO_L25N_1	G16	I/O
1	IO_L25P_1	F16	I/O
1	IO_L26N_1	F19	I/O
1	IO_L26P_1	F20	I/O
1	IO_L27N_1	F18	I/O
1	IO_L27P_1	F17	I/O
1	IO_L28N_1	D20	I/O
1	IO_L28P_1	E20	I/O
1	IO_L29N_1/LDC0	D18	DUAL
1	IO_L29P_1/HDC	E18	DUAL
1	IO_L30N_1/LDC2	C19	DUAL
1	IO_L30P_1/LDC1	C20	DUAL
1	IP	B20	INPUT
1	IP	G15	INPUT
1	IP	G18	INPUT
1	IP	H14	INPUT
1	IP	J15	INPUT
1	IP	L18	INPUT
1	IP	M20	INPUT
1	IP	N14	INPUT
1	IP	N20	INPUT
1	IP	P15	INPUT
1	IP	R16	INPUT
1	IP	R19	INPUT
1	IP/VREF_1	E19	VREF
1	IP/VREF_1	K18	VREF
1	VCCO_1	D19	VCCO
1	VCCO_1	G17	VCCO
1	VCCO_1	K15	VCCO
1	VCCO_1	K19	VCCO
1	VCCO_1	N17	VCCO
1	VCCO_1	T19	VCCO
2	IO	P8	I/O
2	IO	P13	I/O
2	IO	R9	I/O

表 151 : FG400 パッケージのピン配置 (続き)

バンク	XC3S1200E XC3S1600E ピン名	FG400 ボール	タイプ
2	IO	R13	I/O
2	IO	W15	I/O
2	IO	Y5	I/O
2	IO	Y7	I/O
2	IO	Y13	I/O
2	IO/D5	N11	DUAL
2	IO/M1	T11	DUAL
2	IO/VREF_2	Y3	VREF
2	IO/VREF_2	Y17	VREF
2	IO_L01N_2/INIT_B	V4	DUAL
2	IO_L01P_2/CSO_B	U4	DUAL
2	IO_L03N_2/MOSI/CSI_B	V5	DUAL
2	IO_L03P_2/DOOUT/BUSY	U5	DUAL
2	IO_L04N_2	Y4	I/O
2	IO_L04P_2	W4	I/O
2	IO_L06N_2	T6	I/O
2	IO_L06P_2	T5	I/O
2	IO_L07N_2	U7	I/O
2	IO_L07P_2	V7	I/O
2	IO_L09N_2/VREF_2	R7	VREF
2	IO_L09P_2	T7	I/O
2	IO_L10N_2	V8	I/O
2	IO_L10P_2	W8	I/O
2	IO_L12N_2	U9	I/O
2	IO_L12P_2	V9	I/O
2	IO_L13N_2	Y8	I/O
2	IO_L13P_2	Y9	I/O
2	IO_L15N_2/D6/GCLK13	W10	DUAL/ GCLK
2	IO_L15P_2/D7/GCLK12	W9	DUAL/ GCLK
2	IO_L16N_2/D3/GCLK15	P10	DUAL/ GCLK
2	IO_L16P_2/D4/GCLK14	R10	DUAL/ GCLK
2	IO_L18N_2/D1/GCLK3	V11	DUAL/ GCLK
2	IO_L18P_2/D2/GCLK2	V10	DUAL/ GCLK

表 151 : FG400 パッケージのピン配置 (続き)

バンク	XC3S1200E XC3S1600E ピン名	FG400 ボール	タイプ
2	IO_L19N_2/DIN/D0	Y12	DUAL
2	IO_L19P_2/M0	Y11	DUAL
2	IO_L21N_2	U12	I/O
2	IO_L21P_2	V12	I/O
2	IO_L22N_2/VREF_2	W12	VREF
2	IO_L22P_2	W13	I/O
2	IO_L24N_2	U13	I/O
2	IO_L24P_2	V13	I/O
2	IO_L25N_2	P14	I/O
2	IO_L25P_2	R14	I/O
2	IO_L27N_2/A22	Y14	DUAL
2	IO_L27P_2/A23	Y15	DUAL
2	IO_L28N_2	T15	I/O
2	IO_L28P_2	U15	I/O
2	IO_L30N_2/A20	V16	DUAL
2	IO_L30P_2/A21	U16	DUAL
2	IO_L31N_2/VS1/A18	Y18	DUAL
2	IO_L31P_2/VS2/A19	W18	DUAL
2	IO_L32N_2/CCLK	W19	DUAL
2	IO_L32P_2/VS0/A17	Y19	DUAL
2	IP	T16	INPUT
2	IP	W3	INPUT
2	IP_L02N_2	Y2	INPUT
2	IP_L02P_2	W2	INPUT
2	IP_L05N_2	V6	INPUT
2	IP_L05P_2	U6	INPUT
2	IP_L08N_2	Y6	INPUT
2	IP_L08P_2	W6	INPUT
2	IP_L11N_2	R8	INPUT
2	IP_L11P_2	T8	INPUT
2	IP_L14N_2/VREF_2	T10	VREF
2	IP_L14P_2	T9	INPUT
2	IP_L17N_2/M2/GCLK1	P12	DUAL/ GCLK
2	IP_L17P_2/RDWR_B/GCLK0	P11	DUAL/ GCLK
2	IP_L20N_2	T12	INPUT

表 151 : FG400 パッケージのピン配置 (続き)

バンク	XC3S1200E XC3S1600E ピン名	FG400 ボール	タイプ
2	IP_L20P_2	R12	INPUT
2	IP_L23N_2/VREF_2	T13	VREF
2	IP_L23P_2	T14	INPUT
2	IP_L26N_2	V14	INPUT
2	IP_L26P_2	V15	INPUT
2	IP_L29N_2	W16	INPUT
2	IP_L29P_2	Y16	INPUT
2	VCCO_2	R11	VCCO
2	VCCO_2	U8	VCCO
2	VCCO_2	U14	VCCO
2	VCCO_2	W5	VCCO
2	VCCO_2	W11	VCCO
2	VCCO_2	W17	VCCO
3	IO_L01N_3	D2	I/O
3	IO_L01P_3	D3	I/O
3	IO_L02N_3/VREF_3	E3	VREF
3	IO_L02P_3	E4	I/O
3	IO_L03N_3	C1	I/O
3	IO_L03P_3	B1	I/O
3	IO_L04N_3	E1	I/O
3	IO_L04P_3	D1	I/O
3	IO_L05N_3	F3	I/O
3	IO_L05P_3	F4	I/O
3	IO_L06N_3	F1	I/O
3	IO_L06P_3	F2	I/O
3	IO_L07N_3	G4	I/O
3	IO_L07P_3	G3	I/O
3	IO_L08N_3	G5	I/O
3	IO_L08P_3	H5	I/O
3	IO_L09N_3/VREF_3	H3	VREF
3	IO_L09P_3	H2	I/O
3	IO_L10N_3	H7	I/O
3	IO_L10P_3	H6	I/O
3	IO_L11N_3	J4	I/O
3	IO_L11P_3	J3	I/O
3	IO_L12N_3	J1	I/O
3	IO_L12P_3	J2	I/O

表 151 : FG400 パッケージのピン配置 (続き)

バンク	XC3S1200E XC3S1600E ピン名	FG400 ボール	タイプ
3	IO_L13N_3	J6	I/O
3	IO_L13P_3	K6	I/O
3	IO_L14N_3/LHCLK1	K2	LHCLK
3	IO_L14P_3/LHCLK0	K3	LHCLK
3	IO_L15N_3/LHCLK3/IRDY2	L7	LHCLK
3	IO_L15P_3/LHCLK2	K7	LHCLK
3	IO_L16N_3/LHCLK5	L1	LHCLK
3	IO_L16P_3/LHCLK4/TRDY2	M1	LHCLK
3	IO_L17N_3/LHCLK7	L3	LHCLK
3	IO_L17P_3/LHCLK6	M3	LHCLK
3	IO_L18N_3	M7	I/O
3	IO_L18P_3	M8	I/O
3	IO_L19N_3	M4	I/O
3	IO_L19P_3	M5	I/O
3	IO_L20N_3/VREF_3	N6	VREF
3	IO_L20P_3	M6	I/O
3	IO_L21N_3	N2	I/O
3	IO_L21P_3	N1	I/O
3	IO_L22N_3	P7	I/O
3	IO_L22P_3	N7	I/O
3	IO_L23N_3	N4	I/O
3	IO_L23P_3	N3	I/O
3	IO_L24N_3	R1	I/O
3	IO_L24P_3	P1	I/O
3	IO_L25N_3	R5	I/O
3	IO_L25P_3	P5	I/O
3	IO_L26N_3	T2	I/O
3	IO_L26P_3	R2	I/O
3	IO_L27N_3	R4	I/O
3	IO_L27P_3	R3	I/O
3	IO_L28N_3/VREF_3	T1	VREF
3	IO_L28P_3	U1	I/O
3	IO_L29N_3	T3	I/O
3	IO_L29P_3	U3	I/O
3	IO_L30N_3	V1	I/O
3	IO_L30P_3	V2	I/O
3	IP	F5	INPUT

表 151 : FG400 パッケージのピン配置 (続き)

バンク	XC3S1200E XC3S1600E ピン名	FG400 ボール	タイプ
3	IP	G1	INPUT
3	IP	G6	INPUT
3	IP	H1	INPUT
3	IP	J5	INPUT
3	IP	L5	INPUT
3	IP	L8	INPUT
3	IP	M2	INPUT
3	IP	N5	INPUT
3	IP	P3	INPUT
3	IP	T4	INPUT
3	IP	W1	INPUT
3	IP/VREF_3	K5	VREF
3	IP/VREF_3	P6	VREF
3	VCCO_3	E2	VCCO
3	VCCO_3	H4	VCCO
3	VCCO_3	L2	VCCO
3	VCCO_3	L6	VCCO
3	VCCO_3	P4	VCCO
3	VCCO_3	U2	VCCO
GND	GND	A1	GND
GND	GND	A11	GND
GND	GND	A20	GND
GND	GND	B7	GND
GND	GND	B14	GND
GND	GND	C3	GND
GND	GND	C18	GND
GND	GND	D10	GND
GND	GND	F6	GND
GND	GND	F15	GND
GND	GND	G2	GND
GND	GND	G12	GND
GND	GND	G19	GND
GND	GND	H8	GND
GND	GND	J9	GND
GND	GND	J11	GND
GND	GND	K1	GND
GND	GND	K8	GND

表 151 : FG400 パッケージのピン配置 (続き)

バンク	XC3S1200E XC3S1600E ピン名	FG400 ボール	タイプ
GND	GND	K10	GND
GND	GND	K12	GND
GND	GND	K17	GND
GND	GND	L4	GND
GND	GND	L9	GND
GND	GND	L11	GND
GND	GND	L13	GND
GND	GND	L20	GND
GND	GND	M10	GND
GND	GND	M12	GND
GND	GND	N13	GND
GND	GND	P2	GND
GND	GND	P9	GND
GND	GND	P19	GND
GND	GND	R6	GND
GND	GND	R15	GND
GND	GND	U11	GND
GND	GND	V3	GND
GND	GND	V18	GND
GND	GND	W7	GND
GND	GND	W14	GND
GND	GND	Y1	GND
GND	GND	Y10	GND
GND	GND	Y20	GND
VCCAUX	DONE	V17	CONFIG
VCCAUX	PROG_B	C2	CONFIG
VCCAUX	TCK	D17	JTAG
VCCAUX	TDI	B3	JTAG

表 151 : FG400 パッケージのピン配置 (続き)

バンク	XC3S1200E XC3S1600E ピン名	FG400 ボール	タイプ
VCCAUX	TDO	B19	JTAG
VCCAUX	TMS	E17	JTAG
VCCAUX	VCCAUX	D11	VCCAUX
VCCAUX	VCCAUX	H12	VCCAUX
VCCAUX	VCCAUX	J7	VCCAUX
VCCAUX	VCCAUX	K4	VCCAUX
VCCAUX	VCCAUX	L17	VCCAUX
VCCAUX	VCCAUX	M14	VCCAUX
VCCAUX	VCCAUX	N9	VCCAUX
VCCAUX	VCCAUX	U10	VCCAUX
VCCINT	VCCINT	H9	VCCINT
VCCINT	VCCINT	H11	VCCINT
VCCINT	VCCINT	H13	VCCINT
VCCINT	VCCINT	J8	VCCINT
VCCINT	VCCINT	J10	VCCINT
VCCINT	VCCINT	J12	VCCINT
VCCINT	VCCINT	K9	VCCINT
VCCINT	VCCINT	K11	VCCINT
VCCINT	VCCINT	L10	VCCINT
VCCINT	VCCINT	L12	VCCINT
VCCINT	VCCINT	M9	VCCINT
VCCINT	VCCINT	M11	VCCINT
VCCINT	VCCINT	M13	VCCINT
VCCINT	VCCINT	N8	VCCINT
VCCINT	VCCINT	N10	VCCINT
VCCINT	VCCINT	N12	VCCINT

バンクごとのユーザー I/O 数

表 152 に、FG400 パッケージの 304 本のユーザー I/O ピンが 4 つの I/O バンクにどのように分配されているかを示します。

表 152 : FG400 パッケージにおける XC3S1200E および XC3S1600E デバイスのバンクごとのユーザー I/O 数

パッケージ エッジ	I/O バンク	最大 I/O 数	使用可能な I/O ピン数 (タイプ別)				
			I/O	INPUT	DUAL	VREF ⁽¹⁾	CLK ⁽¹⁾
上辺	0	78	43	20	1	6	8
右辺	1	74	35	12	21	6	0 ⁽²⁾
下辺	2	78	30	18	24	6	0 ⁽²⁾
左辺	3	74	48	12	0	6	8
計		304	156	62	46	24	16

メモ :

1. VREF および CLK ピンの一部は INPUT ピンに含まれます。
2. このバンク内の 8 本のグローバル クロック ピンは、コンフィギュレーション モードによって、コンフィギュレーションにも使用される場合があるため DUAL ピンとして分類されています。

フットプリントの互換性

XC3S1200E および XC3S1600E デバイスにおける FG400 パッケージのフットプリントは同一であるため、両デバイス間でデザインを移行できます。

FG400 のフットプリント

パッケージの左側
(上面図)

- 156 I/O : 制限のない汎用ユーザー I/O ピン
- 62 INPUT : 制限のない汎用入力ピン
- 46 DUAL : コンフィギュレーションピン。コンフィギュレーション後はユーザー I/O として使用可能
- 24 VREF : ユーザー I/O またはバンクにおける参照電圧入力
- 16 CLK : ユーザー I/O、入力、またはクロックバッファ入力
- 2 CONFIG : コンフィギュレーション専用ピン
- 4 JTAG : JTAG ポート専用ピン
- 42 GND : グランド
- 24 VCCO : バンクの出力電源
- 16 VCCINT : 内部コア電源 (+1.2V)
- 8 VCCAUX : 補助電源 (+2.5V)
- 0 N.C. : 接続されないピン

		Bank 0									
		1	2	3	4	5	6	7	8	9	10
Bank 3	A	GND	I/O L31N_0	I/O	INPUT L29N_0	INPUT L29P_0	I/O L25N_0	I/O L25P_0	I/O	I/O L18N_0 GCLK11	I/O L18P_0 GCLK10
	B	I/O L03P_3	I/O L31P_0	TDI	VCCO_0	I/O L27N_0	I/O L27P_0	GND	I/O L22N_0 VREF_0	I/O L22P_0	VCCO_0
	C	I/O L03N_3	PROG_B	GND	I/O L32P_0	I/O L30N_0 VREF_0	I/O L28P_0	I/O	INPUT L23N_0	I/O L21N_0	I/O
	D	I/O L04P_3	I/O L01N_3	I/O L01P_3	I/O L32N_0 HSWAP	I/O L30P_0	I/O L28N_0	VCCO_0	INPUT L23P_0	I/O L21P_0	GND
	E	I/O L04N_3	VCCO_3	I/O L02N_3 VREF_3	I/O L02P_3	INPUT	INPUT L26N_0	INPUT L26P_0	I/O	I/O L19P_0	I/O L16N_0 GCLK7
	F	I/O L06N_3	I/O L06P_3	I/O L05N_3	I/O L05P_3	INPUT	GND	I/O L24N_0 VREF_0	I/O L24P_0	I/O L19N_0	VCCO_0
	G	INPUT	GND	I/O L07P_3	I/O L07N_3	I/O L08N_3	INPUT	I/O	INPUT L20P_0	INPUT L20N_0	INPUT L17N_0 GCLK9
	H	INPUT	I/O L09P_3	I/O L09N_3 VREF_3	VCCO_3	I/O L08P_3	I/O L10P_3	I/O L10N_3	GND	VCCINT	INPUT L17P_0 GCLK8
	J	I/O L12N_3	I/O L12P_3	I/O L11P_3	I/O L11N_3	INPUT	I/O L13N_3	VCCAUX	VCCINT	GND	VCCINT
	K	GND	I/O L14N_3 LHCLK1	I/O L14P_3 LHCLK0	VCCAUX	INPUT VREF_3	I/O L13P_3	I/O L15P_3 LHCLK2	GND	VCCINT	GND
	L	I/O L16N_3 LHCLK5	VCCO_3	I/O L17N_3 LHCLK7	GND	INPUT	VCCO_3	I/O L15N_3 LHCLK3 IRDY2	INPUT	GND	VCCINT
	M	I/O L16P_3 LHCLK4 TRDY2	INPUT	I/O L17P_3 LHCLK6	I/O L19N_3	I/O L19P_3	I/O L20P_3	I/O L18N_3	I/O L18P_3	VCCINT	GND
	N	I/O L21P_3	I/O L21N_3	I/O L23P_3	I/O L23N_3	INPUT	I/O L20N_3 VREF_3	I/O L22P_3	VCCINT	VCCAUX	VCCINT
	P	I/O L24P_3	GND	INPUT	VCCO_3	I/O L25P_3	INPUT VREF_3	I/O L22N_3	I/O	GND	I/O L16N_2 D3 GCLK15
	R	I/O L24N_3	I/O L26P_3	I/O L27P_3	I/O L27N_3	I/O L25N_3	GND	I/O L09N_2 VREF_2	INPUT L11N_2	I/O	I/O L16P_2 D4 GCLK14
	T	I/O L28N_3 VREF_3	I/O L26N_3	I/O L29N_3	INPUT	I/O L06P_2	I/O L06N_2	I/O L09P_2	INPUT L11P_2	INPUT L14P_2	INPUT L14N_2 VREF_2
	U	I/O L28P_3	VCCO_3	I/O L29P_3	I/O L01P_2 CSO_B	I/O L03P_2 DOUT BUSY	INPUT L05P_2	I/O L07N_2	VCCO_2	I/O L12N_2	VCCAUX
	V	I/O L30N_3	I/O L30P_3	GND	I/O L01N_2 INIT_B	I/O L03N_2 MOSI CSI_B	INPUT L05N_2	I/O L07P_2	I/O L10N_2	I/O L12P_2	I/O L18P_2 D2 GCLK2
	W	INPUT	INPUT L02P_2	INPUT	I/O L04P_2	VCCO_2	INPUT L08P_2	GND	I/O L10P_2	I/O L15P_2 D7 GCLK12	I/O L15N_2 D6 GCLK13
	Y	GND	INPUT L02N_2	I/O VREF_2	I/O L04N_2	I/O	INPUT L08N_2	I/O	I/O L13N_2	I/O L13P_2	GND
		Bank 2									

図 88 : FG400 パッケージのフットプリント (上面図)

DS312-4_08_101905

FG400 のフットプリント

パッケージの右側
(上面図)

Bank 0																			
11	12	13	14	15	16	17	18	19	20										
GND	I/O	I/O L09N_0 VREF_0	I/O L09P_0	I/O L06N_0	I/O L04P_0	I/O L04N_0	I/O L03N_0 VREF_0	I/O L03P_0	GND										
INPUT L14N_0	INPUT L14P_0	I/O L10N_0	GND	I/O L06P_0	VCCO_0	I/O L01N_0	INPUT	TDO	INPUT										
I/O VREF_0	I/O L12N_0	I/O L10P_0	I/O L07N_0	INPUT L05P_0	INPUT L02N_0	I/O L01P_0	GND	I/O L30N_1 LDC2	I/O L30P_1 LDC1										
VCCAUX	I/O L12P_0	VCCO_0	I/O L07P_0	INPUT L05N_0	INPUT L02P_0	TCK	I/O L29N_1 LDC0	VCCO_1	I/O L28N_1										
I/O L16P_0 GCLK6	I/O L13N_0	I/O	INPUT L08N_0	INPUT L08P_0	I/O	TMS	I/O L29P_1 HDC	INPUT VREF_1	I/O L28P_1										
I/O L15P_0 GCLK4	I/O L13P_0	I/O	I/O	GND	I/O L25P_1	I/O L27P_1	I/O L27N_1	I/O L26N_1	I/O L26P_1										
I/O L15N_0 GCLK5	GND	INPUT L11P_0	INPUT L11N_0	INPUT	I/O L25N_1	VCCO_1	INPUT	GND	I/O L24P_1										
VCCINT	VCCAUX	VCCINT	INPUT	I/O L22N_1	I/O L22P_1	I/O L23P_1	I/O L23N_1	I/O L21N_1	I/O L24N_1 VREF_1										
GND	VCCINT	I/O L19N_1 A0	I/O L19P_1	INPUT	I/O L18P_1 A2	I/O L20N_1	I/O L20P_1	I/O L21P_1	I/O L17N_1 A3 RHCLK7										
VCCINT	GND	I/O L16P_1 A6 RHCLK4 IBDY1	I/O L16N_1 A5 RHCLK5	VCCO_1	I/O L18N_1 A1	GND	INPUT VREF_1	VCCO_1	I/O L17P_1 A4 RHCLK6										
GND	VCCINT	GND	I/O L15N_1 A7 RHCLK3 IBDY1	I/O L15P_1 A8 RHCLK2	I/O L14N_1 A9 RHCLK1	VCCAUX	INPUT	I/O L13N_1 VREF_1	GND										
VCCINT	GND	VCCINT	VCCAUX	I/O L11P_1	I/O L14P_1 A10 RHCLK0	I/O L12P_1 A12	I/O L12N_1 A11	I/O L13P_1	INPUT										
I/O D5	VCCINT	GND	INPUT	I/O L11N_1	I/O L09P_1	VCCO_1	I/O L10P_1	I/O L10N_1	INPUT										
INPUT L17P_2 RDWR B GCLK0	INPUT L17N_2 M2 GCLK1	I/O	I/O L25N_2	INPUT	I/O L09N_1	I/O L07P_1	I/O L07N_1	GND	I/O L08N_1 VREF_1										
VCCO_2	INPUT L20P_2	I/O	I/O L25P_2	GND	INPUT	I/O L05P_1	I/O L05N_1	INPUT	I/O L08P_1										
I/O M1	INPUT L20N_2	INPUT L23N_2 VREF_2	INPUT L23P_2	I/O L28N_2	INPUT	I/O L02P_1 A14	I/O L02N_1 A13	VCCO_1	I/O L06N_1										
GND	I/O L21N_2	I/O L24N_2	VCCO_2	I/O L28P_2	I/O L30P_2 A21	I/O L01P_1 A16	I/O L01N_1 A15	I/O L03P_1	I/O L06P_1										
I/O L18N_2 D1 GCLK3	I/O L21P_2	I/O L24P_2	INPUT L26N_2	INPUT L26P_2	I/O L30N_2 A20	DONE	GND	I/O L03N_1 VREF_1	I/O L04P_1										
VCCO_2	I/O L22N_2 VREF_2	I/O L22P_2	GND	I/O	INPUT L29N_2	VCCO_2	I/O L31P_2 VS2 A19	I/O L32N_2 CCLK	I/O L04N_1										
I/O L19P_2 M0	I/O L19N_2 DIN D0	I/O	I/O L27N_2 A22	I/O L27P_2 A23	INPUT L29P_2	I/O VREF_2	I/O L31N_2 VS1 A18	I/O L32P_2 VS0 A17	GND										
Bank 2																			

Bank 1

DS312-4_09_101905

FG484 : 484 ボール Fine-Pitch BGA パッケージ

484 ボール Fine-Pitch BGA パッケージ FG484 は、XC3S1600E デバイス用に提供されています。

表 153 に、すべてのパッケージ ピンをバンク番号およびピン名で分類して示します。差動 I/O ペアとなるピンは並べて示します。また、各ピンのピン番号および前述したピン タイプも示します。

このパッケージのピン配置表およびフットプリント図は、次のサイトからダウンロードできます。

http://japan.xilinx.com/support/documentation/data_sheets/s3e_pin.zip

ピン配置表

表 153 : FG484 パッケージのピン配置

バンク	XC3S1600E ピン名	FG484 ボール	タイプ
0	IO	B6	I/O
0	IO	B13	I/O
0	IO	C5	I/O
0	IO	C14	I/O
0	IO	E16	I/O
0	IO	F9	I/O
0	IO	F16	I/O
0	IO	G8	I/O
0	IO	H10	I/O
0	IO	H15	I/O
0	IO	J11	I/O
0	IO/VREF_0	G12	VREF
0	IO_L01N_0	C18	I/O
0	IO_L01P_0	C19	I/O
0	IO_L03N_0/VREF_0	A20	VREF
0	IO_L03P_0	A21	I/O
0	IO_L04N_0	A19	I/O
0	IO_L04P_0	A18	I/O
0	IO_L06N_0	C16	I/O
0	IO_L06P_0	D16	I/O
0	IO_L07N_0	A16	I/O
0	IO_L07P_0	A17	I/O
0	IO_L09N_0/VREF_0	B15	VREF
0	IO_L09P_0	C15	I/O
0	IO_L10N_0	G15	I/O
0	IO_L10P_0	F15	I/O
0	IO_L11N_0	D14	I/O
0	IO_L11P_0	E14	I/O

表 153 : FG484 パッケージのピン配置 (続き)

バンク	XC3S1600E ピン名	FG484 ボール	タイプ
0	IO_L12N_0/VREF_0	A14	VREF
0	IO_L12P_0	A15	I/O
0	IO_L13N_0	H14	I/O
0	IO_L13P_0	G14	I/O
0	IO_L15N_0	G13	I/O
0	IO_L15P_0	F13	I/O
0	IO_L16N_0	J13	I/O
0	IO_L16P_0	H13	I/O
0	IO_L18N_0/GCLK5	E12	GCLK
0	IO_L18P_0/GCLK4	F12	GCLK
0	IO_L19N_0/GCLK7	C12	GCLK
0	IO_L19P_0/GCLK6	B12	GCLK
0	IO_L21N_0/GCLK11	B11	GCLK
0	IO_L21P_0/GCLK10	C11	GCLK
0	IO_L22N_0	D11	I/O
0	IO_L22P_0	E11	I/O
0	IO_L24N_0	A9	I/O
0	IO_L24P_0	A10	I/O
0	IO_L25N_0/VREF_0	D10	VREF
0	IO_L25P_0	C10	I/O
0	IO_L27N_0	H8	I/O
0	IO_L27P_0	H9	I/O
0	IO_L28N_0	C9	I/O
0	IO_L28P_0	B9	I/O
0	IO_L29N_0	E9	I/O
0	IO_L29P_0	D9	I/O
0	IO_L30N_0	B8	I/O
0	IO_L30P_0	A8	I/O
0	IO_L32N_0/VREF_0	F7	VREF
0	IO_L32P_0	F8	I/O
0	IO_L33N_0	A6	I/O
0	IO_L33P_0	A7	I/O
0	IO_L35N_0	A4	I/O
0	IO_L35P_0	A5	I/O
0	IO_L36N_0	E7	I/O
0	IO_L36P_0	D7	I/O

表 153 : FG484 パッケージのピン配置 (続き)

バンク	XC3S1600E ピン名	FG484 ボール	タイプ
0	IO_L38N_0/VREF_0	D6	VREF
0	IO_L38P_0	D5	I/O
0	IO_L39N_0	B4	I/O
0	IO_L39P_0	B3	I/O
0	IO_L40N_0/HSWAP	D4	DUAL
0	IO_L40P_0	C4	I/O
0	IP	B19	INPUT
0	IP	E6	INPUT
0	IP_L02N_0	D17	INPUT
0	IP_L02P_0	D18	INPUT
0	IP_L05N_0	C17	INPUT
0	IP_L05P_0	B17	INPUT
0	IP_L08N_0	E15	INPUT
0	IP_L08P_0	D15	INPUT
0	IP_L14N_0	D13	INPUT
0	IP_L14P_0	C13	INPUT
0	IP_L17N_0	A12	INPUT
0	IP_L17P_0	A13	INPUT
0	IP_L20N_0/GCLK9	H11	GCLK
0	IP_L20P_0/GCLK8	H12	GCLK
0	IP_L23N_0	F10	INPUT
0	IP_L23P_0	F11	INPUT
0	IP_L26N_0	G9	INPUT
0	IP_L26P_0	G10	INPUT
0	IP_L31N_0	C8	INPUT
0	IP_L31P_0	D8	INPUT
0	IP_L34N_0	C7	INPUT
0	IP_L34P_0	C6	INPUT
0	IP_L37N_0	A3	INPUT
0	IP_L37P_0	A2	INPUT
0	VCCO_0	B5	VCCO
0	VCCO_0	B10	VCCO
0	VCCO_0	B14	VCCO
0	VCCO_0	B18	VCCO
0	VCCO_0	E8	VCCO
0	VCCO_0	F14	VCCO
0	VCCO_0	G11	VCCO

表 153 : FG484 パッケージのピン配置 (続き)

バンク	XC3S1600E ピン名	FG484 ボール	タイプ
1	IO_L01N_1/A15	Y22	DUAL
1	IO_L01P_1/A16	AA22	DUAL
1	IO_L02N_1/A13	W21	DUAL
1	IO_L02P_1/A14	Y21	DUAL
1	IO_L03N_1/VREF_1	W20	VREF
1	IO_L03P_1	V20	I/O
1	IO_L04N_1	U19	I/O
1	IO_L04P_1	V19	I/O
1	IO_L05N_1	V22	I/O
1	IO_L05P_1	W22	I/O
1	IO_L06N_1	T19	I/O
1	IO_L06P_1	T18	I/O
1	IO_L07N_1/VREF_1	U20	VREF
1	IO_L07P_1	U21	I/O
1	IO_L08N_1	T22	I/O
1	IO_L08P_1	U22	I/O
1	IO_L09N_1	R19	I/O
1	IO_L09P_1	R18	I/O
1	IO_L10N_1	R16	I/O
1	IO_L10P_1	T16	I/O
1	IO_L11N_1	R21	I/O
1	IO_L11P_1	R20	I/O
1	IO_L12N_1/VREF_1	P18	VREF
1	IO_L12P_1	P17	I/O
1	IO_L13N_1	P22	I/O
1	IO_L13P_1	R22	I/O
1	IO_L14N_1	P15	I/O
1	IO_L14P_1	P16	I/O
1	IO_L15N_1	N18	I/O
1	IO_L15P_1	N19	I/O
1	IO_L16N_1/A11	N16	DUAL
1	IO_L16P_1/A12	N17	DUAL
1	IO_L17N_1/VREF_1	M20	VREF
1	IO_L17P_1	N20	I/O
1	IO_L18N_1/A9/RHCLK1	M22	RHCLK/ DUAL
1	IO_L18P_1/A10/RHCLK0	N22	RHCLK/ DUAL

表 153 : FG484 パッケージのピン配置 (続き)

バンク	XC3S1600E ピン名	FG484 ボール	タイプ
1	IO_L19N_1/A7/RHCLK3/ TRDY1	M16	RHCLK/ DUAL
1	IO_L19P_1/A8/RHCLK2	M15	RHCLK/ DUAL
1	IO_L20N_1/A5/RHCLK5	L21	RHCLK/ DUAL
1	IO_L20P_1/A6/RHCLK4/ IRDY1	L20	RHCLK/ DUAL
1	IO_L21N_1/A3/RHCLK7	L19	RHCLK/ DUAL
1	IO_L21P_1/A4/RHCLK6	L18	RHCLK/ DUAL
1	IO_L22N_1/A1	K22	DUAL
1	IO_L22P_1/A2	L22	DUAL
1	IO_L23N_1/A0	K17	DUAL
1	IO_L23P_1	K16	I/O
1	IO_L24N_1	K19	I/O
1	IO_L24P_1	K18	I/O
1	IO_L25N_1	K15	I/O
1	IO_L25P_1	J15	I/O
1	IO_L26N_1	J20	I/O
1	IO_L26P_1	J21	I/O
1	IO_L27N_1	J17	I/O
1	IO_L27P_1	J18	I/O
1	IO_L28N_1/VREF_1	H21	VREF
1	IO_L28P_1	H22	I/O
1	IO_L29N_1	H20	I/O
1	IO_L29P_1	H19	I/O
1	IO_L30N_1	H17	I/O
1	IO_L30P_1	G17	I/O
1	IO_L31N_1	F22	I/O
1	IO_L31P_1	G22	I/O
1	IO_L32N_1	F20	I/O
1	IO_L32P_1	G20	I/O
1	IO_L33N_1	G18	I/O
1	IO_L33P_1	G19	I/O
1	IO_L34N_1	D22	I/O
1	IO_L34P_1	E22	I/O
1	IO_L35N_1	F19	I/O
1	IO_L35P_1	F18	I/O

表 153 : FG484 パッケージのピン配置 (続き)

バンク	XC3S1600E ピン名	FG484 ボール	タイプ
1	IO_L36N_1	E20	I/O
1	IO_L36P_1	E19	I/O
1	IO_L37N_1/LDC0	C21	DUAL
1	IO_L37P_1/HDC	C22	DUAL
1	IO_L38N_1/LDC2	B21	DUAL
1	IO_L38P_1/LDC1	B22	DUAL
1	IP	D20	INPUT
1	IP	F21	INPUT
1	IP	G16	INPUT
1	IP	H16	INPUT
1	IP	J16	INPUT
1	IP	J22	INPUT
1	IP	K20	INPUT
1	IP	L15	INPUT
1	IP	M18	INPUT
1	IP	N15	INPUT
1	IP	N21	INPUT
1	IP	P20	INPUT
1	IP	R15	INPUT
1	IP	T17	INPUT
1	IP	T20	INPUT
1	IP	U18	INPUT
1	IP/VREF_1	D21	VREF
1	IP/VREF_1	L17	VREF
1	VCCO_1	E21	VCCO
1	VCCO_1	H18	VCCO
1	VCCO_1	K21	VCCO
1	VCCO_1	L16	VCCO
1	VCCO_1	P21	VCCO
1	VCCO_1	R17	VCCO
1	VCCO_1	V21	VCCO
2	IO	Y8	I/O
2	IO	Y9	I/O
2	IO	AA10	I/O
2	IO	AB5	I/O
2	IO	AB13	I/O
2	IO	AB14	I/O

表 153 : FG484 パッケージのピン配置 (続き)

バンク	XC3S1600E ピン名	FG484 ボール	タイプ
2	IO	AB16	I/O
2	IO	AB18	I/O
2	IO/D5	AB11	DUAL
2	IO/M1	AA12	DUAL
2	IO/VREF_2	AB4	VREF
2	IO/VREF_2	AB21	VREF
2	IO_L01N_2/INIT_B	AB3	DUAL
2	IO_L01P_2/CSO_B	AA3	DUAL
2	IO_L03N_2/MOSI/CSI_B	Y5	DUAL
2	IO_L03P_2/DOU/BUSY	W5	DUAL
2	IO_L04N_2	W6	I/O
2	IO_L04P_2	V6	I/O
2	IO_L06N_2	W7	I/O
2	IO_L06P_2	Y7	I/O
2	IO_L07N_2	U7	I/O
2	IO_L07P_2	V7	I/O
2	IO_L09N_2/VREF_2	V8	VREF
2	IO_L09P_2	W8	I/O
2	IO_L10N_2	T8	I/O
2	IO_L10P_2	U8	I/O
2	IO_L11N_2	AB8	I/O
2	IO_L11P_2	AA8	I/O
2	IO_L12N_2	W9	I/O
2	IO_L12P_2	V9	I/O
2	IO_L13N_2/VREF_2	R9	VREF
2	IO_L13P_2	T9	I/O
2	IO_L14N_2	AB9	I/O
2	IO_L14P_2	AB10	I/O
2	IO_L16N_2	U10	I/O
2	IO_L16P_2	T10	I/O
2	IO_L17N_2	R10	I/O
2	IO_L17P_2	P10	I/O
2	IO_L19N_2/D6/GCLK13	U11	DUAL/ GCLK
2	IO_L19P_2/D7/GCLK12	V11	DUAL/ GCLK
2	IO_L20N_2/D3/GCLK15	T11	DUAL/ GCLK

表 153 : FG484 パッケージのピン配置 (続き)

バンク	XC3S1600E ピン名	FG484 ボール	タイプ
2	IO_L20P_2/D4/GCLK14	R11	DUAL/ GCLK
2	IO_L22N_2/D1/GCLK3	W12	DUAL/ GCLK
2	IO_L22P_2/D2/GCLK2	Y12	DUAL/ GCLK
2	IO_L23N_2/DIN/D0	U12	DUAL
2	IO_L23P_2/M0	V12	DUAL
2	IO_L25N_2	Y13	I/O
2	IO_L25P_2	W13	I/O
2	IO_L26N_2/VREF_2	U14	VREF
2	IO_L26P_2	U13	I/O
2	IO_L27N_2	T14	I/O
2	IO_L27P_2	R14	I/O
2	IO_L28N_2	Y14	I/O
2	IO_L28P_2	AA14	I/O
2	IO_L29N_2	W14	I/O
2	IO_L29P_2	V14	I/O
2	IO_L30N_2	AB15	I/O
2	IO_L30P_2	AA15	I/O
2	IO_L32N_2	W15	I/O
2	IO_L32P_2	Y15	I/O
2	IO_L33N_2	U16	I/O
2	IO_L33P_2	V16	I/O
2	IO_L35N_2/A22	AB17	DUAL
2	IO_L35P_2/A23	AA17	DUAL
2	IO_L36N_2	W17	I/O
2	IO_L36P_2	Y17	I/O
2	IO_L38N_2/A20	Y18	DUAL
2	IO_L38P_2/A21	W18	DUAL
2	IO_L39N_2/VS1/A18	AA20	DUAL
2	IO_L39P_2/VS2/A19	AB20	DUAL
2	IO_L40N_2/CCLK	W19	DUAL
2	IO_L40P_2/VS0/A17	Y19	DUAL
2	IP	V17	INPUT
2	IP	AB2	INPUT
2	IP_L02N_2	AA4	INPUT
2	IP_L02P_2	Y4	INPUT

表 153 : FG484 パッケージのピン配置 (続き)

バンク	XC3S1600E ピン名	FG484 ボール	タイプ
2	IP_L05N_2	Y6	INPUT
2	IP_L05P_2	AA6	INPUT
2	IP_L08N_2	AB7	INPUT
2	IP_L08P_2	AB6	INPUT
2	IP_L15N_2	Y10	INPUT
2	IP_L15P_2	W10	INPUT
2	IP_L18N_2/VREF_2	AA11	VREF
2	IP_L18P_2	Y11	INPUT
2	IP_L21N_2/M2/GCLK1	P12	DUAL/ GCLK
2	IP_L21P_2/RDWR_B/ GCLK0	R12	DUAL/ GCLK
2	IP_L24N_2	R13	INPUT
2	IP_L24P_2	T13	INPUT
2	IP_L31N_2/VREF_2	T15	VREF
2	IP_L31P_2	U15	INPUT
2	IP_L34N_2	Y16	INPUT
2	IP_L34P_2	W16	INPUT
2	IP_L37N_2	AA19	INPUT
2	IP_L37P_2	AB19	INPUT
2	VCCO_2	T12	VCCO
2	VCCO_2	U9	VCCO
2	VCCO_2	V15	VCCO
2	VCCO_2	AA5	VCCO
2	VCCO_2	AA9	VCCO
2	VCCO_2	AA13	VCCO
2	VCCO_2	AA18	VCCO
3	IO_L01N_3	C1	I/O
3	IO_L01P_3	C2	I/O
3	IO_L02N_3/VREF_3	D2	VREF
3	IO_L02P_3	D3	I/O
3	IO_L03N_3	E3	I/O
3	IO_L03P_3	E4	I/O
3	IO_L04N_3	E1	I/O
3	IO_L04P_3	D1	I/O
3	IO_L05N_3	F4	I/O
3	IO_L05P_3	F3	I/O
3	IO_L06N_3	G5	I/O

表 153 : FG484 パッケージのピン配置 (続き)

バンク	XC3S1600E ピン名	FG484 ボール	タイプ
3	IO_L06P_3	G4	I/O
3	IO_L07N_3	F1	I/O
3	IO_L07P_3	G1	I/O
3	IO_L08N_3/VREF_3	G6	VREF
3	IO_L08P_3	G7	I/O
3	IO_L09N_3	H4	I/O
3	IO_L09P_3	H5	I/O
3	IO_L10N_3	H2	I/O
3	IO_L10P_3	H3	I/O
3	IO_L11N_3	H1	I/O
3	IO_L11P_3	J1	I/O
3	IO_L12N_3	J6	I/O
3	IO_L12P_3	J5	I/O
3	IO_L13N_3/VREF_3	J3	VREF
3	IO_L13P_3	K3	I/O
3	IO_L14N_3	J8	I/O
3	IO_L14P_3	K8	I/O
3	IO_L15N_3	K4	I/O
3	IO_L15P_3	K5	I/O
3	IO_L16N_3	K1	I/O
3	IO_L16P_3	L1	I/O
3	IO_L17N_3	L7	I/O
3	IO_L17P_3	K7	I/O
3	IO_L18N_3/LHCLK1	L5	LHCLK
3	IO_L18P_3/LHCLK0	M5	LHCLK
3	IO_L19N_3/LHCLK3/IRDY2	M8	LHCLK
3	IO_L19P_3/LHCLK2	L8	LHCLK
3	IO_L20N_3/LHCLK5	N1	LHCLK
3	IO_L20P_3/LHCLK4/TRDY2	M1	LHCLK
3	IO_L21N_3/LHCLK7	M4	LHCLK
3	IO_L21P_3/LHCLK6	M3	LHCLK
3	IO_L22N_3	N6	I/O
3	IO_L22P_3	N7	I/O
3	IO_L23N_3	P8	I/O
3	IO_L23P_3	N8	I/O
3	IO_L24N_3/VREF_3	N4	VREF
3	IO_L24P_3	N5	I/O

表 153 : FG484 パッケージのピン配置 (続き)

バンク	XC3S1600E ピン名	FG484 ボール	タイプ
3	IO_L25N_3	P2	I/O
3	IO_L25P_3	P1	I/O
3	IO_L26N_3	R7	I/O
3	IO_L26P_3	P7	I/O
3	IO_L27N_3	P6	I/O
3	IO_L27P_3	P5	I/O
3	IO_L28N_3	R2	I/O
3	IO_L28P_3	R1	I/O
3	IO_L29N_3	R3	I/O
3	IO_L29P_3	R4	I/O
3	IO_L30N_3	T6	I/O
3	IO_L30P_3	R6	I/O
3	IO_L31N_3	U2	I/O
3	IO_L31P_3	U1	I/O
3	IO_L32N_3	T4	I/O
3	IO_L32P_3	T5	I/O
3	IO_L33N_3	W1	I/O
3	IO_L33P_3	V1	I/O
3	IO_L34N_3	U4	I/O
3	IO_L34P_3	U3	I/O
3	IO_L35N_3	V4	I/O
3	IO_L35P_3	V3	I/O
3	IO_L36N_3/VREF_3	W3	VREF
3	IO_L36P_3	W2	I/O
3	IO_L37N_3	Y2	I/O
3	IO_L37P_3	Y1	I/O
3	IO_L38N_3	AA1	I/O
3	IO_L38P_3	AA2	I/O
3	IP	F2	INPUT
3	IP	F5	INPUT
3	IP	G3	INPUT
3	IP	H7	INPUT
3	IP	J7	INPUT
3	IP	K2	INPUT
3	IP	K6	INPUT
3	IP	M2	INPUT
3	IP	M6	INPUT

表 153 : FG484 パッケージのピン配置 (続き)

バンク	XC3S1600E ピン名	FG484 ボール	タイプ
3	IP	N3	INPUT
3	IP	P3	INPUT
3	IP	R8	INPUT
3	IP	T1	INPUT
3	IP	T7	INPUT
3	IP	U5	INPUT
3	IP	W4	INPUT
3	IP/VREF_3	L3	VREF
3	IP/VREF_3	T3	VREF
3	VCCO_3	E2	VCCO
3	VCCO_3	H6	VCCO
3	VCCO_3	J2	VCCO
3	VCCO_3	M7	VCCO
3	VCCO_3	N2	VCCO
3	VCCO_3	R5	VCCO
3	VCCO_3	V2	VCCO
GND	GND	A1	GND
GND	GND	A11	GND
GND	GND	A22	GND
GND	GND	B7	GND
GND	GND	B16	GND
GND	GND	C3	GND
GND	GND	C20	GND
GND	GND	E10	GND
GND	GND	E13	GND
GND	GND	F6	GND
GND	GND	F17	GND
GND	GND	G2	GND
GND	GND	G21	GND
GND	GND	J4	GND
GND	GND	J9	GND
GND	GND	J12	GND
GND	GND	J14	GND
GND	GND	J19	GND
GND	GND	K10	GND
GND	GND	K12	GND
GND	GND	L2	GND

表 153 : FG484 パッケージのピン配置 (続き)

バンク	XC3S1600E ピン名	FG484 ボール	タイプ
GND	GND	L6	GND
GND	GND	L9	GND
GND	GND	L13	GND
GND	GND	M10	GND
GND	GND	M14	GND
GND	GND	M17	GND
GND	GND	M21	GND
GND	GND	N11	GND
GND	GND	N13	GND
GND	GND	P4	GND
GND	GND	P9	GND
GND	GND	P11	GND
GND	GND	P14	GND
GND	GND	P19	GND
GND	GND	T2	GND
GND	GND	T21	GND
GND	GND	U6	GND
GND	GND	U17	GND
GND	GND	V10	GND
GND	GND	V13	GND
GND	GND	Y3	GND
GND	GND	Y20	GND
GND	GND	AA7	GND
GND	GND	AA16	GND
GND	GND	AB1	GND
GND	GND	AB12	GND
GND	GND	AB22	GND
VCCAUX	DONE	AA21	CONFIG
VCCAUX	PROG_B	B1	CONFIG
VCCAUX	TCK	E17	JTAG
VCCAUX	TDI	B2	JTAG
VCCAUX	TDO	B20	JTAG
VCCAUX	TMS	D19	JTAG
VCCAUX	VCCAUX	D12	VCCAUX
VCCAUX	VCCAUX	E5	VCCAUX
VCCAUX	VCCAUX	E18	VCCAUX
VCCAUX	VCCAUX	K14	VCCAUX

表 153 : FG484 パッケージのピン配置 (続き)

バンク	XC3S1600E ピン名	FG484 ボール	タイプ
VCCAUX	VCCAUX	L4	VCCAUX
VCCAUX	VCCAUX	M19	VCCAUX
VCCAUX	VCCAUX	N9	VCCAUX
VCCAUX	VCCAUX	V5	VCCAUX
VCCAUX	VCCAUX	V18	VCCAUX
VCCAUX	VCCAUX	W11	VCCAUX
VCCINT	VCCINT	J10	VCCINT
VCCINT	VCCINT	K9	VCCINT
VCCINT	VCCINT	K11	VCCINT
VCCINT	VCCINT	K13	VCCINT
VCCINT	VCCINT	L10	VCCINT
VCCINT	VCCINT	L11	VCCINT
VCCINT	VCCINT	L12	VCCINT
VCCINT	VCCINT	L14	VCCINT
VCCINT	VCCINT	M9	VCCINT
VCCINT	VCCINT	M11	VCCINT
VCCINT	VCCINT	M12	VCCINT
VCCINT	VCCINT	M13	VCCINT
VCCINT	VCCINT	N10	VCCINT
VCCINT	VCCINT	N12	VCCINT
VCCINT	VCCINT	N14	VCCINT
VCCINT	VCCINT	P13	VCCINT

バンクごとのユーザー I/O 数

表 154 に、FG484 パッケージの 304 本のユーザー I/O ピンが 4 つの I/O バンクにどのように分配されているかを示します。

表 154 : FG484 パッケージにおける XC3S1600E デバイスのバンクごとのユーザー I/O 数

パッケージ エッジ	I/O バンク	最大 I/O 数	使用可能な I/O ピン数 (タイプ別)				
			I/O	INPUT	DUAL	VREF ⁽¹⁾	CLK ⁽¹⁾
上辺	0	94	56	22	1	7	8
右辺	1	94	50	16	21	7	0 ⁽²⁾
下辺	2	94	45	18	24	7	0 ⁽²⁾
左辺	3	94	63	16	0	7	8
計		376	214	72	46	28	16

メモ :

1. VREF および CLK ピンの一部は INPUT ピンに含まれます。
2. このバンク内の 8 本のグローバル クロック ピンは、コンフィギュレーション モードによって、コンフィギュレーションにも使用される場合があるため DUAL ピンとして分類されています。

フットプリントの互換性

Spartan-3E FPGA の中で FG484 パッケージを使用するものは、XC3S1600E デバイスのみです。

FG484 のフットプリント

パッケージの左側
(上面図)

214	I/O : 制限のない汎用ユーザー I/O ピン
72	INPUT : ユーザー I/O またはバン クにおける参照抵抗入力
46	DUAL : コンフィギュレーション ピン、コンフィギュレーション後 はユーザー I/O として使用可能
28	VREF : ユーザー I/O またはバンク における参照電圧入力
16	CLK : ユーザー I/O、入力、または クロック バッファ入力
2	CONFIG : コンフィギュレーショ ン専用ピン
4	JTAG : JTAG ポート専用ピン
48	GND : グランド
28	VCCO : バンクの出力電源
16	VCCINT : 内部コア電源 (+1.2V)
10	VCCAUX : 補助電源 (+2.5V)
0	N.C. : 接続されないピン

Bank 0											
	1	2	3	4	5	6	7	8	9	10	11
A	GND	INPUT L37P_0	INPUT L37N_0	I/O L35N_0	I/O L35P_0	I/O L33N_0	I/O L33P_0	I/O L30P_0	I/O L24N_0	I/O L24P_0	GND
B	PROG_B	TDI	I/O L39P_0	I/O L39N_0	VCCO_0	I/O	GND	I/O L30N_0	I/O L28P_0	VCCO_0	I/O L21N_0 GCLK11
C	I/O L01N_3	I/O L01P_3	GND	I/O L40P_0	I/O	INPUT L34P_0	INPUT L34N_0	INPUT L31N_0	I/O L28N_0	I/O L25P_0	I/O L21P_0 GCLK10
D	I/O L04P_3	I/O L02N_3 VREF_3	I/O L02P_3	I/O L40N_0 HSWAP	I/O L38P_0	I/O L36P_0	I/O L31P_0	INPUT L31P_0	I/O L29P_0	I/O L25N_0 VREF_0	I/O L22N_0
E	I/O L04N_3	VCCO_3	I/O L03N_3	I/O L03P_3	VCCAUX	INPUT	I/O L36N_0	VCCO_0	I/O L29N_0	GND	I/O L22P_0
F	I/O L07N_3	INPUT	I/O L05P_3	I/O L05N_3	INPUT	GND	I/O L32N_0 VREF_0	I/O L32P_0	I/O	INPUT L23N_0	INPUT L23P_0
G	I/O L07P_3	GND	INPUT	I/O L06P_3	I/O L06N_3	I/O L08N_3 VREF_3	I/O L08P_3	I/O	INPUT L26N_0	INPUT L26P_0	VCCO_0
H	I/O L11N_3	I/O L10N_3	I/O L10P_3	I/O L09N_3	I/O L09P_3	VCCO_3	INPUT	I/O L27N_0	I/O L27P_0	I/O	INPUT L20N_0 GCLK9
J	I/O L11P_3	VCCO_3	I/O L13N_3 VREF_3	GND	I/O L12P_3	I/O L12N_3	INPUT	I/O L14N_3	GND	VCCINT	I/O
K	I/O L16N_3	INPUT	I/O L13P_3	I/O L15N_3	I/O L15P_3	INPUT	I/O L17P_3	I/O L14P_3	VCCINT	GND	VCCINT
L	I/O L16P_3	GND	INPUT VREF_3	VCCAUX	I/O L18N_3 LHCLK1	GND	I/O L17N_3	I/O L19P_3 LHCLK2	GND	VCCINT	VCCINT
M	I/O L20P_3 LHCLK4 TRDY2	INPUT	I/O L21P_3 LHCLK6	I/O L21N_3 LHCLK7	I/O L18P_3 LHCLK0	INPUT	VCCO_3	I/O L19N_3 LHCLK3 IRDY2	VCCINT	GND	VCCINT
N	I/O L20N_3 LHCLK5	VCCO_3	INPUT	I/O L24N_3 VREF_3	I/O L24P_3	I/O L22N_3	I/O L22P_3	I/O L23P_3	VCCAUX	VCCINT	GND
P	I/O L25P_3	I/O L25N_3	INPUT	GND	I/O L27P_3	I/O L27N_3	I/O L26P_3	I/O L23N_3	GND	I/O L17P_2	GND
R	I/O L28P_3	I/O L28N_3	I/O L29N_3	I/O L29P_3	VCCO_3	I/O L30P_3	I/O L26N_3	INPUT	I/O L13N_2 VREF_2	I/O L17N_2	I/O L20P_2 D4 GCLK14
T	INPUT	GND	INPUT VREF_3	I/O L32N_3	I/O L32P_3	I/O L30N_3	INPUT	I/O L10N_2	I/O L13P_2	I/O L16P_2	I/O L20N_2 D3 GCLK15
U	I/O L31P_3	I/O L31N_3	I/O L34P_3	I/O L34N_3	INPUT	GND	I/O L07N_2	I/O L10P_2	VCCO_2	I/O L16N_2	I/O L19N_2 D6 GCLK13
V	I/O L33P_3	VCCO_3	I/O L35P_3	I/O L35N_3	VCCAUX	I/O L04P_2	I/O L07P_2	I/O L09N_2 VREF_2	I/O L12P_2	GND	I/O L19P_2 D7 GCLK12
W	I/O L33N_3	I/O L36P_3	I/O L36N_3 VREF_3	INPUT	I/O L03P_2 DOUT BUSY	I/O L04N_2	I/O L06N_2	I/O L09P_2	I/O L12N_2	INPUT L15P_2	VCCAUX
Y	I/O L37P_3	I/O L37N_3	GND	INPUT L02P_2	I/O L03N_2 MOSI CSI_B	INPUT L05N_2	I/O L06P_2	I/O	I/O	INPUT L15N_2	INPUT L18P_2
A	I/O L38N_3	I/O L38P_3	I/O L01P_2 CSO_B	INPUT L02N_2	VCCO_2	INPUT L05P_2	GND	I/O L11P_2	VCCO_2	I/O	INPUT L18N_2 VREF_2
A	GND	INPUT	I/O L01N_2 INIT_B	I/O VREF_2	I/O	INPUT L08P_2	INPUT L08N_2	I/O L11N_2	I/O L14N_2	I/O L14P_2	I/O D5
Bank 2											

DS312_10_101905

図 89 : FG484 パッケージのフットプリント (上面図)

FG484 のフットプリント

パッケージの右側
(上面図)

Bank 0											
12	13	14	15	16	17	18	19	20	21	22	
INPUT L17N_0	INPUT L17P_0	I/O L12N_0 VREF_0	I/O L12P_0	I/O L07N_0	I/O L07P_0	I/O L04P_0	I/O L04N_0	I/O L03N_0 VREF_0	I/O L03P_0	GND	A
I/O L19P_0 GCLK6	I/O	VCCO_0	I/O L09N_0 VREF_0	GND	INPUT L05P_0	VCCO_0	INPUT	TDO	I/O L38N_1 LDC2	I/O L38P_1 LDC1	B
I/O L19N_0 GCLK7	INPUT L14P_0	I/O	I/O L09P_0	I/O L06N_0	INPUT L05N_0	I/O L01N_0	I/O L01P_0	GND	I/O L37N_1 LDC0	I/O L37P_1 HDC	C
VCCAUX	INPUT L14N_0	I/O L11N_0	INPUT L08P_0	I/O L06P_0	INPUT L02N_0	INPUT L02P_0	TMS	INPUT	INPUT VREF_1	I/O L34N_1	D
I/O L18N_0 GCLK5	GND	I/O L11P_0	INPUT L08N_0	I/O	TCK	VCCAUX	I/O L36P_1	I/O L36N_1	VCCO_1	I/O L34P_1	E
I/O L18P_0 GCLK4	I/O L15P_0	VCCO_0	I/O L10P_0	I/O	GND	I/O L35P_1	I/O L35N_1	I/O L32N_1	INPUT	I/O L31N_1	F
I/O VREF_0	I/O L15N_0	I/O L13P_0	I/O L10N_0	INPUT	I/O L30P_1	I/O L33N_1	I/O L33P_1	I/O L32P_1	GND	I/O L31P_1	G
INPUT L20P_0 GCLK8	I/O L16P_0	I/O L13N_0	I/O	INPUT	I/O L30N_1	VCCO_1	I/O L29P_1	I/O L29N_1	I/O L28N_1 VREF_1	I/O L28P_1	H
GND	I/O L16N_0	GND	I/O L25P_1	INPUT	I/O L27N_1	I/O L27P_1	GND	I/O L26N_1	I/O L26P_1	INPUT	J
GND	VCCINT	VCCAUX	I/O L25N_1	I/O L23P_1	I/O L23N_1 A0	I/O L24P_1	I/O L24N_1	INPUT	VCCO_1	I/O L22N_1 A1	K
VCCINT	GND	VCCINT	INPUT	VCCO_1	INPUT VREF_1	I/O L21P_1 A4 RHCLK6	I/O L21N_1 A3 RHCLK7	I/O L20P_1 A5 RHCLK4 IRDY1	I/O L20N_1 A5 RHCLK5	I/O L22P_1 A2	L
VCCINT	VCCINT	GND	I/O L19P_1 A8 RHCLK2	I/O L19N_1 A7 RHCLK3 TRDY1	GND	INPUT	VCCAUX	I/O L17N_1 VREF_1	GND	I/O L18N_1 A9 RHCLK1	M
VCCINT	GND	VCCINT	INPUT	I/O L16N_1 A11	I/O L16P_1 A12	I/O L15N_1	I/O L15P_1	I/O L17P_1	INPUT	I/O L18P_1 A10 RHCLK0	N
INPUT L21N_2 M2 GCLK1	VCCINT	GND	I/O L14N_1	I/O L14P_1	I/O L12P_1	I/O L12N_1 VREF_1	GND	INPUT	VCCO_1	I/O L13N_1	P
INPUT L21P_2 RDWR_B GCLK0	INPUT L24N_2	I/O L27P_2	INPUT	I/O L10N_1	VCCO_1	I/O L09P_1	I/O L09N_1	I/O L11P_1	I/O L11N_1	I/O L13P_1	R
VCCO_2	INPUT L24P_2	I/O L27N_2	INPUT L31N_2 VREF_2	I/O L10P_1	INPUT	I/O L06P_1	I/O L06N_1	INPUT	GND	I/O L08N_1	T
I/O L23N_2 DIN D0	I/O L26P_2	I/O L26N_2 VREF_2	INPUT L31P_2	I/O L33N_2	GND	INPUT	I/O L04N_1	I/O L07N_1 VREF_1	I/O L07P_1	I/O L08P_1	U
I/O L23P_2 M0	GND	I/O L29P_2	VCCO_2	I/O L33P_2	INPUT	VCCAUX	I/O L04P_1	I/O L03P_1	VCCO_1	I/O L05N_1	V
I/O L22N_2 D1 GCLK3	I/O L25P_2	I/O L29N_2	I/O L32N_2	INPUT L34P_2	I/O L36N_2	I/O L38P_2 A21	I/O L40N_2 CCLK	I/O L03N_1 VREF_1	I/O L02N_1 A13	I/O L05P_1	W
I/O L22P_2 D2 GCLK2	I/O L25N_2	I/O L28N_2	I/O L32P_2	INPUT L34N_2	I/O L36P_2	I/O L38N_2 A20	I/O L40P_2 VS0 A17	GND	I/O L02P_1 A14	I/O L01N_1 A15	Y
I/O M1	VCCO_2	I/O L28P_2	I/O L30P_2	GND	I/O L35P_2 A23	VCCO_2	INPUT L37N_2	I/O L39N_2 VS1 A18	DONE	I/O L01P_1 A16	A
GND	I/O	I/O	I/O L30N_2	I/O	I/O L35N_2 A22	I/O	INPUT L37P_2	I/O L39P_2 VS2 A19	I/O VREF_2	GND	A
Bank 2											B

DS312_11_101905

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	改訂内容
2005/03/01	1.0	初版リリース
2005/03/21	1.1	CP132 パッケージに XC3S250E を追加 (表 128)。CP132 の差動 I/O ペア数を修正。CP132、FG400、および FG484 パッケージのピン配置とフットプリントを追加。VQ100、TQ144、および PQ208 パッケージから IRDY ピンと TRDY ピンを削除。
2005/11/23	2.0	表 152 の表題を修正。FG400 パッケージのバンク 0 の差動ペアの番号をアップデート (表 151 および図 88)。ピンの機能およびボールの割り当てには影響ありません。「パッケージの熱特性」セクションを追加。パッケージの重量を追加 (表 124)。
2006/03/22	3.0	表 123 の VREF の説明に入力のためのピンだけでなく I/O ピンも追加。表 123 で、一部のグローバルクロック入力が入力のためのピンであることを明記。表 128、表 129、表 132、表 133、表 135、および図 82 に、CP132 パッケージの XC3S100E デバイスの情報を追加。FG320 パッケージにおける XC3S1600E の A12 ボールを、入力のためのピンから I/O ピンに修正。表 128、表 149、表 150、および図 87 で、FG320 パッケージにおける XC3S1600E の I/O 数を修正。表 147 で XC3S1600E の N14 および N15 ボールのピンタイプを修正。
2006/05/19	3.2	微修正。
2006/11/09	3.4	表 129 に XC3S100E の CP132 パッケージの温度データを追加。表 150 に XC3S500E および XC3S1600E 間の E17 ボールと F4 ボールのピン移行を示す矢印を修正。モジュール 4 を Production 仕様に変更。すべてのモジュールを v3.4 に変更。
2007/03/16	3.5	微修正。
2007/05/29	3.6	表 123 の「Lxx」を「Lxxy」に修正。表 123 および表 128 のメモに、GCLK および VREF ピンの一部は INPUT ピンに含まれることを追加。表 126 の前に MDDS (Material Declaration Data Sheet) へのリンクを追加。
2008/04/18	3.7	XC3S500E VQG100 パッケージの追加。表 126 に Material Declaration Data Sheet へのリンクを追加。表 129 の温度特性を更新。リンクの更新。

本資料は英語版 (v3.7) を翻訳したもので、内容に相違が生じる場合には原文を優先します。

資料によっては英語版の更新に対応していないものがあります。

日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。



japan.xilinx.com/spartan3e