

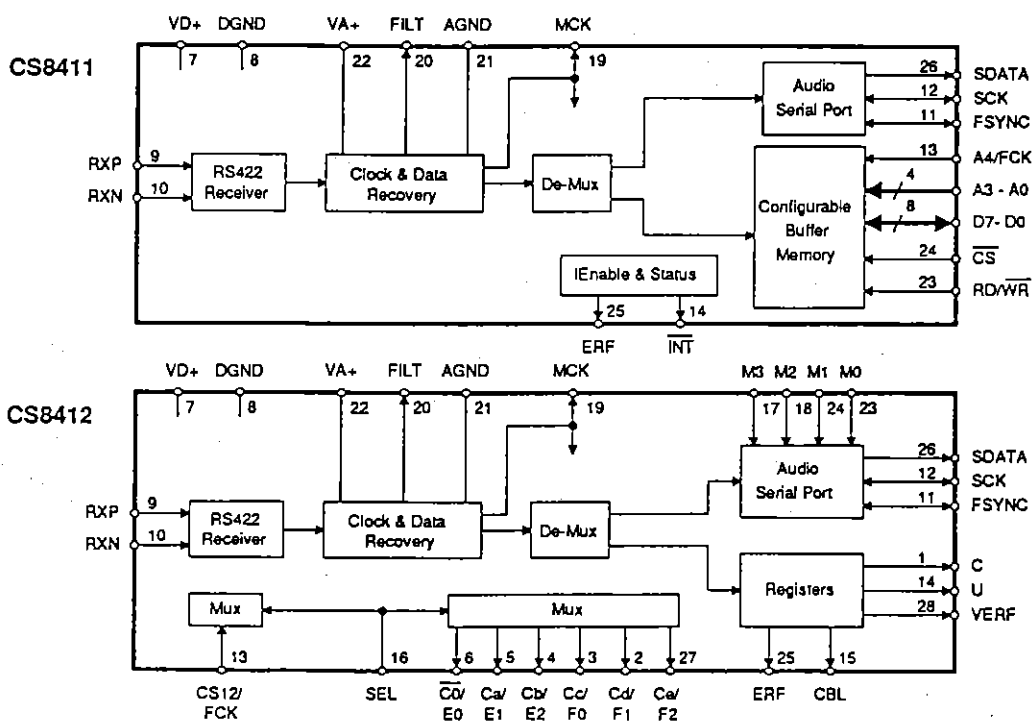
CRYSTAL
Semiconductor Corporation

CS8411 / 8412

デジタルオーディオ・インタフェース・レシーバ

特 長

- ☐ モノリシックDIR
- ☐ 低ジッタ・クロックリカバリ回路内蔵
256fsクロック発生
- ☐ プロ用/民生用フォーマットに準拠
AES/EBU, IEC958, S/PDIF, EIAJ CP-340
- ☐ 拡張エラー表示機能
ラストサンプルのリピート出力が可能
- ☐ RS422ラインレシーバ内蔵
- ☐ バッファメモリ内蔵 (CS8411)



概 要

CS8411/8412はオーディオ信号およびデジタルデータを受信し復号化するLSIで、AES/EBU, IEC958, S/PDIFおよびEIAJ CP-340規格に準拠しています。RS422ラインレシーバとPLLを内蔵しており、クロックに同期した信号を再生し、オーディオ信号およびデジタルデータに分割します。CS8411は内部にコントロールデータ用のバッファメモリをもっており、パラレルポートを通してチャンネルステータス(C)、AUXデータ、ユーザデータ(U)をロードします。CS8412はシリアルポートからC, U, Vビットを出力し、特定のCビットについては別にピンを用意しています。

AES/EBU規格とIEC958規格の概要についてはアプリケーションノート「Overview of Digital Audio Interface Data Structure」を参照して下さい。但し、完全な規格についてはそれぞれの発行元から取り寄せて下さい。AES/EBUについてはAESまたはANSIから、IEC958についてはIECから、CP-340についてはEIAJから入手できます。

■ オーダリングガイド

型番	動作温度	パッケージ
CS8411-CP	0~70℃	28ピン プラスチックDIP
CS8411-IP	-40~85℃	28ピン プラスチックDIP
CS8411-CS	0~70℃	28ピン SOP
CS8411-IS	-40~85℃	28ピン SOP
CS8412-CP	0~70℃	28ピン プラスチックDIP
CS8412-IP	-40~85℃	28ピン プラスチックDIP
CS8412-CS	0~70℃	28ピン SOP
CS8412-IS	-40~85℃	28ピン SOP

* "-CP"と"-CS"は0~70℃で動作保証されますが、テストは25℃のみです。
"-IP"と"-IS"は-40~85℃でテストされます。

■ データシートについて

本データシートはクリスタル社の英文データシート"DS61PP3"版を一部和訳したものです。特性表および付録については英文のまま掲載しています。データシートは暫定版ですので今後仕様が変更になる可能性もありますので、デバイスのご使用および内容について不明な点がございましたら弊社までご連絡下さい。また、原文のままのデータシートが必要な方はご請求下さい。

■ ラインレシーバ

RS422ラインレシーバは、シングルエンド入力と差動入力のどちらも受信できます。このレシーバは50mVヒステリシスをもつ差動入力シュミットトリガです。ヒステリシスは信号にのったノイズが、位相検出器を誤動作させることを防ぎます。付録Aに差動およびシングルエンドのときの使い方を示します。

■ クロックとジッタアテネーション

このデバイスの主な機能は、デジタル送信ラインからオーディオデータと低ジッタのクロックを再生することです。再生されるクロックは MCK (256fs), SCK (64fs) とSYNC (fs or 2fs) です。MCKはPLLのVCOの出力です。PLLは位相/周波数検出器、2次ループフィルタとVCOから成ります。PLLに必要な回路は全て内蔵されており、ループフィルタにつかわれる1本の抵抗とコンデンサのみ必要です。このフィルタは、FILTとAGNDの間に接続されます。PLLのジッタアテネーション特性を規定する閉ループ伝達関数を図3に示します。ループは約25kHzからジッタを減衰し始め、80kHzに別の極をもち、1MHzで50dB減衰します。送信ラインのジッタ成分の大部分は高周波なので強力に減衰されます。

多重周波数検出器が使われており、入力データにPLLがロックする時間を最少にし、誤ったロック状態を防ぎます。PLLが入力データにロックしないとき、周波数検出器はVCO周波数をPLLのロックレンジ内にします。入力データがないときはVCO周波数は最小にされます。

デバイスのアナログ電源(VA+)とFILTピンのノイズは再生クロックのジッタ性能に直接影響するため、できる限り少なくして下さい。

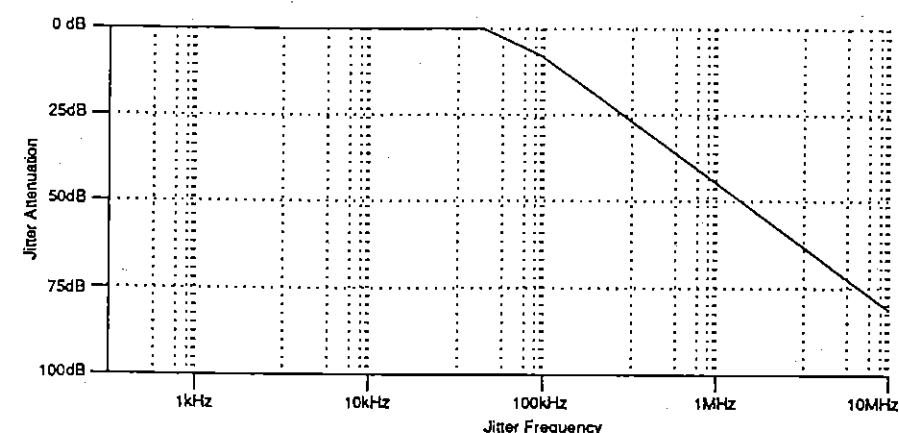


図3. ジッタアテネーション特性

ABSOLUTE MAXIMUM RATINGS (GND = 0V, all voltages with respect to ground)

Parameter	Symbol	Min	Max	Units
Power Supply Voltage	VD+, VA+		6.0	V
Input Current, Any Pin Except Supply	I_{in}		± 10	mA
Input Voltage, Any Pin except RXP, RXN	V_{IN}	-0.3	VD+ + 0.3	V
Input Voltage, RXP and RXN	V_{IN}	-12	12	V
Ambient Operating Temperature (power applied)	T_A	-55	125	°C
Storage Temperature	T_{stg}	-65	150	°C

Notes: 1. Transient currents of up to 100 mA will not cause SCR latch-up.

WARNING: Operation beyond these limits may result in permanent damage to the device.
Normal operation is not guaranteed at these extremes.

RECOMMENDED OPERATING CONDITIONS

(GND = 0V; all voltages with respect to ground)

Parameter	Symbol	Min	Typ	Max	Units
Power Supply Voltage	VD+, VA+	4.5	5.0	5.5	V
Supply Current	I_A		20	35	mA
	I_D		7	10	mA
Ambient Operating Temperature: CS8411/12-CP or -CS	T_A	0	25	70	°C
CS8411/12-IP or -IS		-40		85	°C
Power Consumption	P_D		135	248	mW

Notes: 2. The '-CP' and '-CS' parts are specified to operate over 0 to 70 °C but are tested at 25 °C only.
The '-IP' and '-IS' parts are tested over the full -40 to 85 °C temperature range.

DIGITAL CHARACTERISTICS

(TA = 25 °C for suffixes '-CP' & '-CS'; TA = -40 to 85 °C for '-IP' & '-IS'; VD+, VA+ = 5V ± 10%)

Parameter	Symbol	Min	Typ	Max	Units
High-Level Input Voltage except RXP, RXN	V_{IH}	2.0			V
Low-Level Input Voltage except RXP, RXN	V_{IL}			+0.8	V
High-Level Output Voltage ($I_O = 200\mu A$)	V_{OH}	$V_{DD}-1.0$			V
Low-Level Output Voltage ($I_O = 3.2mA$)	V_{OL}			0.4	V
Input Leakage Current	I_{in}		1.0	10	μA
Input Sample Frequency (Note 3)	F_S	25		55	kHz
	F_S	30		50	kHz
Master Clock Frequency	MCK	6.4	256x F_S	14.08	MHz
MCK Clock Jitter	t_j		200		ps RMS
MCK Duty Cycle (high time/cycle time)			50		%

Notes: 3. F_S is defined as the incoming audio sample frequency per channel.

Specifications are subject to change without notice.

DIGITAL CHARACTERISTICS - RS422 RECEIVERS

(RXP, RXN pins only; VD+, VA+ = 5V ± 10%)

Parameter	Symbol	Min	Typ	Max	Units
Input Resistance (-7V < V_{CM} < 7V)	Z_{IN}		10		k Ω
Differential Input Voltage, RXP to RXN (-7V < V_{CM} < 7V)	V_{TH}	200			mV
Input Hysteresis	V_{HYST}		50		mV

Notes: 4. V_{CM} - Input Common Mode Range

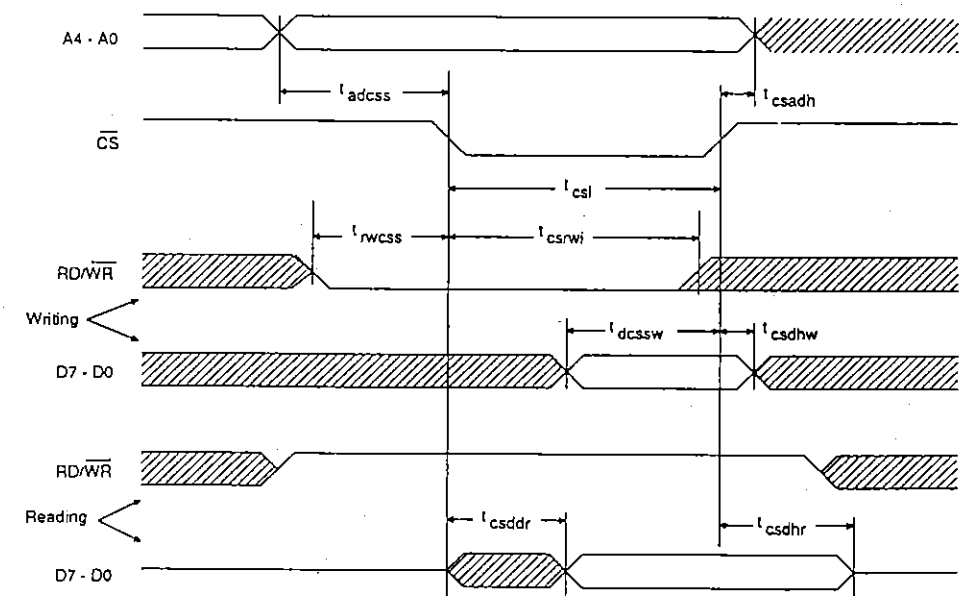
5. When the receiver inputs are configured for single ended operation (e.g. consumer configuration) the signal amplitude must exceed 400mVp-p for the differential voltage on RXP to RXN to exceed 200mV. This represents twice the minimum signal level of 200mVp-p specified in CP-340 and IEC-958 (which are not RS-422 compliant).

SWITCHING CHARACTERISTICS - CS8411 PARALLEL PORT

(TA = 25 °C for suffixes '-CP' and '-CS'; TA = -40 to 85 °C for suffixes '-IP' and '-IS';

VD+, VA+ = 5V ± 10%; Inputs: Logic 0 = DGND, logic 1 = VD+; CL = 20 pF)

Parameter	Symbol	Min	Typ	Max	Units
ADDRESS valid to $\overline{CS}$ low	t_{adcss}	13.5			ns
$\overline{CS}$ high to ADDRESS invalid	t_{csadh}	0			ns
RD/ $\overline{WR}$ valid to $\overline{CS}$ low	t_{rwcss}	10			ns
$\overline{CS}$ low to RD/ $\overline{WR}$ invalid	t_{csrwi}	35			ns
$\overline{CS}$ low	t_{csl}	35			ns
DATA valid to $\overline{CS}$ rising RD/ $\overline{WR}$ low (writing)	t_{dcsw}	32			ns
$\overline{CS}$ high to DATA invalid RD/ $\overline{WR}$ low (writing)	t_{csdhw}	0			ns
$\overline{CS}$ falling to DATA valid RD/ $\overline{WR}$ high (reading)	t_{csddr}			35	ns
$\overline{CS}$ rising to DATA Hi-Z RD/ $\overline{WR}$ high (reading)	t_{csdhr}	5			ns



CS8411 Parallel Port Timing

SWITCHING CHARACTERISTICS - SERIAL PORTS

($T_A = 25^\circ\text{C}$ for suffixes '-CP' and '-CS'; $T_A = -40$ to 85°C for suffixes '-IP' and '-IS';
 $V_{D+}, V_{A+} = 5V \pm 10\%$; Inputs: Logic 0 = DGND, logic 1 = V_{D+} ; $C_L = 20\text{ pF}$)

Parameter			Symbol	Min	Typ	Max	Units
SCK Frequency	Master Mode	Notes 5,6	t_{sck}		OWRx32	TBD	Hz
	Slave Mode	Note 6			OWRx32		Hz
SCK falling to FSYNC delay	Master Mode	Notes 6,7	t_{sldm}	-20		20	ns
SCK Pulse Width Low	Slave Mode	Note 6	t_{sckl}	40			ns
SCK Pulse Width High	Slave Mode	Note 6	t_{sckh}	40			ns
SCK rising to FSYNC edge delay	Slave Mode	Notes 6,7	t_{slds}	20			ns
FSYNC edge to SCK rising setup	Slave Mode	Notes 6,7	t_{fss}	20			ns
SCK falling (rising) to SDATA valid		Note 7	t_{ssv}			20	ns
C, U, CBL valid to FSYNC edge	CS8412	Note 7	t_{cuvf}		$1/t_{sck}$		s
MCK to FSYNC edge delay	FSYNC from RXN/RXP		t_{mfd}		15		ns

- Notes:
- The output word rate, OWR, refers to the frequency at which an audio sample is output from the part. (A stereo pair is two audio samples.) Therefore, in Master mode, there are always 32 SCK periods in one audio sample. In Slave mode 32 SCK periods must be provided in most serial port formats.
 - In master mode SCK and FSYNC are outputs. In Slave mode they are inputs. In the CS8411, control reg. 2 bit 1, MSTR, selects master. In the CS8412, formats 1 & 3 are slaves.
 - The table above assumes data is output on the falling edge and latched on the rising edge. With both parts the edge is selectable. The table is defined for the CS8411 with control reg. 2 bit 0, SCED, set to one, and for the CS8412 in formats 2, 3, 5 - 8. For the other formats, the table and figure edges must be reversed (ie. "rising" to "falling" and vice versa).

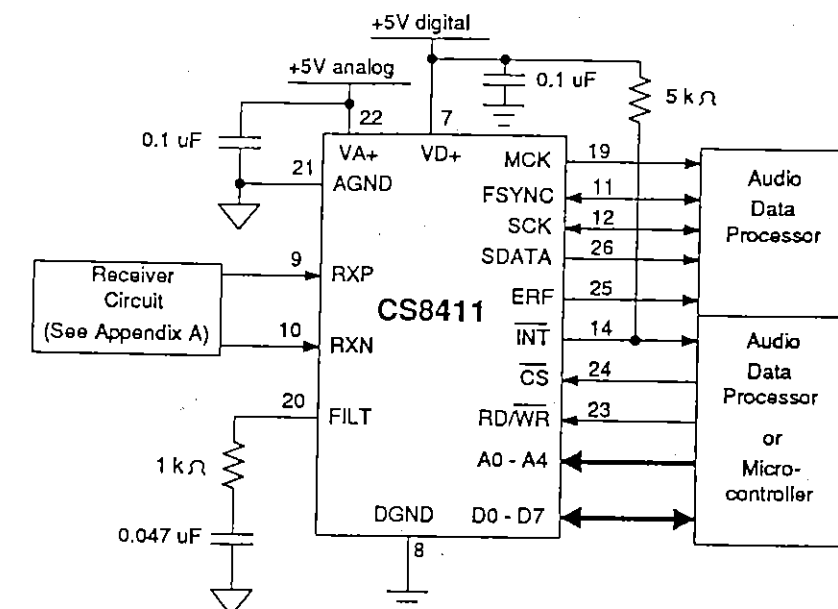
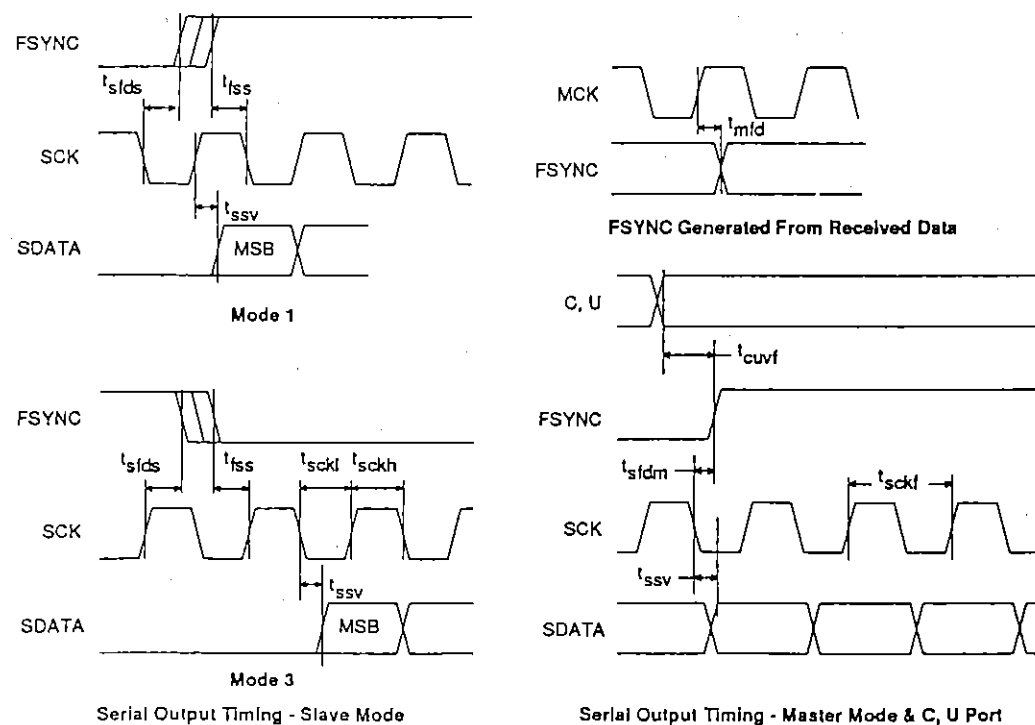


Figure 1. CS8411 Typical Connection Diagram

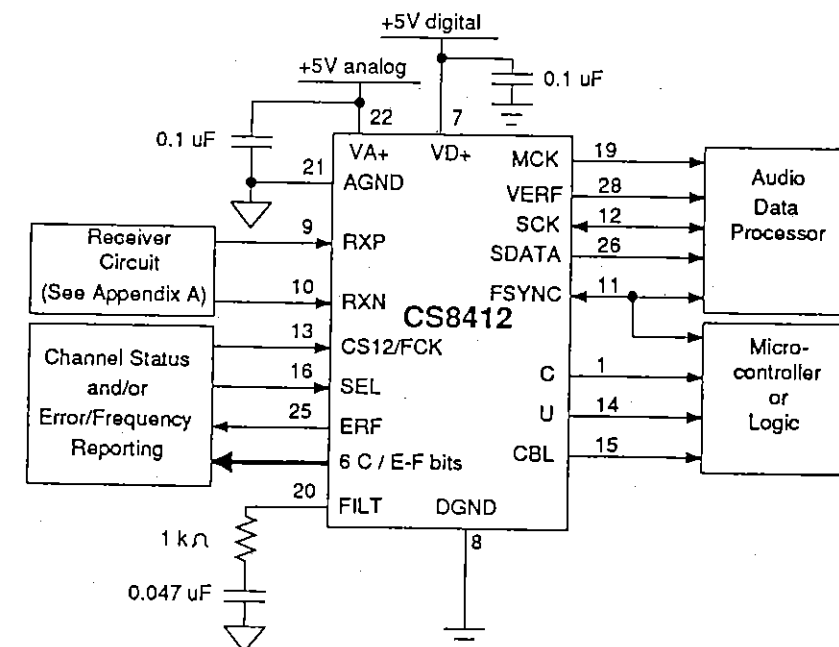


Figure 2. CS8412 Typical Connection Diagram

CS8411 動作説明

CS8411は受信データからクロックとデータを再生して、オーディオデータとコントロールデータを分離します。コントロールデータは内部のデュアルポートRAMにストアされます。拡張エラー表示機能は内部のレジスタを通して使用でき、エラーが発生した場合、ラストサンプルを繰り返すオプションをもちます。CS8411のブロック図を図4に示します。

■ パラレルポート

パラレルポートから2個のステータスレジスタ、2個のインタラプト・イネーブル・レジスタと3個のコントロールレジスタおよび28バイトのデュアルポート・バッファメモリをアクセスできます。バッファメモリの内容は図5に示されます。

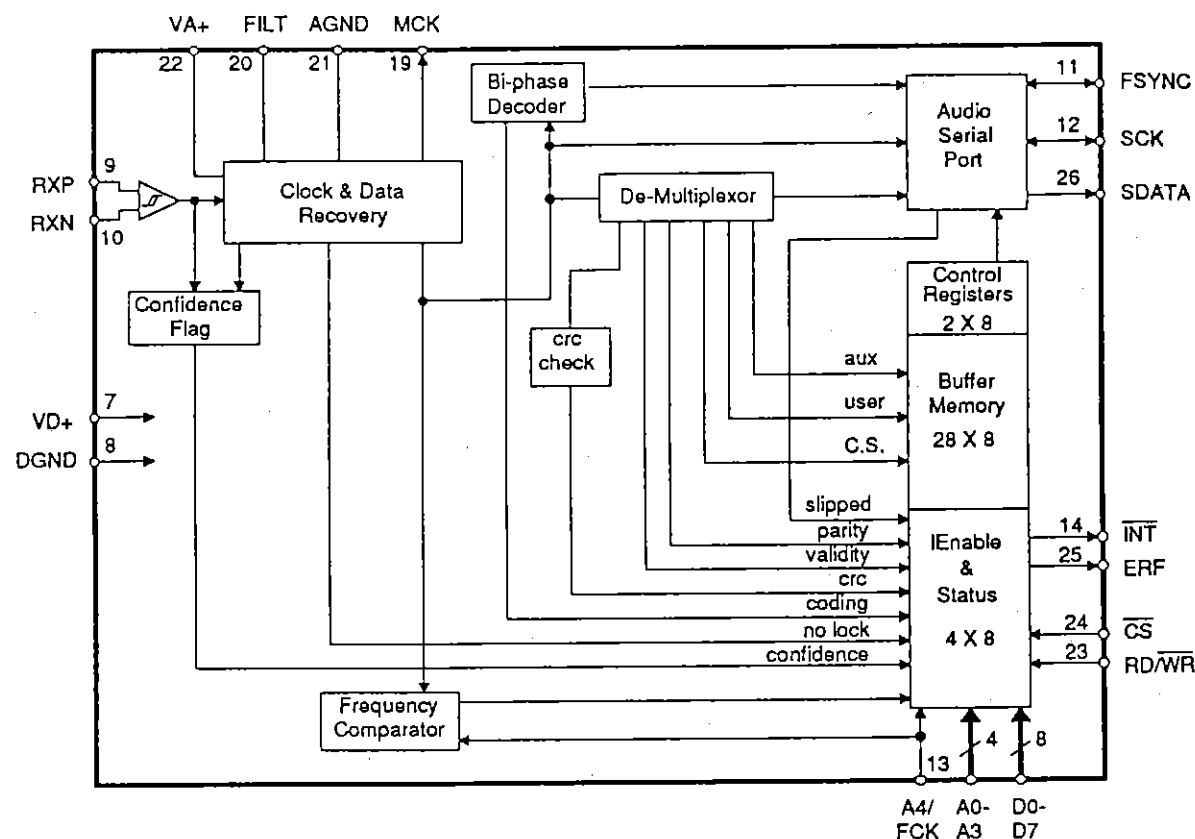


図4. CS8411ブロック図

■ ステータス/インタラプト・イネーブル・レジスタ

ステータスレジスタとインタラプト・イネーブル・レジスタは同じアドレス空間を占有します。コントロールレジスタ1のIER/SRビットはアドレス0と1を占めるレジスタがステータスレジスタ (IER/SR="0") かインタラプト・イネーブル・レジスタ (IER/SR="1") かを選択します。電源投入時、両レジスタのデータは全て"0"です。そのため、ステータスレジスタがイネーブルされ、全ての割り込みはディセーブルされます。インタラプト・イネーブル・レジスタをアクセスするためにはIER/SRビットを"1"にする必要があります。

SR1 (図6) は、INTピンにパルスが発生できる条件を全て示します。FLAG2-FLAG0はRAMバッファのモニタに使われます。これらのビットは連続的に変化し、書き込まれているバッファメモリの位置を示します。各フラグはIER1に対応するイネーブルビットを1個もち、イネーブルビットがセットされるとフラグのエッジでINTピンにパルスが発生します。FLAG0とFLAG1は"↑", "↓"の両エッジで割り込みが起こり、FLAG2は"↑"のみで起こります。

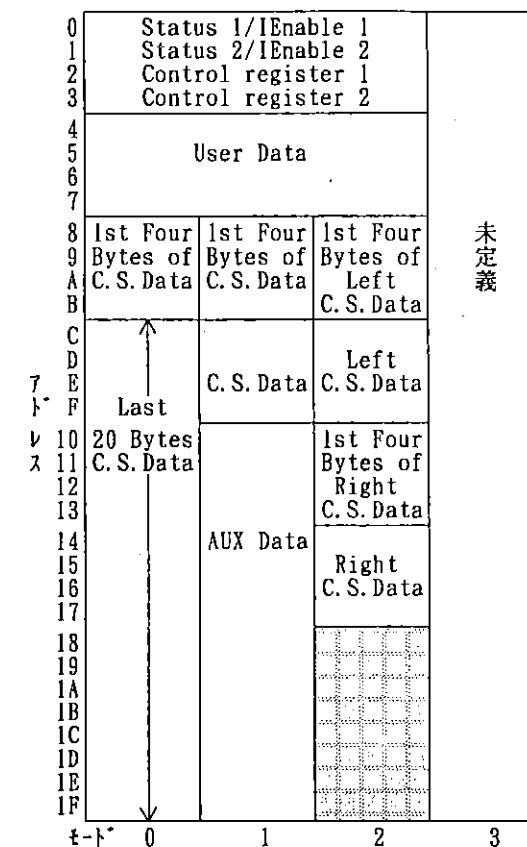


図5. バッファメモリの内容

SR1のERF, SLIP, CCHG, CRCE/CRC1, CSDIF/CRC2は対応する状態が起こったときセット("1")され、SR1が読み出されるとリセット("0")されます。インタラプトパルスは、その状態が起こる最初に発生されます。SR1がもし読み出されないと、同じ状態がさらに起こっても別のインタラプトは発生されません。それぞれのビットの状態については図6を参照して下さい。

CRCのエラーの表示については2種類用意されており、バッファモード0,1の場合はCRC1とCRC2がありそれぞれのチャンネルのCRCエラーを表示します。バッファモード2の場合はCRCEにコントロールレジスタ1のCS2/CSIで選択されたチャンネルのCRCエラーを表示します。各エラー表示はブロック境界で更新されます。

IER1はSR1の全ビットのためのインタラプトイネーブルビットをもちます。IER1のビットが"1"のとき、SR1の同じビットをイネーブルしインタラプトパルスが発生します。"0"は特定のステータスビットをインタラプトからマスクします。

X:00	7	6	5	4	3	2	1	0
SR1	CSDIF /CRC2	CRCE /CRC1	CCHG	SLIP	ERF	FLAG2	FLAG1	FLAG0
IER1	← INTERRUPT ENABLE BITS FOR ABOVE →							

[SR1:]

CSDIF: チャネル間のC.S.ビットに差があるとき"1", ハフマンモード"0,1"
 CRC2: チャネル2にCRCエラーがあるとき"1", ハフマンモード"2"
 CRCE: CS2/CS1ビットで選択されたチャネルにCRCエラーがあるとき"1", ハフマンモード"0,1"
 CRC1: チャネル1にCRCエラーがあるとき"1", ハフマンモード"2"
 CCHG: ハフマンにスト7されたC.S.ビット0~3のどれかのビットが、そのブロック中に変わったとき"1"
 SLIP: 再生したデータと異なる周波数でオーディオデータを読んだためにオーディオサンプルを読みおとしたり、再読み出ししたとき"1"。但し、スレーブモードのときのみ有効です。
 ERF: エラーフラグおよびSR2のビット0~4のエラーと論理的に"OR"がとられます。SR2のビット0~4はIER2の対応するビットと論理的に"AND"がとられます。
 FLAG2: チャネルステータス(C.S.)の最初の4ビット間"H"
 FLAG1: メモリモードで変わります。
 FLAG0: ユーザーデータの後半2ビット間"H"

[IER1:]

SR1の対応するビットをトリプルします。
 "1"のときインタラプトをトリプルし、"0"のときマスクします。

図6. ステータス/インタラプト・イネーブル・レジスタ1

X:01	7	6	5	4	3	2	1	0
SR2	FREQ2	FREQ1	FREQ0	CONF	LOCK	CODE	PARITY	V
IER2	TEST1	TEST0	×	← INT. ENABLE BITS FOR ABOVE →				

[SR2:]

FREQ2-FREQ0: FCEN="1"でFCKビットに6.144MHzクロックが入力される時、表1のように入力データのサンプル周波数を示します。
 CONF: 受信データの74の開口率が0.5ビットサイクル以下であるとき"1"になります。これは送信リンクが劣悪で規格を満たさないことを示します。
 LOCK: PLLがロックしないとき"1"にセットされます。RXP/RXNに入力が無いとき、または受信周波数がロックレンジ(25kHz~55kHz)外になるときセットされます。
 CODE: ハフマン符号化エラーが検出されたとき"1"にセットされます。
 PARITY: ハリディエラーのとき"1"にセットされます。
 V: 受信したVビットが"1"のとき"1"にセットされます。

[IER2:]

TEST1,0: "0"にして下さい。電源投入時は"0"です。
 INT. ENABLES: SR2に対応するビットをトリプルします。
 "1"のときインタラプトをトリプルし、"0"のときマスクします。

図7. ステータス/インタラプト・イネーブル・レジスタ2

SR2は、SR1のERFビットとERFピンおよび受信クロック周波数を規定する全ての状態を示します。SR2の下位の5ビットはIER2のビットと"AND"がとられます。

CONFビットは対応する状態が起こったときにセットされ、SR2が読み出されるとリセットされます。ERFピンが"H"になるとSR1のERFビットがセットされます。もし、ERFピンが"H"になる前にERFビットがセットされないならばインタラプトが発生します(IER1のビット3が"1"と仮定)。ERFピンはイネーブルされたエラーがどれか一つでも起こると"H"になりますが、SR1が読み出されないならばERFビットはインタラプトを一度しか発生しません。

■ コントロールレジスタ

X:02	7	6	5	4	3	2	1	0
CR1	FPLL	FCEN	IER/SR	CS2/CS1	B1	B0	×	RST

FPLL: "0"のときRXP/RXNの入力データからFSYNCを作ります。

"1"のとき内部PLLからFSYNCを作ります。

FCEN: "1"のとき周波数比較器をトリプルします。このときFCKには6.144MHzクロックを入力します。

IER/SR: "0"のときSR1,SR2をトリプル。"1"のときIER1,IER2をトリプル。

CS2/CS1: ハフマンメモリにスト7されるサンプルフレームを示します。

"0"のときサンプルフレームA1(ch1)、"1"のときサンプルフレームA2(ch2)

B1,B0: ハフマンメモリモードの選択

RST: "0"にすると内部カウンタがリセットされ、MCKを除く全ての出力がリセットされます。

動作中は"1"にします。

図8. コントロールレジスタ1

RSTを"H"にした後、ブロックの境界にくるとリセットが完全に解除されます。マスタモードではこのポイントまでシリアルポートは動作しません。FCENは内部の周波数カウンタをイネーブルします。このとき基準クロックとして6.144MHzクロックが必要です。SR2のFREQビットはデータの1ブロックを完全に受信すると確定します。FCKとA4は同じピンに割り当てており、FCENが"H"のときA4は内部で"0"にセットされます。A4は強制的に"0"にされているため、周波数比較機能を使っている間はバッファの上位半分はアクセスできません。

X:03	7	6	5	4	3	2	1	0
CR2	POER	SDF2	SDF1	SDF0	FSF1	FSF0	MSTR	SCED

ROER: "1"にするとエラーが起こったとき(ERF="1")、直前のオーディオサンプルを繰り返し出力します。

SDF2-SDF0: データフォーマットを選択します。

FSF1,FSF0: FSYNCフォーマットを選択します。

MSTR: "1"のときマスタモードになり、SCKとFSYNCは出力になります。

SCED: "1"のときSCKの"↓"でデータ出力、"0"のときSCKの"↑"でデータ出力。

図9. コントロールレジスタ2

コントロールレジスタ2はシリアルポートのフォーマットを決定します。種々のフォーマットをもっており、ほとんどのDSPとオーディオプロセッサに対応します。SDATAは通常のオーディオデータのみですがスペシャルモードではバイフェーズをそのまま出力するものやブリアンブル部分を"0"にしたNRZデータも出力するものもあります。他にはサンプルを読みとばさずにシリアルポートからオーディオデータを読み出すために非同期的SCKを入力できるモードもあります。このモードではFSYNCとSDATAはSCKに同期します。SCKは受信クロックに非同期的なのでFSYNCのエッジ間のSCKクロック数は変化します。

FSYNCとSCKが入力のとき(スレーブモード)、FSYNCとSCKをコントロールするデバイスがCS8411のクロックと異なっているならば、2回読み出ししたり、読み落としたりする可能性があります。もし、このようなことが起こるとSR1のSLIPビットがセットされます。

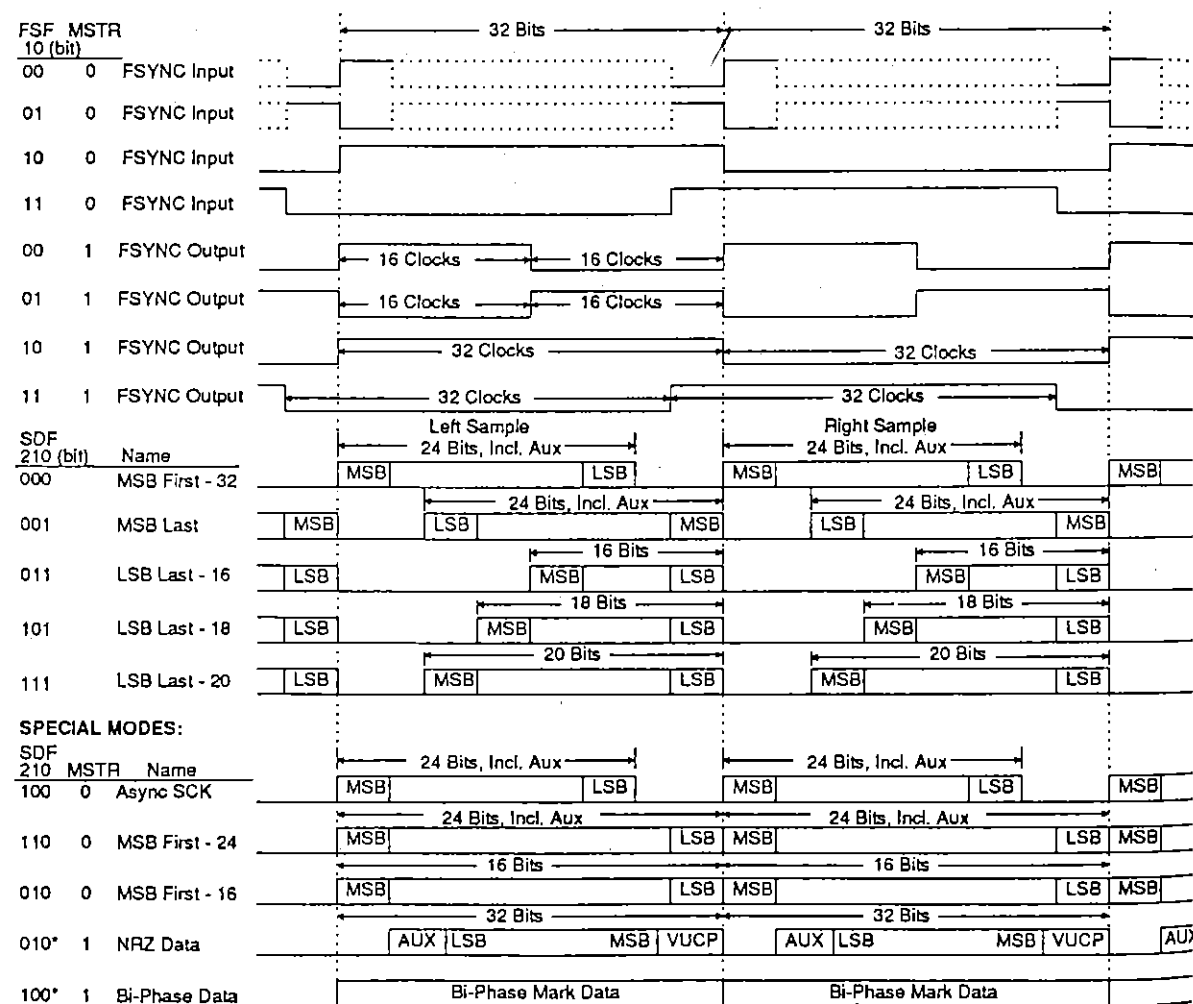
■ オーディオシリアルポート

1. ノーマルモード

SCKとFSYNCは入出力ピンになっており、出力のときはSCKは各サンプルに32個出力されます。最初の2つのフォーマットは外部からチャンネルを区別する必要があります。FLAG2の"↑"を使って次のデータワードがLehであることを示すことができます。最後のフォーマットはI²S互換です。SCKは入力のときもサンプル毎に32個必要です。

2. スペシャルモード

1 番目のモードでは非同期のSCK, FSYNC (出力) は入力されるSCKでアラインメントが行われます。このモードはSCKが外部イベントにロックされ、MCKからは作れないとき有効です。SCKは非同期なのでサンプル毎のSCKサイクルは一定ではありません。データ出力はMSBファースト、24ビットでサンプルフレームの先頭でアラインメントが行われます。2 番目と3 番目はサンプルフレーム毎にそれぞれ24 個と16 個のSCKサイクルを含みます (ノーマルモードは全て32*SCKサイクルです)。4 番目のモードはV, U, C, Pビットを含むNRZデータを出力し、プリアンプルは"0"にされます。SCKはサンプルフレーム毎に32*SCKサイクルです。5 番目のモードは送信ラインから再生したバイフェーズデータを出力しSCKはフレーム毎に64個でノーマルモードの2 倍です。データはSCKの"↑"で変化します。4 番目と5 番目のモードではエラーコードは正確ではありません。



* Error flags are not accurate in these modes

図10. シリアルポート SDATA & FSYNC タイミング

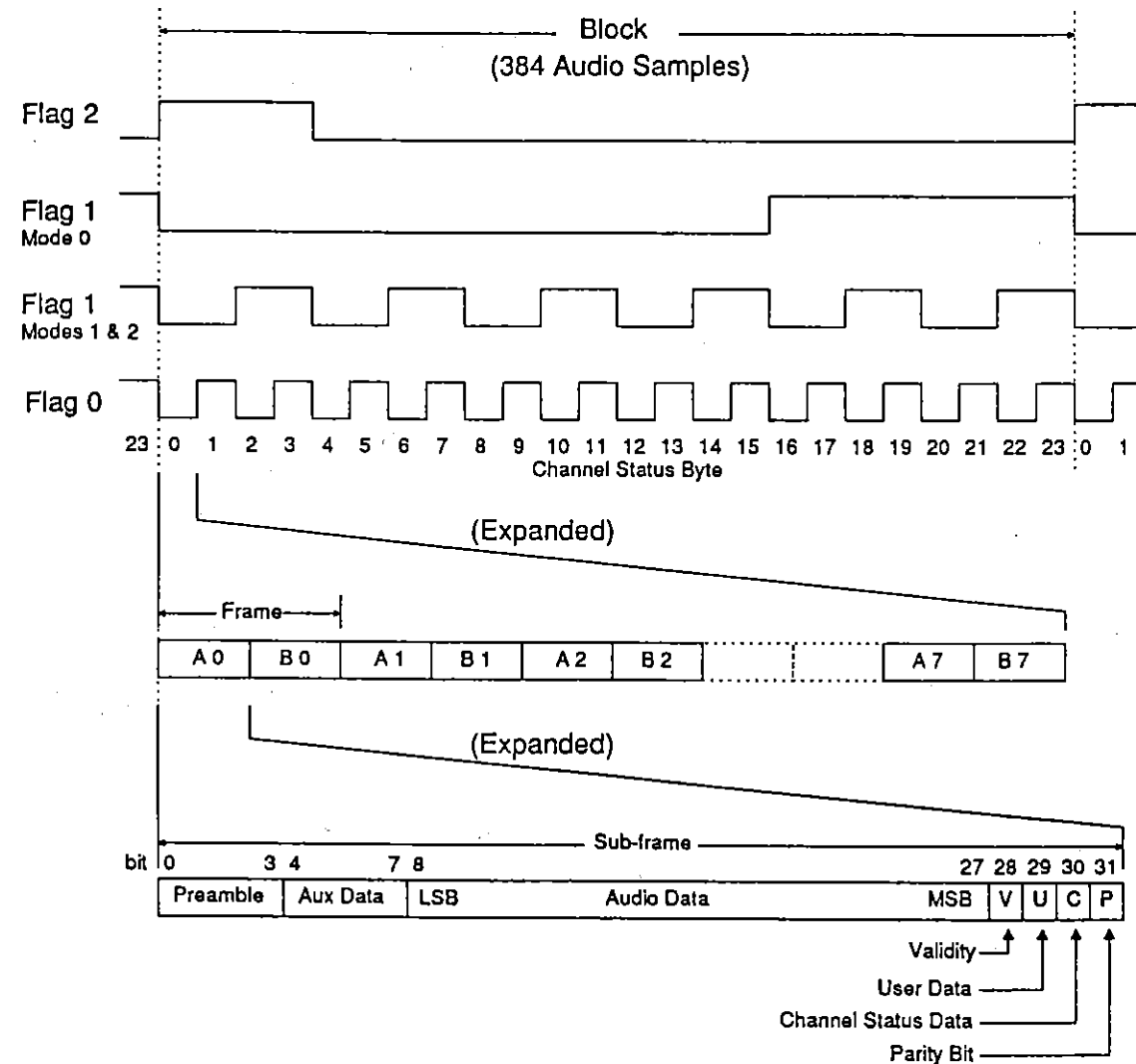


図11. ステータスレジスタ・フラグ・タイミング

■ バッファメモリ

図5に4個のレジスタと各データのアロケーションを示します。データバッファは内部で書き込まれていないときはいつでもアクセスすることができます。内部書き込みはバッファの2番目のポートから周期的に行われます。データは受信されると内部8ビットシフトレジスタに入力され、シフトレジスタが一杯になるとバッファメモリにロードされます。このバイトはLSBファーストで受信されます。

ユーザデータはサブフレームあたり1ビットずつ受信されます。ユーザデータを書き込むための内部ポインタはC.S.ブロック境界で04H(16hex)に初期化されます。8ユーザビットを受信後、ユーザポインタで示されるアドレスに書き込まれ、ポインタは次のアドレスにインクリメントされます。全4バイト送信後、ユーザライトポインタは04H(16hex)にリセットされ、このサイクルを繰り返します。

ステータスレジスタ1のFLAG0は内部ユーザデータのライトポイントの位置をモニタします。ユーザデータの最後のバイト(07H)が書き込まれるとFLAG0は"0"にセットされ、2番目のバイト(05H)が書き込まれると"1"になります。コントロールレジスタ1のMASK0が"1"にセットされると、FLAG0のエッジでINTピンに"L"パルスが出力されます(図12)。FLAG0の値はデバイスが次にどちらの2バイトを書き込むかを示します。それにより、どちらの2バイトがアクセス可能かがわかります。

FLAG1はバッファモードに依存しており、各バッファモードの項を参照して下さい。

FLAG2はC.S.のバイト23(1FH)が書き込まれるとき"1"にセットされ、バイト3(0BH)が書き込まれるとき"0"にセットされます。FLAG2はIER1でイネーブルされる時、"↑"でのみINT信号を出力します。

全てのバッファモードではSR1の上位3ビット(図6)を使ってC.S.データをモニタできます。

図11もプリアンプルの部分は図15に詳細があり、フラグ、INT信号と内部バッファリードタイミング間の正確なタイミングを示しています。

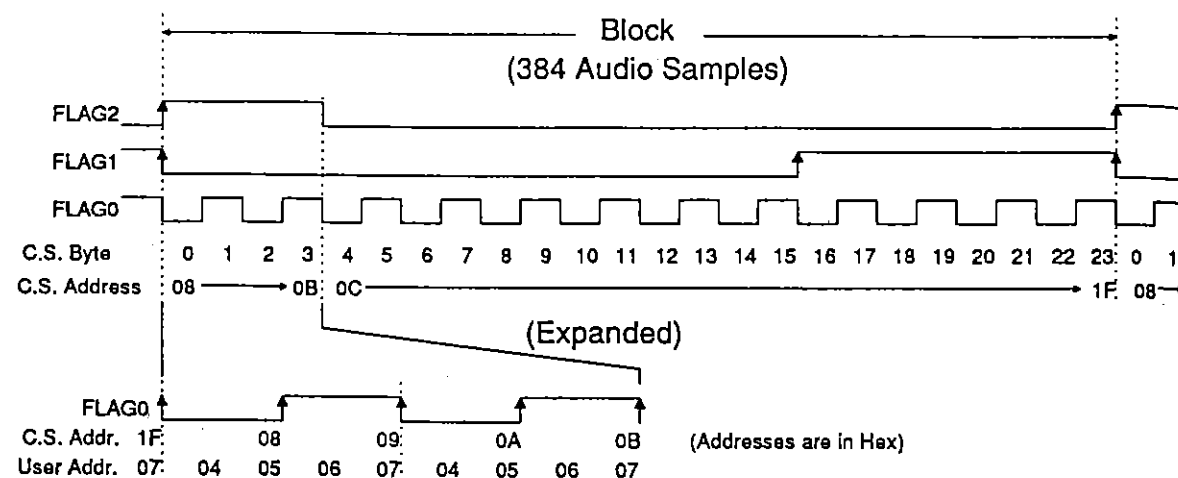


図12. バッファメモリ・ライトシーケンス: モード0

■ バッファモード1

モード0と同様送信されるC.S.データはch. Aとch. Bで同じです(1フレームにC.S.ビットは1個)。FLAG1とFLAG2がこのバッファのモニタに使われます。FLAG1はC.S.データのバイト1(09H)が書き込まれるとき"0"です。図13に示されるようにFLAG2はバイト23の書き込み後"1"、バイト3の書き込みで"0"になります。FLAG2はC.S.ポインタが先頭の4バイトを書き込んでいるのかまたは2番目の4バイトを書き込んでいるのかを示します。FLAG1はどちらの2バイトが更新可能であることを示します。

AUXデータバッファは10H~1FHに配置され、データバッファと同様に周期的に書き込まれます。4個のAUXビットはオーディオサンプル(サブフレーム)毎に受信され、AUXバッファはユーザデータの4倍の回数書き込まれ、4倍大きくなるのでFLAG0も使用してモニタします。

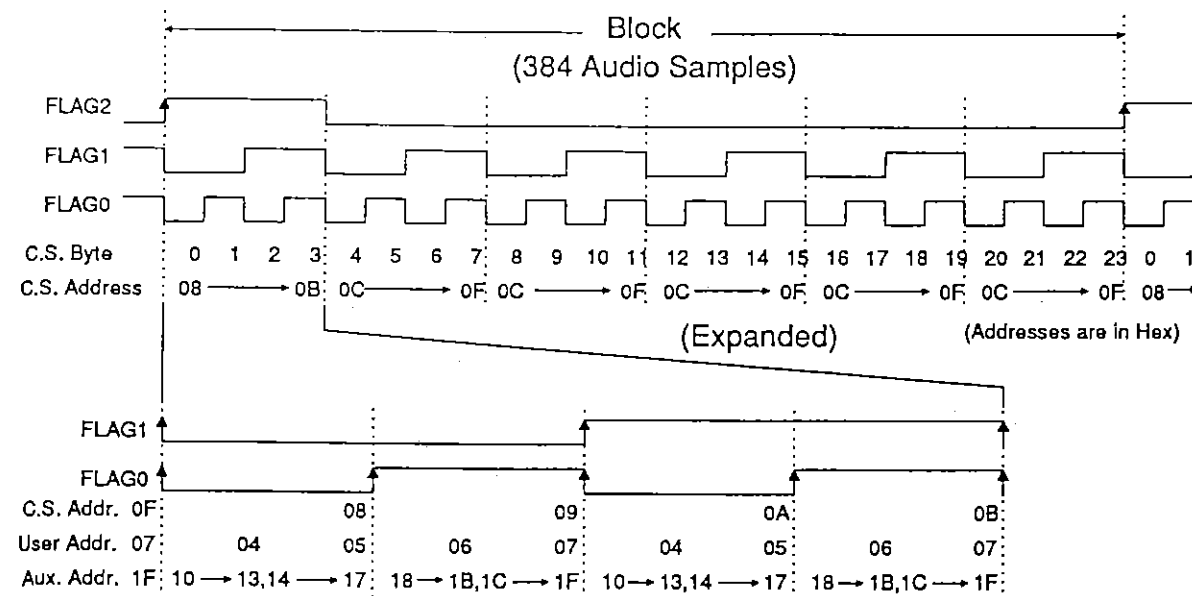


図13. バッファメモリ・ライトシーケンス: モード1

■ バッファモード2

このモードでは2個の8バイトバッファはch. Aとch. BのC.S.データを別々にバッファリングすることができます。両バッファは各chがそれぞれC.S.データをもつことができることを除くとモード1のC.S.バッファと同じ動作です。

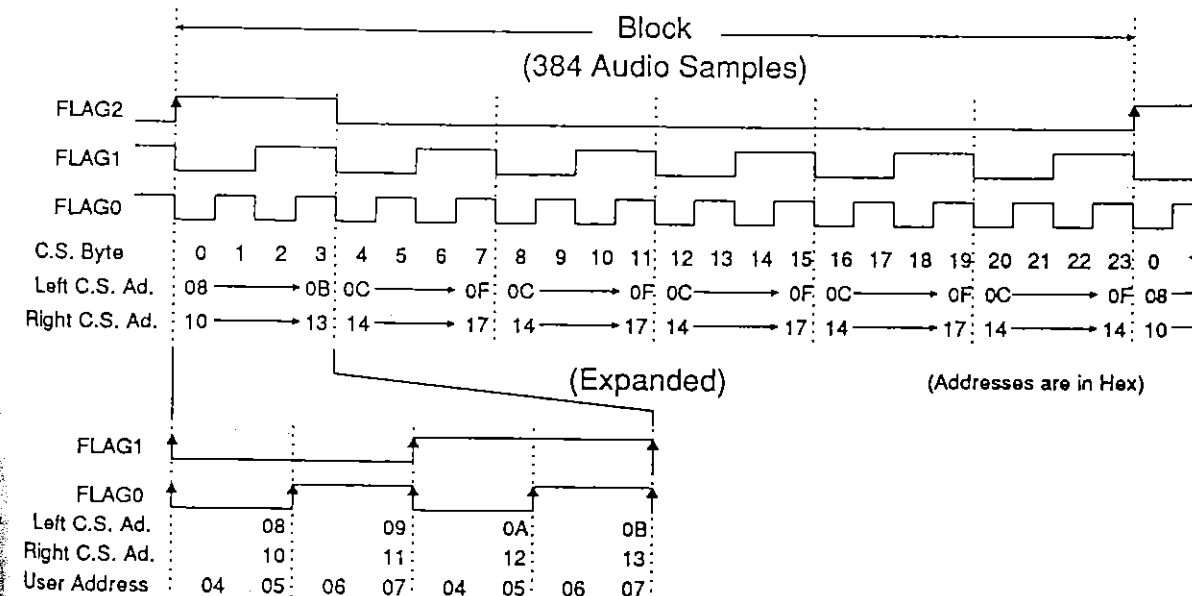


図14. バッファメモリ・ライトシーケンス: モード2

■ バッファ更新とインタラプトタイミング

バッファRAMの外部からの読み出しと内部RAMへデータを書き込むときの競合はフラグを使ってアドレスされている部分避けることで防ぐことができます。フラグのエッジで出力されるINT信号は更新されたバイトを示します。このようにしてバッファ全体は内部更新に無関係に読み出すことが可能です。図15はフラグ、INTと内部書き込みとの間のタイミングを示します。SCKは入力サンプリング周波数の64倍です。図中のFSYNCはI²S交換モードを除く全てのマスタモードで有効です。INTパルスは4*SCK周期あり、内部RAMへ書き込みから5*SCK周期後“L”になります。これらから内部ポインタで更新される次のバイトから全データバッファを読み出すことが可能です。

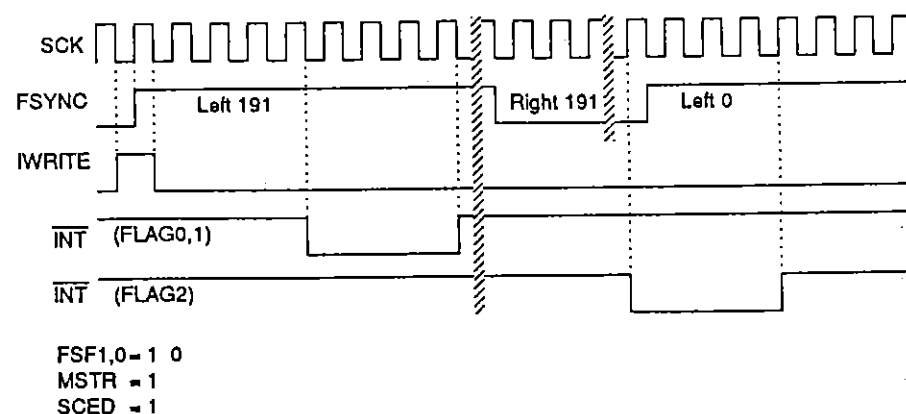
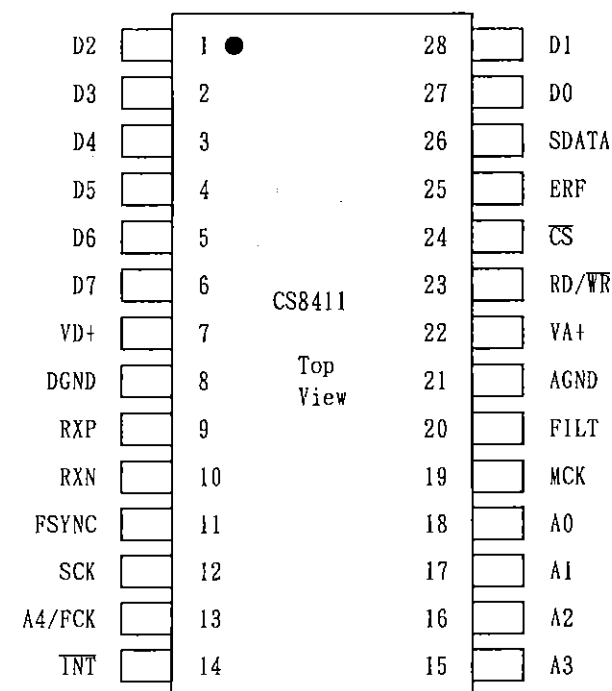


図15. RAM/バッファ・ライト・インタラプトタイミング

■ ERFピンタイミング

ERFはシリアルポートから読み込んでいるオーディオサンプルが受信中にエラーを起こしたことを示す信号です。ERFはFSYNCのエッジで変化し、エラーが続いている間は“H”です。ERF出力はSR2で示されるエラー状態 (CONF, LOCK, CODE, PARITY, V) を反映します。これらの状態はIER2のビットでマスクされます。ERFピンはどのエラーが起こっても“H”になります。

■ ピン配置



■ ピン機能

ピン番号	ピン名称	I / O	機能
27~28 1~6	D0~D1 D2~D7	I	データバスピン
7	VD+	—	ディジタル電源ピン, +5 V
8	DGND	—	ディジタルグランドピン
9 10	RXN RXP	I	差動ラインレシーバピン RS422互換
11	FSYNC	I / O	フレームシンクピン
12	SCK	I / O	シリアルクロックピン
13	A4/FCR	I	アドレス/基準周波数ピン コントロールレジスタ1のFCENビットが"0"のときはアドレス入力になり、"1"のときはこのピンに6.144MHzクロックを入力することにより入力周波数を検出できます。このときアドレスA4は内部で"0"にセットされます。
14	INT	I	インタラプトピン 内部バッファの状態を示すオープンドレイン出力です。 通常5k Ω でVD+にプルアップして下さい。
15~18	A3~A0	I	アドレスバスピン ピン13 (A4) と併せてリード/ライトするメモリアドレスを選択します。
19	MCK	I	マスタクロックピン 受信周波数の256倍の低ジッタクロックを出力します。
20	FILT	I	フィルタピン AGNDとの間に1k Ω の抵抗と0.047 μ Fのコンデンサを接続します。
21	AGND	—	アナロググランドピン
22	VA+	—	アナログ電源ピン, +5 V この電源のノイズは再生クロックのジッタ性能に直接影響するため、できる限り少なくして下さい。
23	RD/WR	I	リード/ライトピン "L"のときCS="L"で内部メモリにデータを書き込みます。 "H"のときCS="L"で内部メモリからデータを読み出します。
24	CS	I	チップセレクトピン
25	ERF	O	エラーフラグピン 受信中のオーディオサンプルをシリアルポートから読み込んでいるときにエラーが起こったことを示します。IER2でイネーブルにセットされたSR2のエラーが起こった場合に"H"になります。
26	SDATA	I	シリアルデータピン

C S 8 4 1 2 動作説明

CS8412は非オーディオデータをマイクロプロセッサを使わずにアクセスできます。また、シリアルポートからC、Uビットを出力し、特定のCビットについては別にピンを用意しています。CS8412はCMOSモノリシックICで、ディジタルインタフェース規格に準じて符号化されたオーディオデータを受信し、復号化します。RS422ラインレシーバを内蔵し、内蔵のPLLにより、クロックとデータを再生します。チャンネルステータス(C)とユーザデータ(U)はそれぞれシリアル出力ピンをもち、バリディティフラグ(V)はERFフラグと論理的に"OR"がとられ、オーディオデータが無効であることを示すVERFピンに出力されます。このピンはエラー訂正を行うインタポレーションフィルタで使われる可能性があります。CS8412のブロック図を図16に示します。

ラインレシーバとジッタ性能についてはCS8411/8412共通の項を参照して下さい。

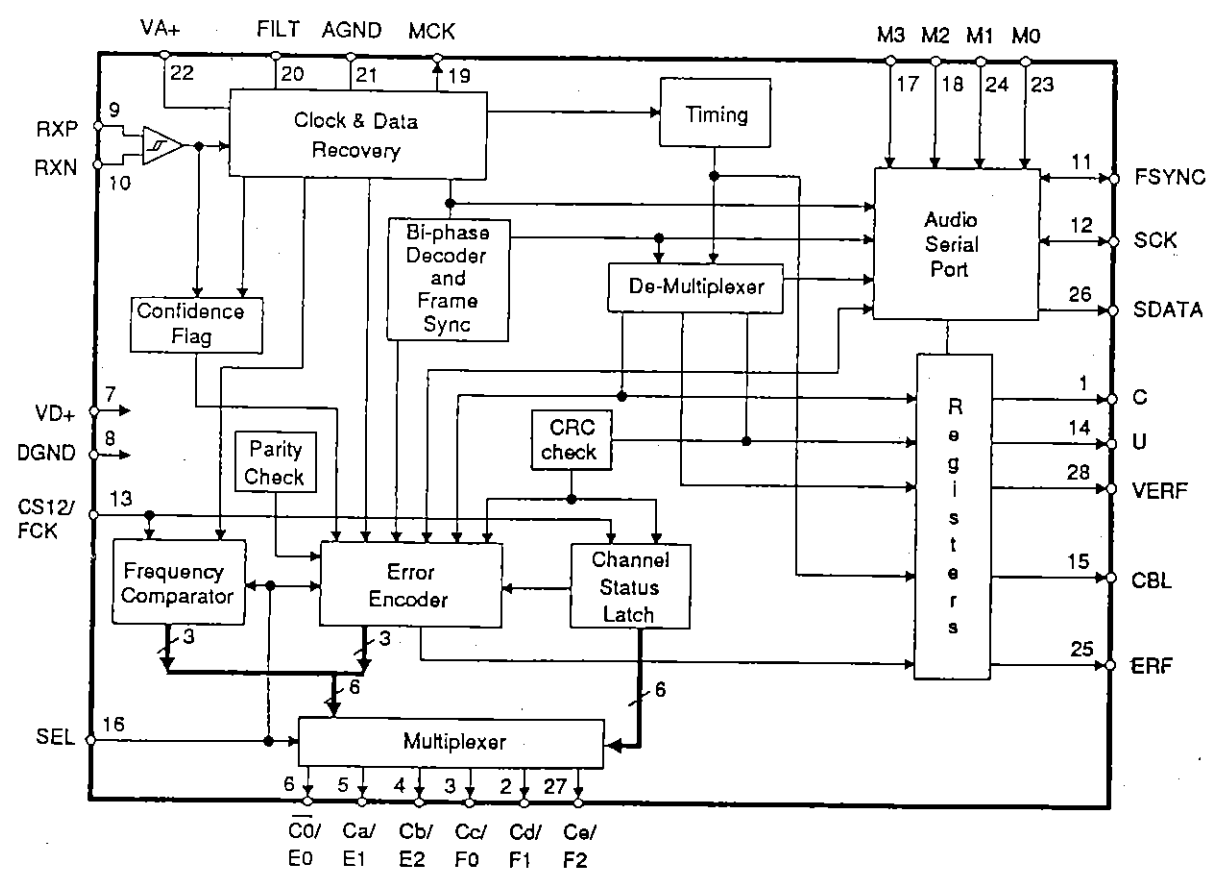


図 16. CS8412 ブロック図

■ オーディオシリアルポート

シリアルポートはSCK, FSYNCとSDATAの3ピンから構成されます。モード設定はM0~M3の4ピンで行い、8種類のノーマルモード(M3="0")と6種類のスペシャルモード(M3="1")をサポートします。各信号の入出力は図17にIN, OUTで示されます。

1. ノーマルモード (M3="0")

これらのフォーマットの一つを使っているときエラーが起こった場合(ERF="1")、そのチャンネルの前の有効なデータが出力されます。ERFが"1"である間は同じデータ出力がされます。もし、CS8412がロックされない場合は、全て"0"が出力されます。SCKが出力モードの場合はオーディオサンプルあたり32*SCK(64fs)出力されます。入力の場合はオーディオサンプルあたり32*SCKを入力する必要があります。FSYNCとSCKが入力の場合は1ステレオサンプル分はダブルバッファされます。24ビットのオーディオデータを出力するモードではAUXビットを含みます。もし、AUXビットをオーディオデータとして使用しないならば、マスクして下さい。

2. スペシャルモード (M3="1")

フォーマット8,9,10のタイミングはフォーマット1,2,3と同じです。但し、ERFが"1"で、エラーを表示していても、その時点の再生データを出力します(フォーマット1,2,3では前の有効サンプルを出力します)。同様に、ロックがはずれた場合、RXP, RXNの入力がない場合は"0"ではなく再生データを全てそのまま出力し続けます。フォーマット11はフォーマット0に似ていますが、SCKは入力で、FSYNCは出力です。このモードではFSYNCとSDATAは入力されるSCKに非同期で、SCKは受信したデータに同期していないのでFSYNCのエッジ間のSCKの周期は変化します。このモードは外部媒体にデータを書き込むとき有効です。フォーマット12のSDATAはC, U, V, Pビットを含む全再生データで、プリアンプルのところはゼロです。フォーマット13のSDATAはプリアンプルを含む全バイフェーズ信号です。但し、SCKは通常の2倍の周波数です。フォーマット15はCS8412をリセット状態にします。リセット中はMCKを除いて全ての出力は非アクティブ状態です。CS8412はリセット状態を止めた後、最初のブロック境界でリセット解除を行います。

M2	M1	M0	コメント
0	0	0	0-L/R出力, 前詰め 16-24ビット
0	0	1	1-L/R入力, 前詰め 16-24ビット
0	1	0	2-L/R出力, I ² S互換
0	1	1	3-L/R入力, I ² S互換
0	1	0	4-Word Sync, 前詰め 16-24ビット
1	0	1	5-MSBファースト, 後詰め 16ビット
1	1	0	6-MSBファースト, 後詰め 18ビット
1	1	1	7-LSBファースト, 後詰め 16-24ビット

表3. ノーマル・オーディオポートモード

M2	M1	M0	コメント
0	0	0	8-FORMAT 0, No repeat on error
0	0	1	9-FORMAT 1, No repeat on error
0	1	0	10-FORMAT 2, No repeat on error
0	1	1	11-FORMAT 0, SCK非同期入力
1	0	0	12-NRZデータ, プリアンプル"0"
1	0	1	13-バイフェーズデータ
1	1	0	14-予備
1	1	1	15-CS8412リセット

表4. スペシャル・オーディオポートモード

FMT

No. M2 M1 M0

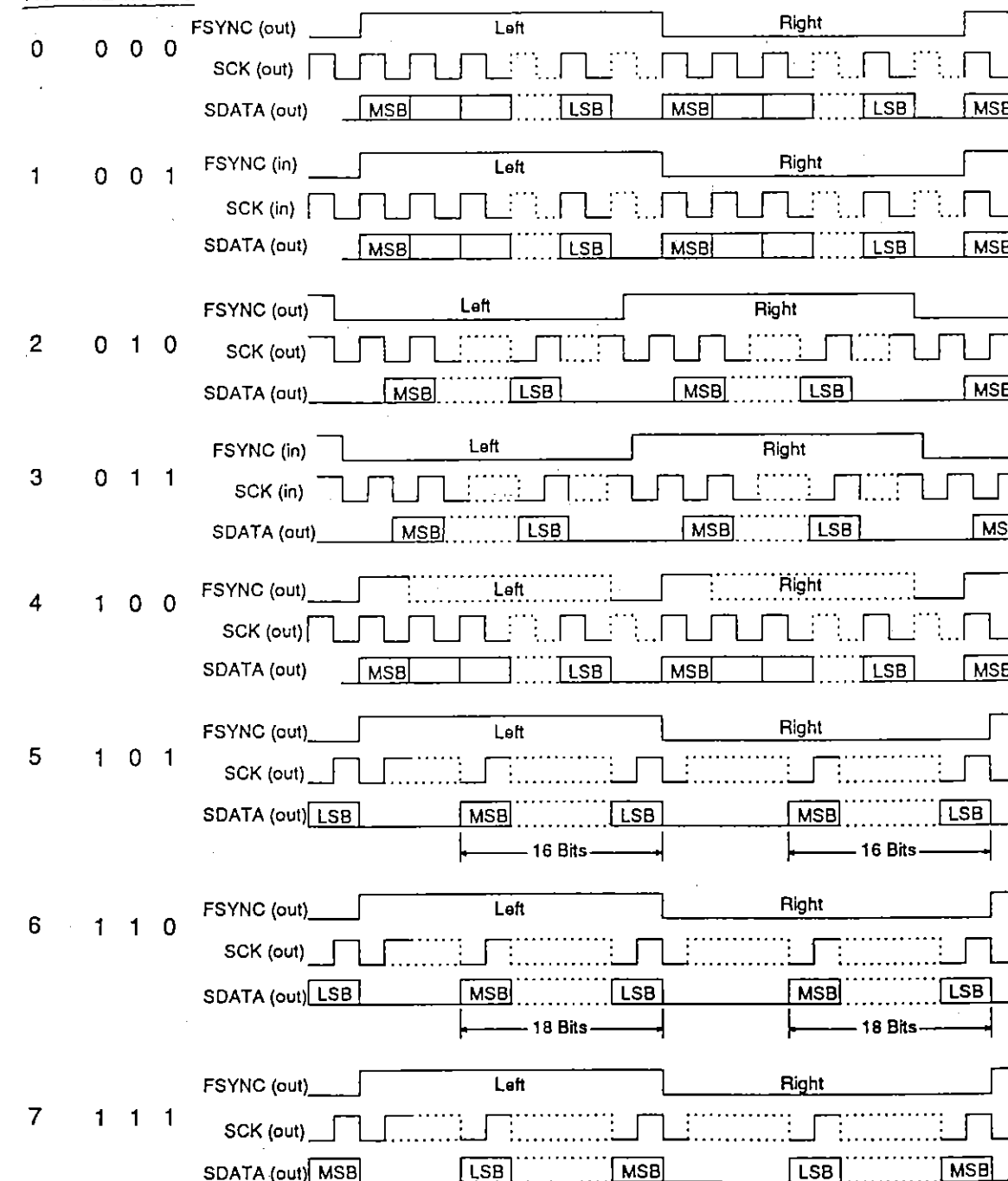


図17. オーディオポート・フォーマット

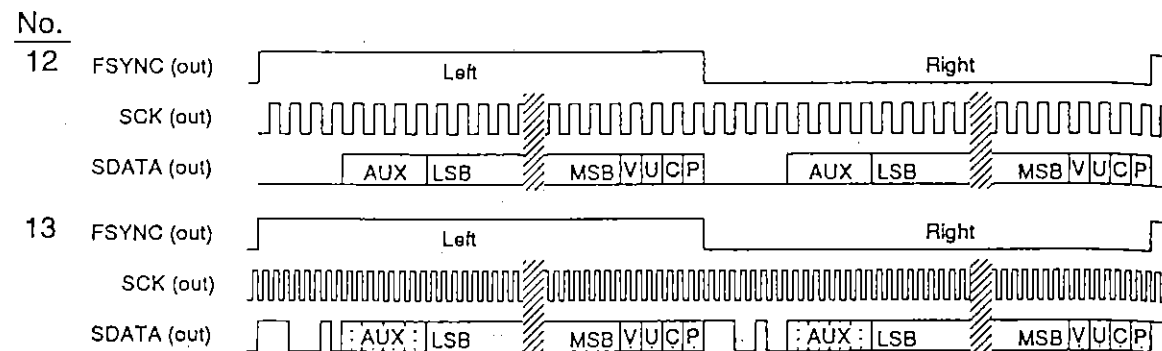


図18. スペシャル・オーディオポート・フォーマット

■ C, U, VERF, ERF, CBLオプション

C, UビットとCBLはフォーマット2, 3を除いてFSYNCのエッジの1*SCK前で出力されます。FSYNCのエッジでC, U, CBLを外部でラッチできます。フォーマット2, 3ではFSYNCのエッジで更新されます。Vビット+エラーフラグ (VERF) とエラーフラグ (ERF) は常にFSYNCのエッジで更新されます。(図19)

CBLの"↑"は新しいC.S.ブロックの先頭を示します。CBLは最初の4バイト(327レ-4または64サンプル)間"H"で残りの20バイト間"L"です。VビットはERFフラグと論理的に"OR"がとられ、VERFピンに出力されます。Vビットはオーディオサンプルにエラーがあることを示しており、エラーをとばして補間するためにインタポレーションフィルタによって使われます。ERFが"H"であると送信ラインに重大なエラーが起きていることを示します。これには3つの原因が考えられます。パリティエラーまたはそのサンプル中のバイフェーズ符号則違反、または、PLLのロックはずれです。(図19)

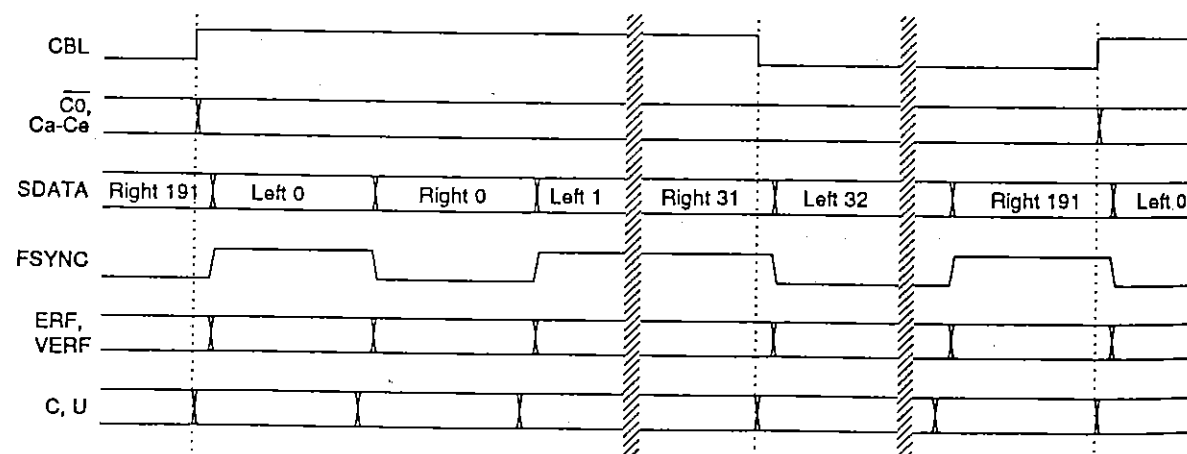


図19. CBLタイミング

■ マルチファンクションピン

エラー表示と受信周波数表示またはC.S.表示を含むマルチファンクションピンを7個もっており、SELピンで選択します。

1. エラーと周波数表示

SELが"L"のとき、エラー表示と受信周波数表示が選択されます。エラー表示はE2, E1, E0ピンに出力されます(表5)。エラーが発生すると、対応するエラーコードがラッチされます。エラーコードを初期化("0")するには最低8*MCK間、SELを"H"にして下さい。エラーは優先順位をもっており、パリティは最下位でロックはずれは最上位です。エラーは1種類しか表示されないで、初期化後発生した一番上位のエラーが表示されます。

表5の"Validity Bit High"はエラーコードの初期化後、一つ前のVビットが"H"だったこと示します。"Confidence Flag"は受信データのアイの開口率が0.5ビットサイクル以下であるとき起こります。これは送信リンクが劣悪で、デジタルインタフェース規格を満足しないことを意味します。"Slipped Sample"エラーはFSYNCとSCKが入力のときのみ起こります。この場合、もしFSYNCが受信データレートに非同期ならば、リードレートが受信データレートより遅いか、早いかによって、1ステレオサンプルが周期的に読み出されなかったり、重複して読み出されたりします。"CRC Error"はC.S.ブロックの先頭で更新され、C.S.データのブロックフォーマットが受信される場合のみ有効です。このエラーはCS8412が計算したCRC値がC.S.ブロックのCRCバイトと合わないとき、または、ブロックの境界が変わるとき(編集によってサンプルが除かれているような場合)、表示されます。"Parity Error"は規格で規定された偶数パリティを入力サブフレームがもたないとき起こります。"Bi-Phase Coding Error"は符号則違反が起こったことを示します。"No Lock"はPLLが入力データレートにロックしないことを示します。ロックは3フレームのプリアンプルとさらに1ブロックのプリアンプルを受信した後行われ、4フレーム連続してプリアンプルを受信しないと外れます。

受信周波数表示はF2, F1, F0ピンに出力されます(表6)。内蔵された周波数比較器が受信周波数とFCKピンに外部から供給される6.144MHzクロックを比較します。FピンはCBL"↑"の前の1C.S.ブロック中に3度更新されます。そのためCBLはFピンの外部ラッチに使うことができます。Fピンが正しく動作するためにはFCKのクロックが最低1ブロック間は確定していなければなりません。

E2	E1	E0	エラーの種類
0	0	0	No Error
0	0	1	Validity Bit High
0	1	0	Confidence Flag
0	1	1	Slipped Sample
1	0	0	CRC Error(PRO only)
1	0	1	Parity Error
1	1	0	Bi-Phase Coding Error
1	1	1	No Lock

表5. エラー表示

F2	F1	F0	サンプリング周波数
0	0	0	Out of Range
0	0	1	48kHz±4%
0	1	0	44.1kHz±4%
0	1	1	32kHz±4%
1	0	0	48kHz±400ppm
1	0	1	44.1kHz±400ppm
1	1	0	44.056kHz±400ppm
1	1	1	32kHz±400ppm

表6. サンプリング周波数表示

2. C.S. 表示

SELが"H"のとき、CS12で選択されたチャネルに対してC.S.がC0, Ca-Ceに表示されます。CS12が"L"のとき、サブフレーム1のC.S.を表示し、H"のときはサブフレーム2を表示します。Ca-Ceの内容はC0(プロ/民生)ビットに依存します(表7)。

ピン	プロモード	民生モード
C0	0("L")	1("H")
Ca	C1	C1
Cb	EM0	C2
Cc	EM1	C3
Cd	C9	ORIG
Ce	CRCE	IGCAT

表7. C.S. ピン

(1)プロモード (C0="0")

C0に"L"が出力されるCS8412はプロモードになり、Ca~CeはC.S.ビットのいくつかを定義します。Cb, Ccを除く各ピンの符号は反転して出力されます。例えば、C1ピンが"H"ならばC.S.ビット1は"0"になります。EM0, EM1 (Cb, Cc)は表8のようにC.S.ビット2, 3, 4の内容を示します。CRCE (Cd)はCS8412内部で計算されたCRC値と受信したCRC値が違っているとき"L"になります。この信号はCa~Ceのデータの信頼度をチェックするために使用できます。もし、Ca~Ceのデータを表示している場合はCeの"L"をチェックして表示を更新しないような使い方ができます。

C1: C1 (C.S.ビット1)の反転出力。C1はオーディオ(0)/非オーディオ(1)。
EM0, EM1: エンファシスの種類 (C2, C3, C4)
C9: C9の反転出力。C9はチャンネルモード。
CRCE: 受信したCRCとの比較結果

EM1	EM0	C2	C3	C4
0	0	1	1	1
0	1	1	1	0
1	0	1	0	0
1	1	0	0	0

表8. エンファシス表示

(2)民生モード (C0="1")

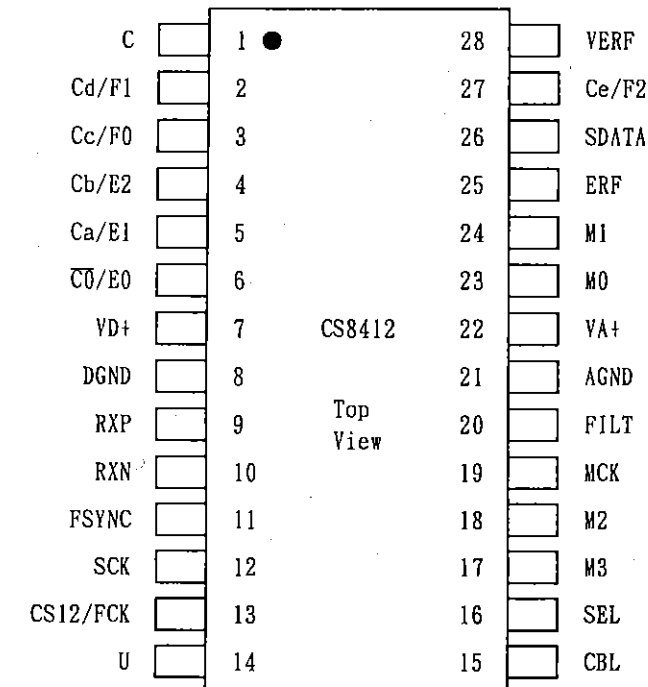
C0に"H"が出力されるとCS8412は民生モードになり、Ca~CeはC.S.ビットを定義します。各ピンの符号は反転して出力されます。例えば、C1ピンが"H"ならばC.S.ビット1(C1)は"0"です。

C1: C1 (C.S.ビット1)の反転出力。C1はオーディオ(0)/非オーディオ(1)。
C2: C2の反転出力。C2はビット禁止(0)/許可(1)。
C3: C3の反転出力。プリエンファシスOFF/ON。C3は"1"のときプリエンファシスON。
ORIG: C15の反転出力。オーディオデータがオリジナルかビット(第1世代以上)かを示す。C15は"0"のときオリジナル。但し、CDと衛星放送の場合は"1"のときオリジナル。
IGCAT: 未知のカテゴリを示す。カテゴリコードが一般オーディオ("general", 0000000)と著作権情報をもたないA/Dコンバータ(01100xx)のとき"H"。

SCMS

民生用オーディオ規格では著作権保護のためにコピー防止機能、シリアル・コピー・マネジメント・システム、SCMSを取り決めています。SCMSはオリジナルの複製に制限はつけませんが、オリジナルのコピーの複製はできないように設計されています。このシステムはC.S.ビット2 (Copy)とC.S.ビット15 (L)またはカテゴリコードによる世代表示を使います。Copyビットが"0"ならば、媒体に対してコピー防止が行われます。それからC.S.ビット15 (L)を使って、媒体がオリジナルか複製かを決定します(このとき前項で述べたようにLビットの定義はカテゴリコードを基に反転されます)。特に注意する2つのカテゴリ、一般オーディオ (general)とCopy, Lビットの情報をもたないA/Dコンバータがあります。SCMS規格ではこの2つのカテゴリとインタフェースする機器がCopyビットを"0" (コピー禁止)、Lビットを"1" (オリジナル)にする必要があります。この機能をサポートするためにIGCAT情報がCeピンに出力されます。

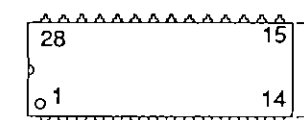
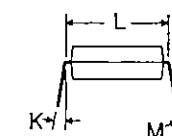
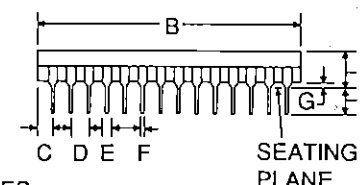
■ ピン配置



■ ピン機能

ピン番号	ピン名称	I/O	機能
1	C	I	C.S. ビット入力
2	Cd/F1	O	C.S. ビット出力/周波数表示ピン
3	Cc/F0		SEL="H"でC.S. ビット出力, SEL="L"で周波数表示です。
27	Ce/F2		C.S. ビットの内容はC0="0"でプロ用, C0="1"で民生用です。
4	Cb/E2	O	C.S. ビット出力/エラー表示ピン
5	Ca/E1		SEL="H"でC.S. ビット出力, SEL="L"でエラー表示です。
6	C0/E0		C.S. ビットの内容はC0="0"でプロ用, C0="1"で民生用です。
7	VD+	—	デジタル電源ピン, +5 V
8	DGND	—	デジタルグランドピン
9	RXN	I	差動ラインレシーバピン
10	RXP		RS422互換
11	FSYNC	I/O	フレームシンクピン
12	SCK	I/O	シリアルクロックピン 出力時はオーディオサンプル毎に32クロック含まれます。
13	CS12/FCK	I	チャンネル選択/基準周波数ピン SEL="H"でチャンネル選択入力, SEL="L"で基準周波数入力です CS12はC.S. ピンに出力されるチャンネルを選択します。"0"のときサブフレーム1で"1"のときサブフレーム2です。FCKには6.144MHzクロックを入力することにより入力周波数を検出できます。
14	U	I	ユーザ (U) ビットピン
15	CBL	O	C.S. ブロック出力ピン
16	SEL	I	C.S. /F2-F0, E2-E0選択ピン "H"でC.S. ビット出力, "L"で周波数/エラー表示です。
17, 18 23, 24	M3, M2 M0, M1	I	シリアルポート・モード選択ピン
19	MCK	I	マスタクロックピン 受信周波数の256倍の低ジッタクロックを出力します。
20	FILT	I	フィルタピン AGNDとの間に1k Ω の抵抗と0.047 μ Fのコンデンサを接続します。
21	AGND	—	アナロググランドピン
22	VA+	—	アナログ電源ピン, +5 V この電源のノイズは再生クロックのジッタ性能に直接影響するため、できる限り少なくして下さい。
25	ERF	O	エラーフラグピン 受信中のオーディオサンプルをシリアルポートから読み込んでいるときにエラーが起こったことを示します。これには3つの原因が考えられます。パリティエラーまたはそのサンプル中のバイフェーズ符号則違反、または、PLLのロックはずれです。
26	SDATA	O	シリアルデータピン
28	VERF	O	パリティ+エラーフラグピン

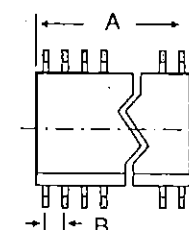
パッケージ

28 pin
Plastic DIP

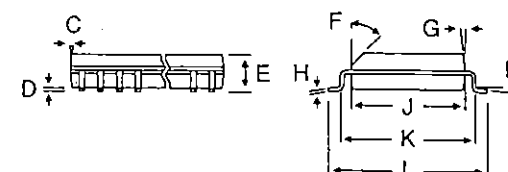
NOTES:

1. POSITIONAL TOLERANCE OF LEADS SHALL BE WITHIN 0.25MM (0.010") AT MAXIMUM MATERIAL CONDITION, IN RELATION TO SEATING PLANE AND EACH OTHER.
2. DIMENSION L TO CENTER OF LEADS WHEN FORMED PARALLEL.
3. DIMENSION A DOES NOT INCLUDE MOLD FLASH.

DIM	MILLIMETERS		INCHES	
	MIN	MAX	MIN	MAX
A	13.72	14.22	0.540	0.560
B	36.45	37.21	1.435	1.465
C	1.65	2.16	0.065	0.085
D	2.54 BSC		0.100 BSC	
E	1.02	1.52	0.040	0.060
F	0.36	0.56	0.014	0.022
G	0.51	1.02	0.020	0.040
H	3.94	5.08	0.155	0.200
J	2.92	3.43	0.115	0.135
K	0°	15°	0°	15°
L	15.24 BSC		0.600 BSC	
M	0.20	0.38	0.008	0.015



SOIC



DIM	MILLIMETERS		INCHES	
	MIN	MAX	MIN	MAX
A	17.53	18.03	0.690	0.710
B	1.27 BSC		0.050 BSC	
C	7° NOM		7° NOM	
D	0.127	0.330	0.005	0.013
E	2.41	2.67	0.095	0.105
F	45° NOM		45° NOM	
G	7° NOM		7° NOM	
H	0.203	0.381	0.008	0.015
I	2°	8°	2°	8°
J	7.42	7.59	0.292	0.298
K	8.76	9.02	0.345	0.355
L	10.16	10.67	0.400	0.420

APPENDIX A: RS422 Receiver Information

The RS422 receivers on the CS8411 and CS8412 are designed to receive both the professional and consumer interfaces, and meet all specifications listed in the digital audio standards. Figure A1 illustrates the internal schematic of the receiver portion of both chips. The receiver has a differential input. A Schmitt trigger is incorporated to add hysteresis which prevents noisy signals from corrupting the phase detector.

Professional Interface

The digital audio specifications for professional use call for a balanced receiver, using XLR connectors, with $110\Omega \pm 20\%$ impedance. (The XLR connector on the receiver should have female pins with a male shell.) Since the receiver has a very high impedance, a 110Ω resistor should be placed across the receiver terminals to match the line impedance, as shown in Figure A2, and, since the part has internal biasing, no external biasing network is needed. If some isolation is desired without the use of transformers, a $0.01\mu\text{F}$ capacitor should be placed on the input of each pin (RXP and RXN) as shown in Figure A3. However, if transformers are not used, high frequency energy could be coupled between transmitter and receiver causing degradation in analog performance. Although transformers are not required by AES they are strongly recommended. The EBU requires transformers. Figures A2 and A3 show an optional DC blocking capacitor on the transmission line. A 0.1 to $0.47\mu\text{F}$ ceramic capacitor may be used to block any DC voltage that is accidentally connected to the digital audio receiver. The use of this capacitor is an issue of robustness as the digital audio transmission line does not have a DC voltage component.

Consumer Interface

In the case of the consumer interface, the standards call for an unbalanced circuit having a

receiver impedance of $75\Omega \pm 5\%$. The connector for the consumer interface is an RCA phono plug (fixed socket described in Table IV of IEC 268-11). The receiver circuit for the consumer interface is shown in Figure A4.

TTL/CMOS Levels

The circuit shown in Figure A5 may be used when external RS422 receivers or TTL/CMOS logic drive the CS8411/12 receiver section.

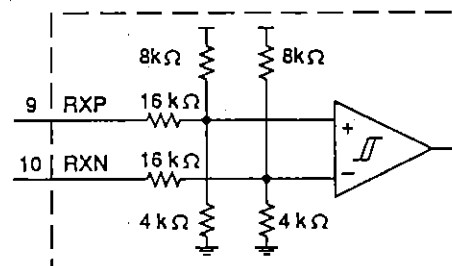


Figure A1. RS422 Receiver Internal Circuit

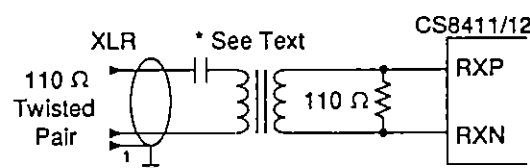


Figure A2. Professional Input Circuit

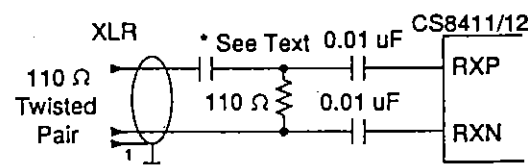


Figure A3. Transformerless Professional Circuit

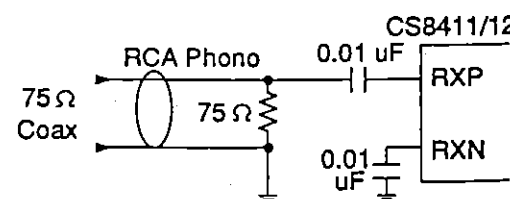


Figure A4. Consumer Input Circuit

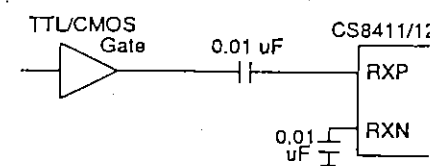


Figure A5. TTL/CMOS Interface

Transformers

The transformer used in the professional interface should be capable of operation from 1.5 to 7 MHz, which is the audio data rate of 25 kHz to 55 kHz after biphasic-mark encoding. Transformers provide isolation from ground loop, 60 Hz noise, and common mode noise and interference. One of the important considerations when choosing transformers is minimizing shunt capacitance between primary and secondary windings. The higher the shunt capacitance, the lower the isolation between primary and secondary and the more coupling that can occur for high frequency energy. This energy appears in the form of common mode noise on the receive side ground and has the potential to degrade analog performance. Therefore, shielded transformers optimized for minimum primary to secondary capacitance may be desirable.

The following are a few typical transformers:

Pulse Engineering
Telecom Products Group
7250 Convoy Ct.
San Diego, CA 92111
(619) 268-2400
Part Number: PE65612

Schott Corporation
1000 Parkers Lane Rd.
Wayzata, MN 55391
(615) 889-8800
Part Number: 67125450
67128990 - lower cost
67129000 - surface mount
67129600 - single shield

Scientific Conversions Inc.
2800 Third Street
San Francisco, CA 94107
(415) 821-6464
Part Number: SC916-01 - single shield.