

ADC0801,ADC0802,ADC0803,ADC0804,ADC0805

ADC0801/ADC0802/ADC0803/ADC0804/ADC0805 8-Bit μ P Compatible A/D Converters



Literature Number: JAJSB69

ご注意：この日本語データシートは参考資料として提供しており、内容が最新でない場合があります。製品のご検討およびご採用に際しては、必ず最新の英文データシートをご確認ください。



1999 年 11 月

ADC0801/ADC0802/ADC0803/ADC0804/ADC0805

8 ビット μ P コンパチブル A/D コンバータ

概要

ADC0801、ADC0802、ADC0803、ADC0804、ADC0805 は、CMOS 8 ビットの逐次比較型 A/D コンバータで、256R 製品とよく似た差動入力ラダーを使用しています。これらのコンバータは、 μ P/NSC800、INS8080A ファミリの制御バスと容易にインタフェースでき、TRI-STATE[®] 出力ラッチは容易にデータ・バスとインタフェースできるように設計されています。インタフェース用の外付ロジックを必要としないで、あたかもマイクロプロセッサと接続しているメモリ・ロケーションや I/O ポートのように動作させることが可能です。

アナログ差動電圧入力なので同相電圧除去比を高くとれ、アナログ入力電圧値をゼロ・オフセットできます。また基準電圧入力は、いかなる小さいアナログ電圧スパンでも完全な 8 ビット分解能にエンコードできるように調整が可能です。

特長

- 8080 マイクロプロセッサ・ファミリとダイレクト・インタフェースでき、アクセス・タイムは 135ns
- あらゆるマイクロプロセッサとの容易なインタフェース、あるいはスタンド・アローンでも使用可

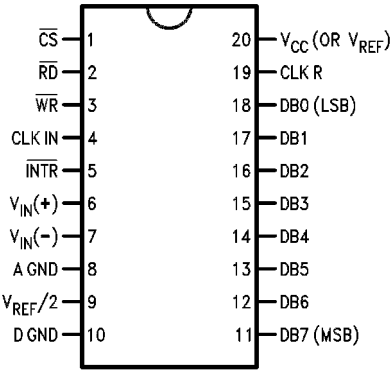
- アナログ差動電圧入力
- ロジック入出力は CMOS、TTL 電圧レベルいずれでも可
- 2.5V (LM336) の基準電圧でも動作可
- クロック・ジェネレータ内蔵
- 単一 5V 電源でのアナログ入力電圧範囲は 0 ~ 5V
- 0 調整不要
- 0.3 インチ標準幅の 20 ピン DIP パッケージ
- 20 ピン・モールドチップ・キャリアおよびスモール・アウトライン・パッケージ
- レシオメトリック動作、5V_{DC}、2.5V_{DC}、あるいはアナログ・スパン調整された基準電圧による動作のいずれでも可

主な仕様

- 分解能 8 ビット
- トータル誤差 $\pm 1/4$ LSB、 $\pm 1/2$ LSB、 ± 1 LSB
- 変換時間 100 μ s

ピン配置図

ADC080X
Dual-In-Line and Small Outline (SO) Packages



See Ordering Information

製品情報

TEMP RANGE		0 TO 70	0 TO 70	- 40 TO + 85
ERROR	± 1/4 Bit Adjusted	ADC0802LCWM	ADC0804LCN	ADC0801LCN
	± 1/2 Bit Unadjusted			ADC0802LCN
	± 1/2 Bit Adjusted	ADC0804LCWM		ADC0803LCN
	± 1Bit Unadjusted			ADC0805LCN/ADC0804LCJ
PACKAGE OUTLINE		M20B — Small Outline	N20A — Molded DIP	

TRI-STATE[®] はナショナル セミコンダクター社の登録商標です。
Z-80[®] はザイログ社の商標です。

絶対最大定格 (Note 1、2)

本データシートには軍用・航空宇宙用の規格は記載されていません。
 関連する電気的信頼性試験方法の規格を参照ください。

電源電圧 (V_{CC}) (Note 3)	6.5V
ロジック制御入力	- 0.3V ~ + 18V
他の入力および出力	- 0.3V ~ ($V_{CC} + 0.3V$)

リード温度 (ハンダ付け 10 秒)

デュアル・インライン・パッケージ (プラスチック)	260
デュアル・インライン・パッケージ (セラミック)	300
表面実装パッケージ	
ペーパ・フェーズ (60 秒)	215
赤外線 (15 秒)	220

保存温度範囲	- 65 ~ + 150
定格消費電力 $T_A = 25$	875 mW
ESD 耐性 (Note 10)	800V

動作定格 (Note 1、2)

温度範囲	T_{MIN}	T_A	T_{MAX}
ADC0804LCJ	- 40	T_A	+ 85
ADC0801/02/03/05LCN	- 40	T_A	+ 85
ADC0804LCN	0	T_A	+ 70
ADC0802/04LCWM	0	T_A	+ 70
V_{CC} 範囲	4.5 V_{DC} ~ 6.3 V_{DC}		

電気的特性

特記のない限り、以下の仕様は $V_{CC} = 5V_{DC}$ 、ADC0804LCJ では - 40 ~ + 85、ADC0801/02/03/05LCN では - 40 ~ + 85、ADC0804LCN では 0 ~ 70、ADC0802/04LCWN では 0 ~ 70 の温度範囲で適用され、 $f_{CLK} = 640kHz$ とします。

Parameter	Conditions	Min	Typ	Max	Units
ADC0801: Total Adjusted Error (Note 8)	With Full-Scale Adj. (See Section 2.5.2)			$\pm 1/4$	LSB
ADC0802: Total Unadjusted Error (Note 8)	$V_{REF}/2 = 2.500 V_{DC}$			$\pm 1/2$	LSB
ADC0803: Total Adjusted Error (Note 8)	With Full-Scale Adj. (See Section 2.5.2)			$\pm 1/2$	LSB
ADC0804: Total Unadjusted Error (Note 8)	$V_{REF}/2 = 2.500 V_{DC}$			± 1	LSB
ADC0805: Total Unadjusted Error (Note 8)	$V_{REF}/2$ -No Connection			± 1	LSB
$V_{REF}/2$ Input Resistance (Pin 9)	ADC0801/02/03/05	2.5	8.0		k Ω
	ADC0804 (Note 9)	0.75	1.1		k Ω
Analog Input Voltage Range	(Note 4) $V(+) or V(-)$	Gnd-0.05		$V_{CC} + 0.05$	V_{DC}
DC Common-Mode Error	Over Analog Input Voltage Range		$\pm 1/16$	$\pm 1/8$	LSB
Power Supply Sensitivity	$V_{CC} = 5 V_{DC} \pm 10\%$ Over Allowed $V_{IN}(+)$ and $V_{IN}(-)$ Voltage Range (Note 4)		$\pm 1/16$	$\pm 1/8$	LSB

AC 電気的特性

特記のない限り、以下の仕様は $V_{CC} = 5V_{DC}$ 、ADC0804LCJ では - 40 ~ + 85、ADC0801/02/03/05LCN では - 40 ~ + 85、ADC0804LCN では 0 ~ 70、ADC0802/04LCWN では 0 ~ 70 の温度範囲で適用され、 $f_{CLK} = 640kHz$ とします。

Symbol	Parameter	Conditions	Min	Typ	Max	Units
T_C	Conversion Time	$f_{CLK} = 640 kHz$ (Note 6)	103		114	μs
T_C	Conversion Time	(Notes 5, 6)	66		73	$1/f_{CLK}$
f_{CLK}	Clock Frequency	$V_{CC} = 5V$, (Note 5)	100	640	1460	kHz
	Clock Duty Cycle		40		60	%
CR	Conversion Rate in Free-Running Mode	$\overline{INTR}$ tied to $\overline{WR}$ with $\overline{CS} = 0 V_{DC}$, $f_{CLK} = 640 kHz$	8770		9708	conv/s
$t_{W(WR)L}$	Width of $\overline{WR}$ Input (Start Pulse Width)	$\overline{CS} = 0 V_{DC}$ (Note 7)	100			ns
t_{ACC}	Access Time (Delay from Falling Edge of $\overline{RD}$ to Output Data Valid)	$C_L = 100 pF$		135	200	ns
t_{IH}, t_{OH}	TRI-STATE Control (Delay from Rising Edge of $\overline{RD}$ to Hi-Z State)	$C_L = 10 pF$, $R_L = 10k$ (See TRI-STATE Test Circuits)		125	200	ns
t_{WI}, t_{RI}	Delay from Falling Edge of $\overline{WR}$ or $\overline{RD}$ to Reset of $\overline{INTR}$			300	450	ns
C_{IN}	Input Capacitance of Logic Control Inputs			5	7.5	pF

AC 電気的特性 (つづき)

特記のない限り、以下の仕様は $V_{CC} = 5V_{DC}$ 、ADC0804LCJ では - 40 ~ + 85、ADC0801/02/03/05LCN では - 40 ~ + 85、ADC0804LCN では 0 ~ 70、ADC0802/04LCWN では 0 ~ 70 の温度範囲で適用され、 $f_{CLK} = 640kHz$ とします。

Symbol	Parameter	Conditions	Min	Typ	Max	Units
C_{OUT}	TRI-STATE Output Capacitance (Data Buffers)			5	7.5	pF

CONTROL INPUTS [Note: CLK IN (Pin 4) is the input of a Schmitt trigger circuit and is therefore specified separately]

$V_{IN} (1)$	Logical " 1 " Input Voltage (Except Pin 4 CLK IN)	$V_{CC} = 5.25 V_{DC}$	2.0		15	V_{DC}
$V_{IN} (0)$	Logical " 0 " Input Voltage (Except Pin 4 CLK IN)	$V_{CC} = 4.75 V_{DC}$			0.8	V_{DC}
$I_{IN} (1)$	Logical " 1 " Input Current (All Inputs)	$V_{IN} = 5 V_{DC}$		0.005	1	μA_{DC}
$I_{IN} (0)$	Logical " 0 " Input Current (All Inputs)	$V_{IN} = 0 V_{DC}$	- 1	- 0.005		μA_{DC}

CLOCK IN AND CLOCK R

$V_T +$	CLK IN (Pin 4) Positive Going Threshold Voltage		2.7	3.1	3.5	V_{DC}
$V_T -$	CLK IN (Pin 4) Negative Going Threshold Voltage		1.5	1.8	2.1	V_{DC}
V_H	CLK IN (Pin 4) Hysteresis ($V_T +$) - ($V_T -$)		0.6	1.3	2.0	V_{DC}
$V_{OUT} (0)$	Logical " 0 " CLK R Output Voltage	$I_O = 360 \mu A$ $V_{CC} = 4.75 V_{DC}$			0.4	V_{DC}
$V_{OUT} (1)$	Logical " 1 " CLK R Output Voltage	$I_O = - 360 \mu A$ $V_{CC} = 4.75 V_{DC}$	2.4			V_{DC}

DATA OUTPUTS AND INTR

$V_{OUT} (0)$	Logical " 0 " Output Voltage Data Outputs INTR Output	$I_{OUT} = 1.6 mA, V_{CC} = 4.75 V_{DC}$ $I_{OUT} = 1.0 mA, V_{CC} = 4.75 V_{DC}$			0.4 0.4	V_{DC} V_{DC}
$V_{OUT} (1)$	Logical " 1 " Output Voltage	$I_O = - 360 \mu A, V_{CC} = 4.75 V_{DC}$	2.4			V_{DC}
$V_{OUT} (1)$	Logical " 1 " Output Voltage	$I_O = - 10 \mu A, V_{CC} = 4.75 V_{DC}$	4.5			V_{DC}
I_{OUT}	TRI-STATE Disabled Output Leakage (All Data Buffers)	$V_{OUT} = 0 V_{DC}$ $V_{OUT} = 5 V_{DC}$	- 3		3	μA_{DC} μA_{DC}
I_{SOURCE}		V_{OUT} Short to Gnd, $T_A = 25$	4.5	6		mA_{DC}
I_{SINK}		V_{OUT} Short to V_{CC} , $T_A = 25$	9.0	16		mA_{DC}

POWER SUPPLY

I_{CC}	Supply Current (Includes Ladder Current)	$f_{CLK} = 640 kHz$, $V_{REF}/2 = NC, T_A = 25$ and $\overline{CS} = 5V$				
	ADC0801/02/03/04LCJ/05			1.1	1.8	mA
	ADC0804LCN/LCWM			1.9	2.5	mA

Note 1: 「絶対最大定格」とは、IC に破壊が発生する可能性のあるリミット値をいいます。この規格を超えて動作させている IC には、DC 特性、AC 特性いずれの規格も適用されません。

Note 2: 特記のない限り、すべての電圧は GND に対して測定された値です。アナログ・グラウンド・ポイントが正確にデジタル・グラウンドに接続されなければなりません。

Note 3: V_{CC} からグラウンド間にブレイク・ダウン電圧 $7V_{DC}$ (代表値) のツェナー・ダイオードが内蔵されています。

Note 4: $V_{IN} (-)$ $V_{IN} (+)$ 時にはデジタル出力コードは 0000 0000 になります。2 個のオンチップ・ダイオードが、各アナログ入力に接続されています。(「ブロック図」参照)。これはグラウンドより 1 ダイオード・ドロップ電圧だけ低いか、 V_{CC} より 1 ダイオード・ドロップ高いアナログ入力電圧に対して順方向に導通します。低い V_{CC} レベル (4.5V) でのテスト時では、特に温度上昇中に高いアナログ入力レベル (5V) がこの入力ダイオードの導通を引き起こし、ほぼフルスケール近くのアナログ入力に対してエラーを生じさせるので、注意が必要です。どちらのダイオードも 50mV のフォワード・バイアスが許容されています。これはアナログ入力電圧が V_{CC} を 50mV 以上超えない限り、出力コードは正しいことを意味します。したがって、0 ~ $5V_{DC}$ の入力範囲を満たすには、各デバイスの温度範囲、初期公差、負荷状態で、最少 4.950 V_{DC} の V_{CC} が必要です。

Note 5: 精度は $f_{CLK} = 640kHz$ で保証されます。それ以上の高い f_{CLK} では精度が低下します。 f_{CLK} が低い場合は、デューティ・サイクルのリミット値はクロックのハイ・タイム、またはロー・タイムのインターバルが 275ns (最小) 以上まで拡張できます。

Note 6: 非同期スタート・パルスでは、内部クロックの位相が変換プロセスのスタートに適合するようになる前に、8 クロック・サイクルが必要です。スタート要求が内部でラッチされます (2.0 項の Figure 4 参照)。

AC 電氣的特性 (つづき)

Note 7: $\overline{CS}$ 入力は $\overline{WR}$ スローブ入力をイネーブルするので、タイミング自体は $\overline{WR}$ のパルス幅に依存します。任意の幅のパルスは、リセットモードにコンバータをホールドし、変換開始は $\overline{WR}$ パルスの Low から High への遷移によってイニシャライズされます (「タイミング図」参照)。

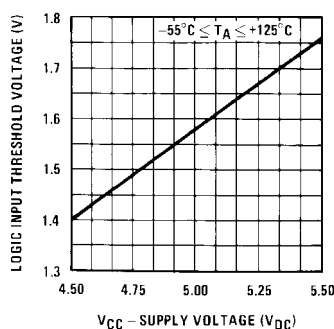
Note 8: これらのコンバータはゼロ調整を必要としません (2.5.1 参照)。0V 以外のアナログ入力電圧で 0 コードを出力する場合は、2.5 項および Figure 7 を参照してください。

Note 9: $V_{REF}/2$ 端子は V_{CC} からグラウンドへ接続されている 2 つの抵抗分圧回路の中心点です。ADC0804LCJ では各抵抗は 16k Ω (代表値) であり、それ以外の各抵抗は 2.2k Ω (代表値) です。

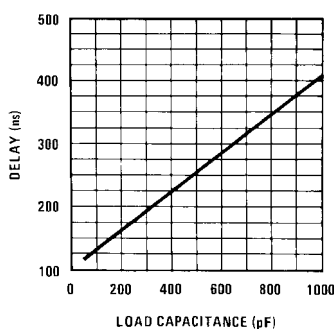
Note 10: 使用した試験回路は、人体モデルにもとづき直列抵抗 1500 Ω と 100pF のコンデンサからなる回路を使用し、各端子に放電させます。

代表的な性能特性

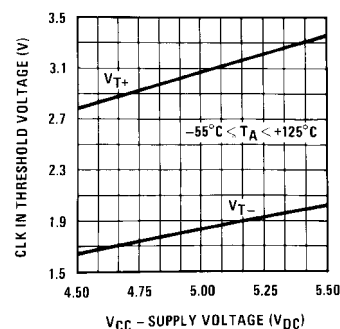
Logic Input Threshold Voltage vs. Supply Voltage



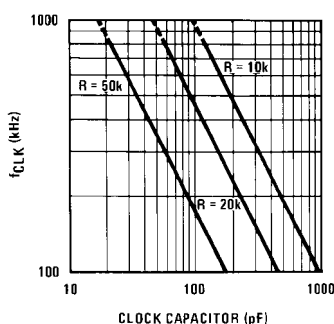
Delay From Falling Edge of $\overline{RD}$ to Output Data Valid vs. Load Capacitance



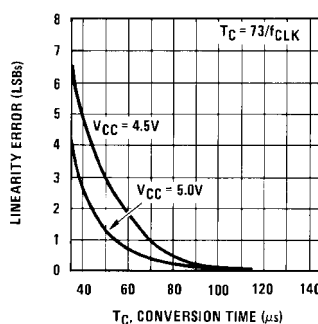
CLK IN Schmitt Trip Levels vs. Supply Voltage



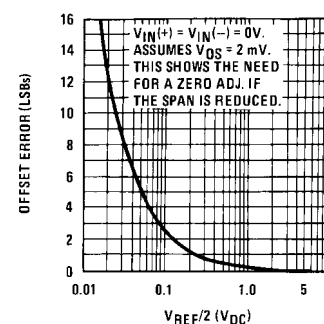
f_{CLK} vs. Clock Capacitor



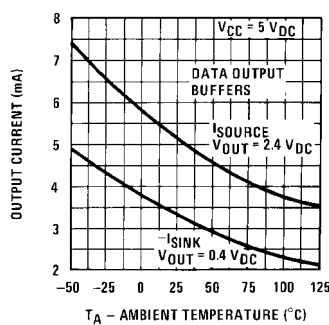
Full-Scale Error vs Conversion Time



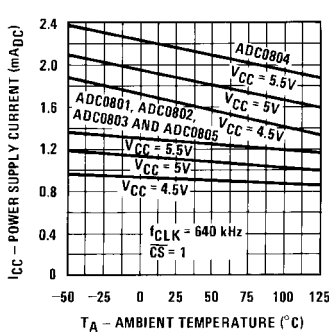
Effect of Unadjusted Offset Error vs. $V_{REF}/2$ Voltage



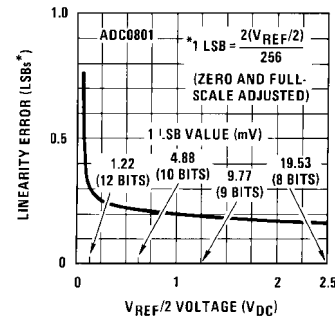
Output Current vs Temperature



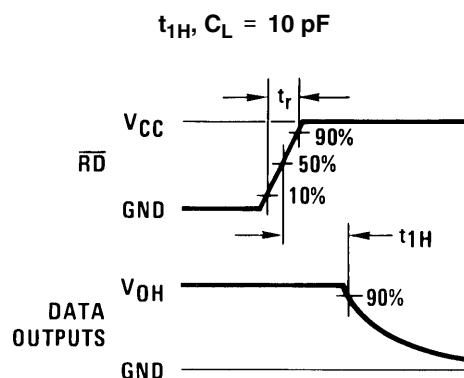
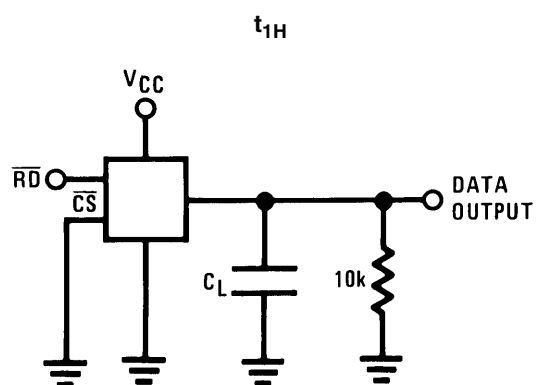
Power Supply Current vs Temperature (Note 9)



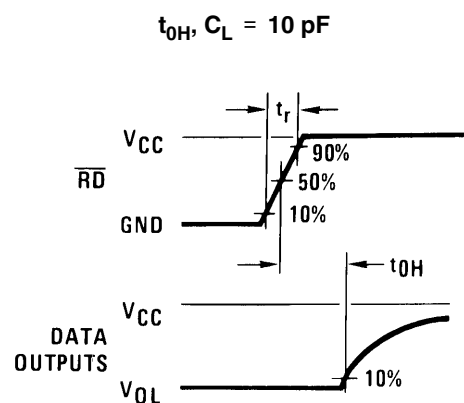
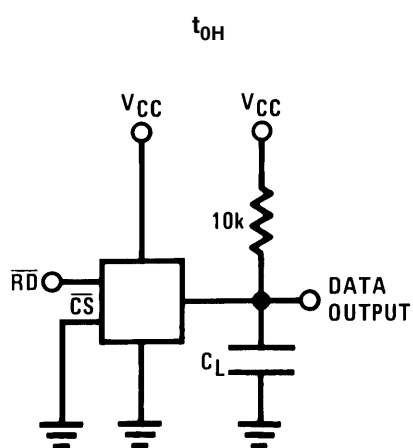
Linearity Error at Low $V_{REF}/2$ Voltages



TRI-STATE テスト回路および波形

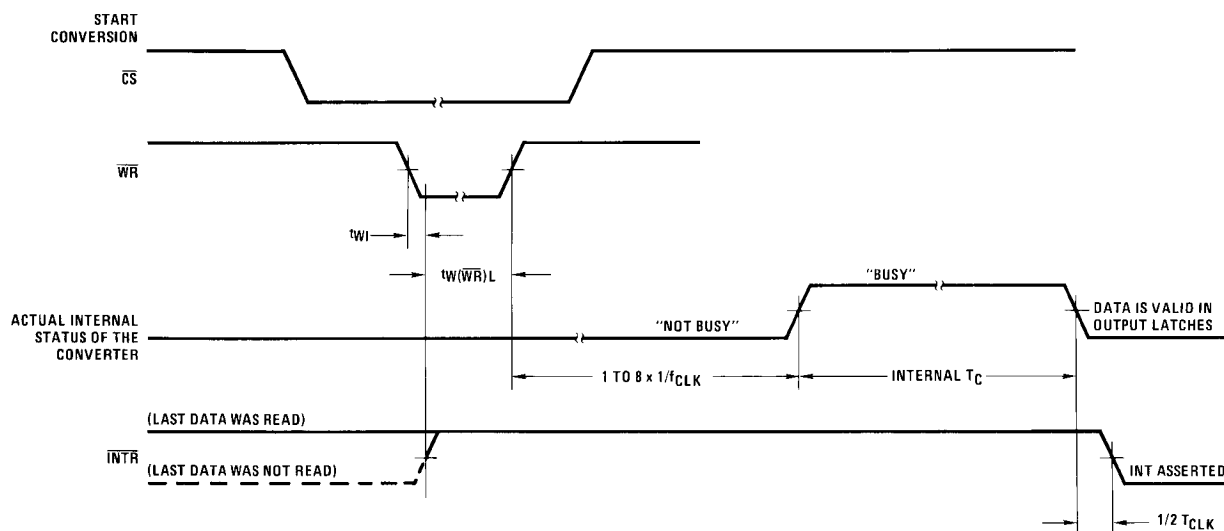


$t_r = 20 \text{ ns}$



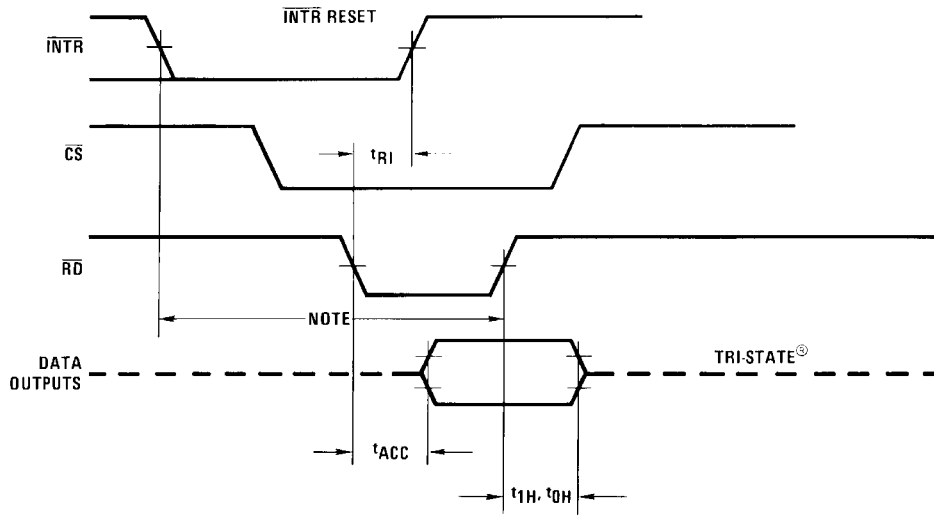
$t_r = 20 \text{ ns}$

タイミング図 (すべてのタイミングは、50%の電圧点から測定されています。)



タイミング図 (すべてのタイミングは、50%の電圧点から測定されています。)(つづき)

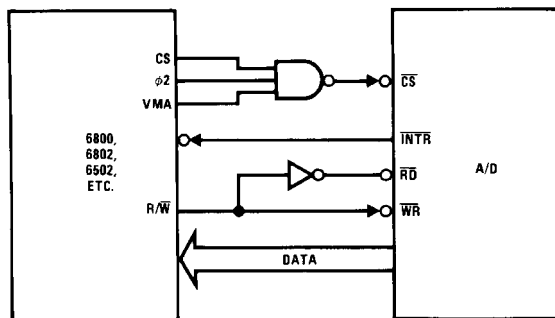
Output Enable and Reset with $\overline{\text{INTR}}$



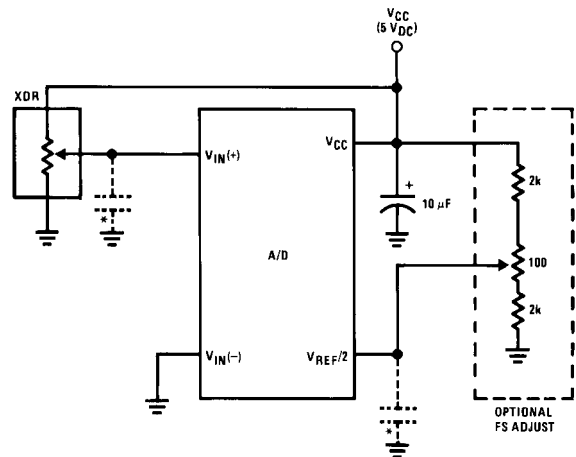
Note: $\overline{\text{INTR}}$ のリセットを保证するために、割り込みの実行後 ($\overline{\text{INTR}}$ の立ち下がりエッジ) から 8 クロック・サイクル ($8/f_{\text{CLK}}$) でリードの信号を立ち上げてください。

代表的なアプリケーション

6800 Interface



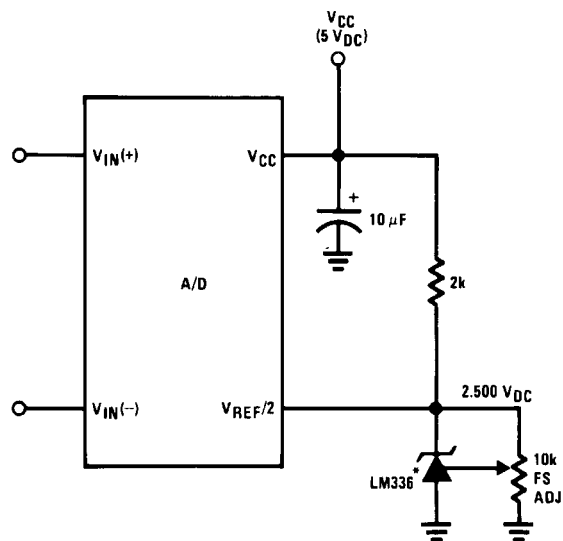
Ratiometric with Full-Scale Adjust



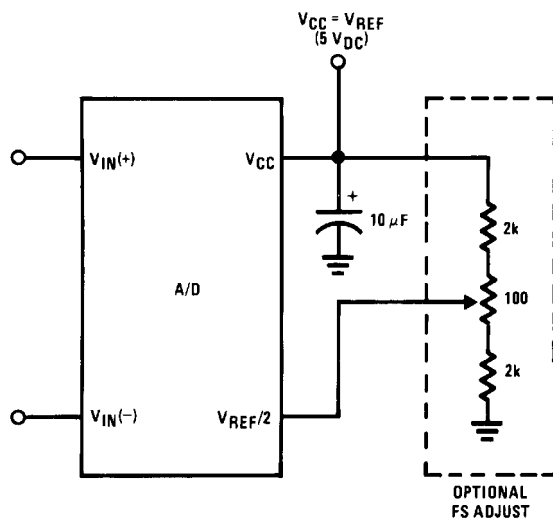
Note: V_{IN} 端子または $V_{\text{REF}}/2$ 端子でコンデンサを使う場合には、2.3.2 項の「入力バイパス・コンデンサ」を参照してください。

代表的なアプリケーション (つぎ)

Absolute with a 2.500V Reference

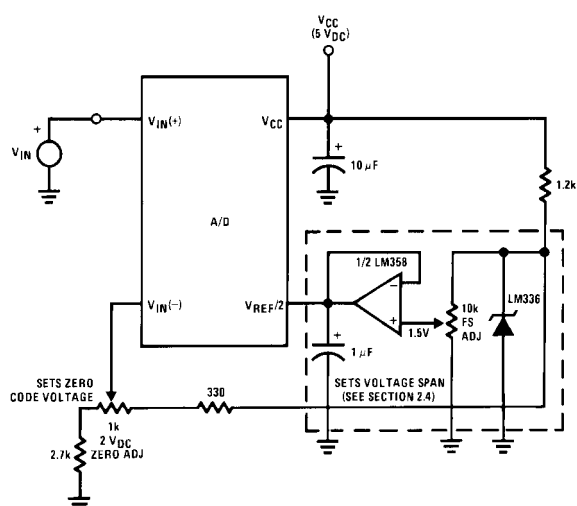


Absolute with a 5V Reference

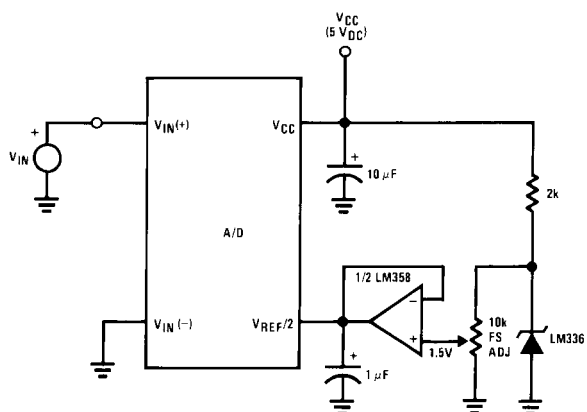


*低消費電流基準電圧源として、LM385-2.5のデータシートも参照してください。

Zero-Shift and Span Adjust: 2V V_{IN} 5V

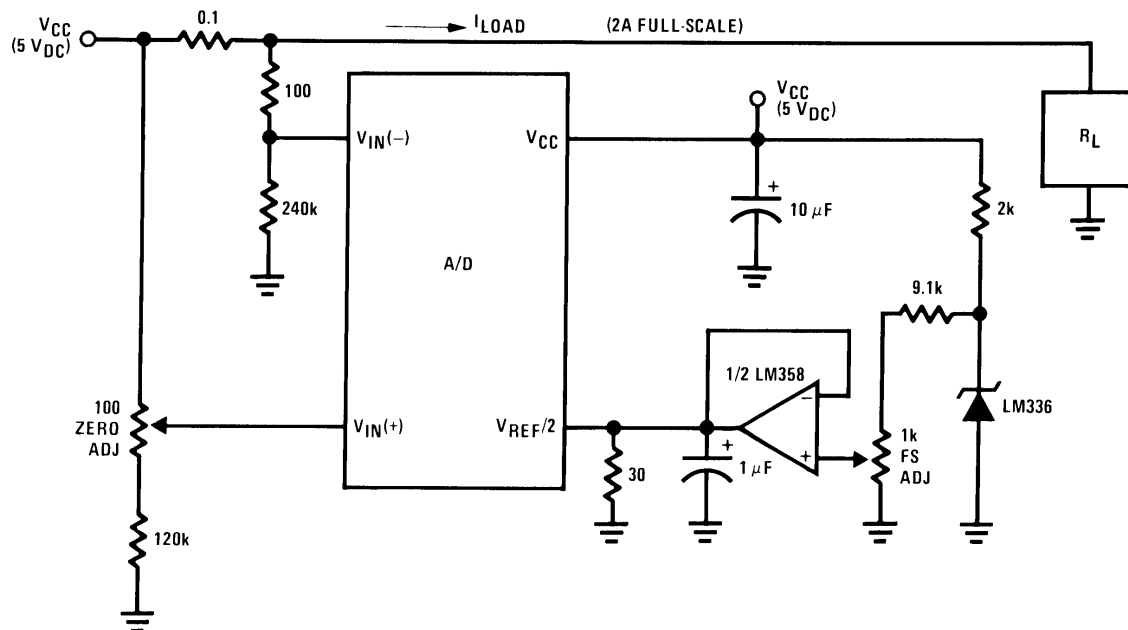


Span Adjust: 0V V_{IN} 3V

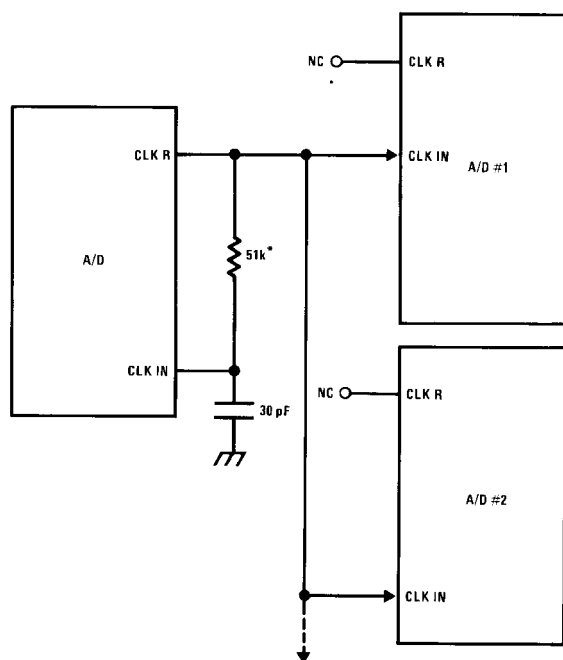


代表的なアプリケーション (つづき)

Digitizing a Current Flow



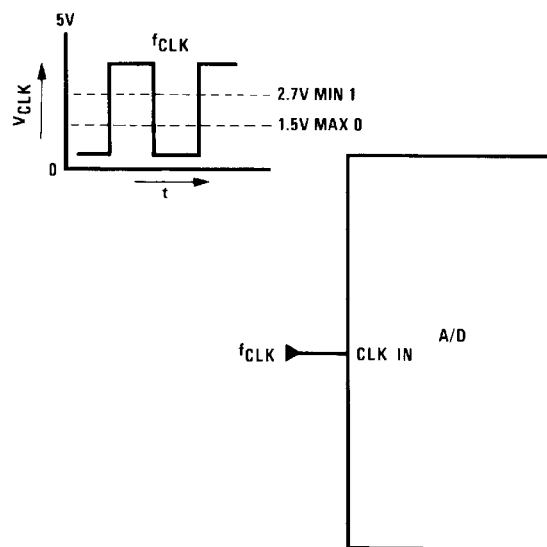
Self-Clocking Multiple A/Ds



さらに5つ以上のA/Dを接続する場合には、このクロックラインにCMOSバッファ(TTLではなく)を使用してください。

*CLK R出力の負荷を低減するために抵抗値の大きいRを使用してください。

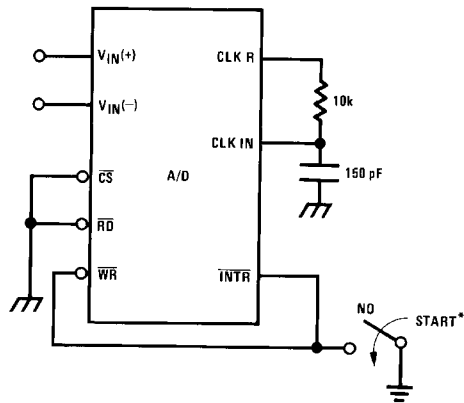
External Clocking



100 kHz f_{CLK} 1460 kHz

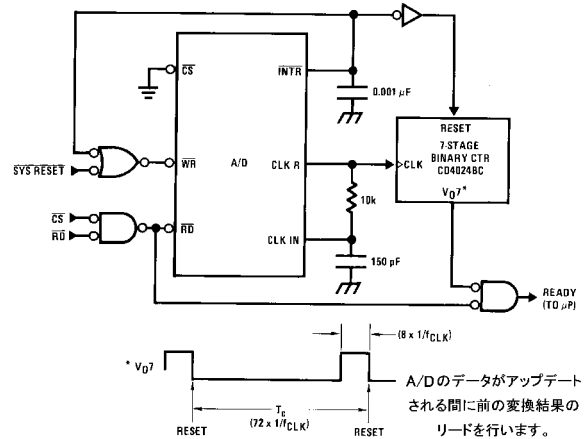
代表的なアプリケーション (つづき)

Self-Clocking in Free-Running Mode



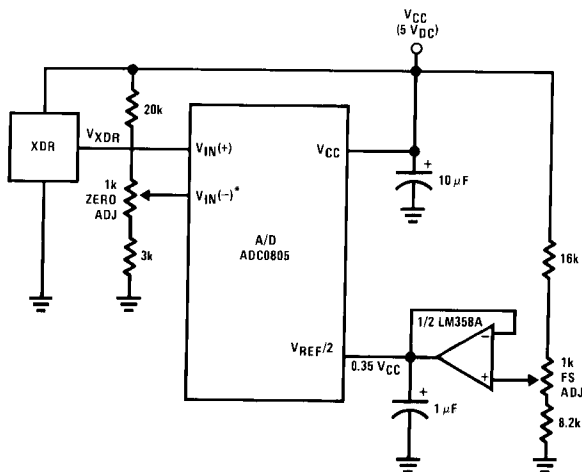
* 電源投入後、動作を保证するために、 $\overline{WR}$ 入力を瞬間的にグラウンド (Low レベル) にスイッチングする必要があります。

μP Interface for Free-Running A/D



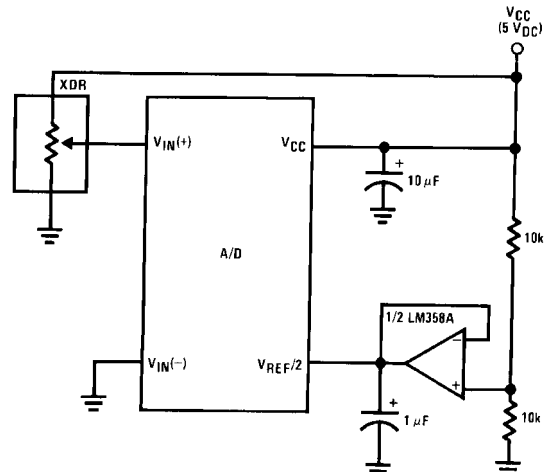
* V_{07} のデータがアップデートされる間に前の変換結果のリードを行います。

Operating with "Automotive" Ratiometric Transducers

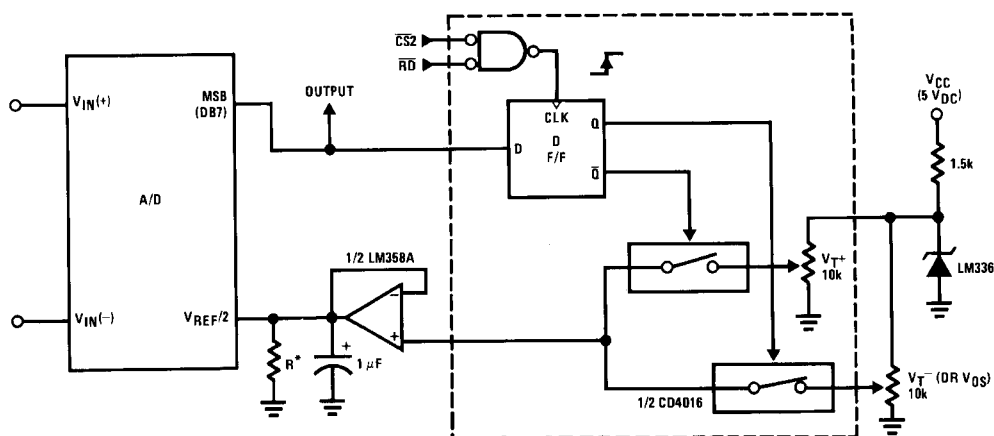


* $V_{IN(-)} = 0.15 V_{CC}$
15% of V_{CC} V_{XDR} 85% of V_{CC}

Ratiometric with $V_{REF/2}$ Forced



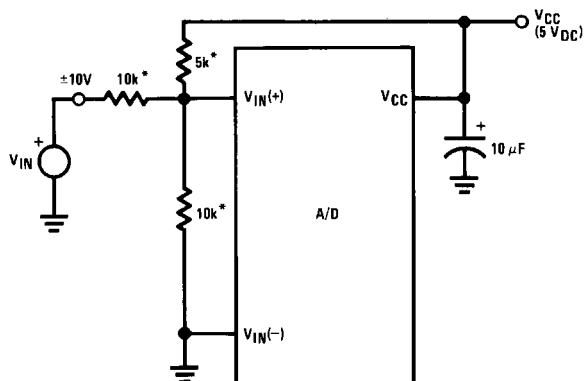
μP Compatible Differential-Input Comparator with Pre-Set V_{OS} (with or without Hysteresis)



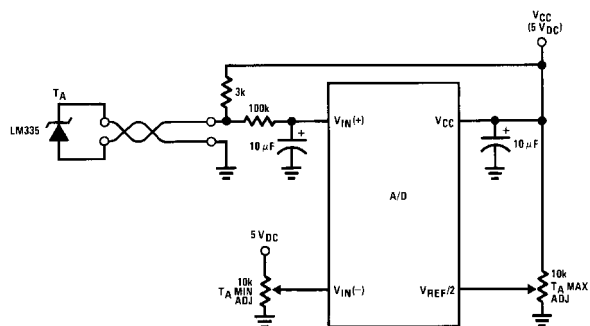
* 抵抗値 R の選択は Figure 5 を参照してください。
DB7 = "1" for $V_{IN(+)} > V_{IN(-)} + (V_{REF}/2)$
ヒステリシスが必要ない場合には、点線内の回路は省略してください。

代表的なアプリケーション (つぎ)

Handling $\pm 10V$ Analog Inputs

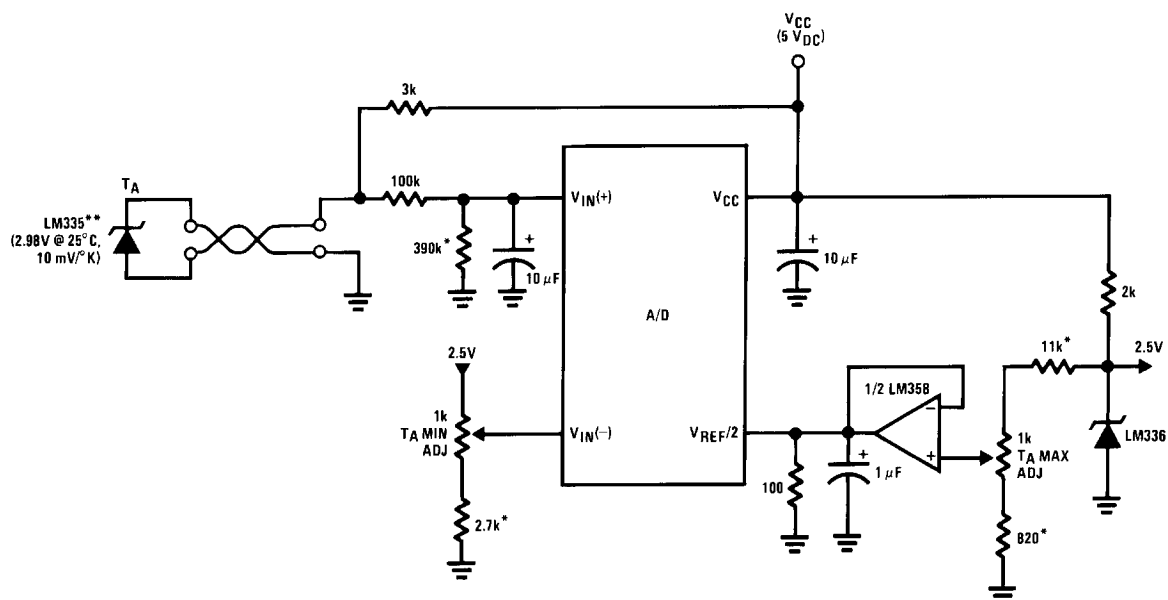


Low-Cost, μP Interfaced, Temperature-to-Digital Converter



*Beckman Instruments #694-3-R10K resistor array

μP Interfaced Temperature-to-Digital Converter

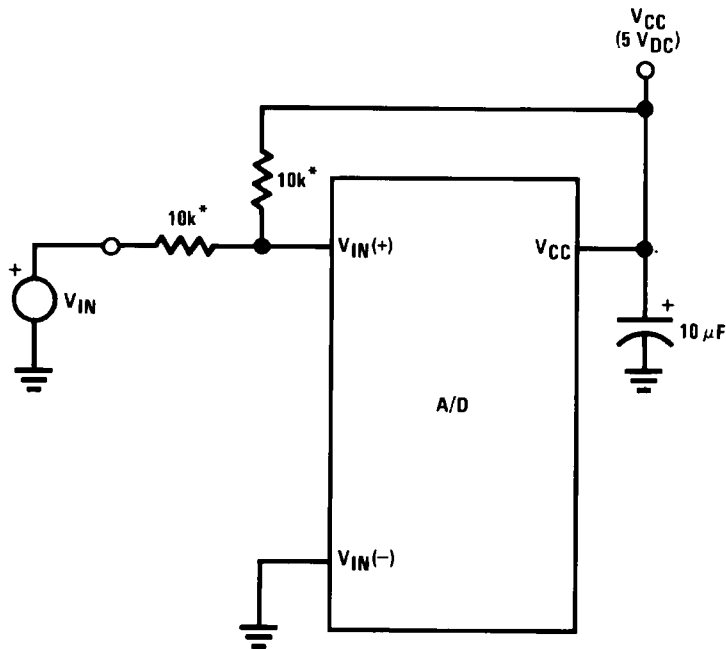


* 回路中の値は $0 \leq T_A \leq 128$ に対してのものが示されています。

** それぞれのセンサを較正すれば容易に置き換えが可能になり、A/D コンバータは、あらかじめ設定された入力電圧で較正されます。

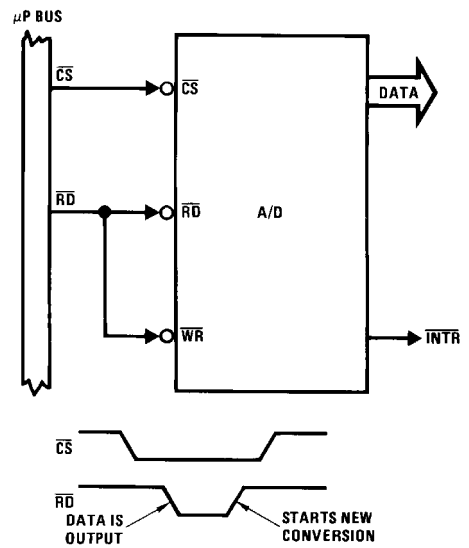
代表的なアプリケーション (つぎ)

Handling $\pm 5V$ Analog Inputs

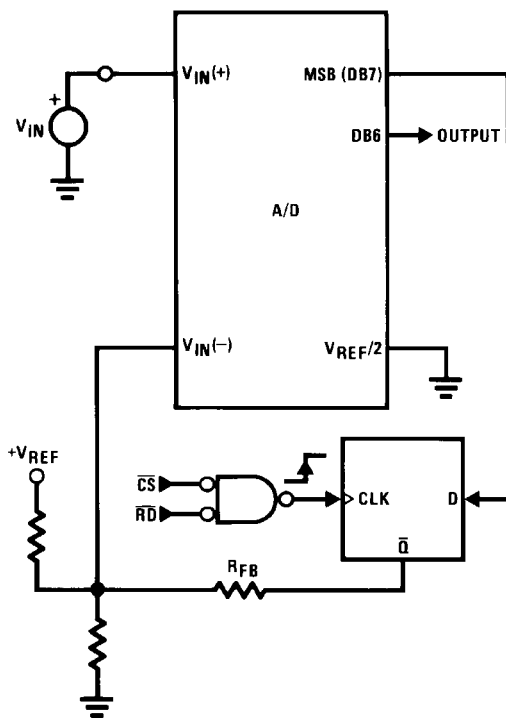


*Beckman Instruments #694-3-R10K resistor array

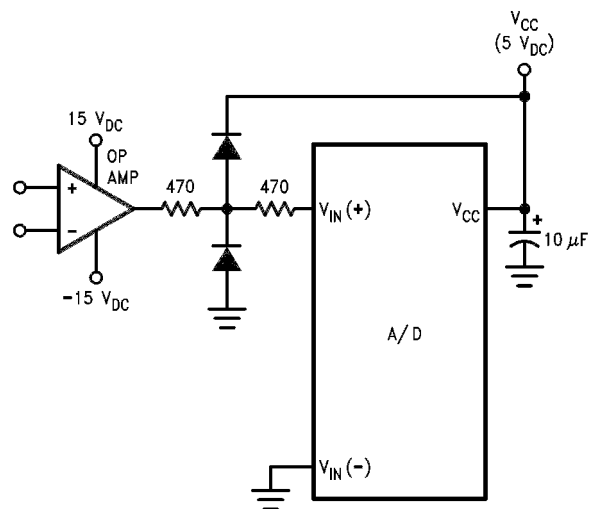
Read-Only Interface



μP Interfaced Comparator with Hysteresis



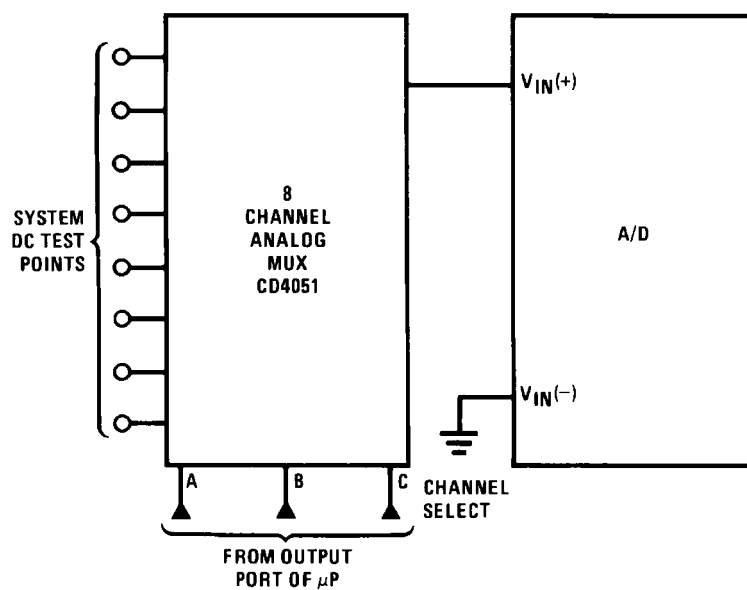
Protecting the Input



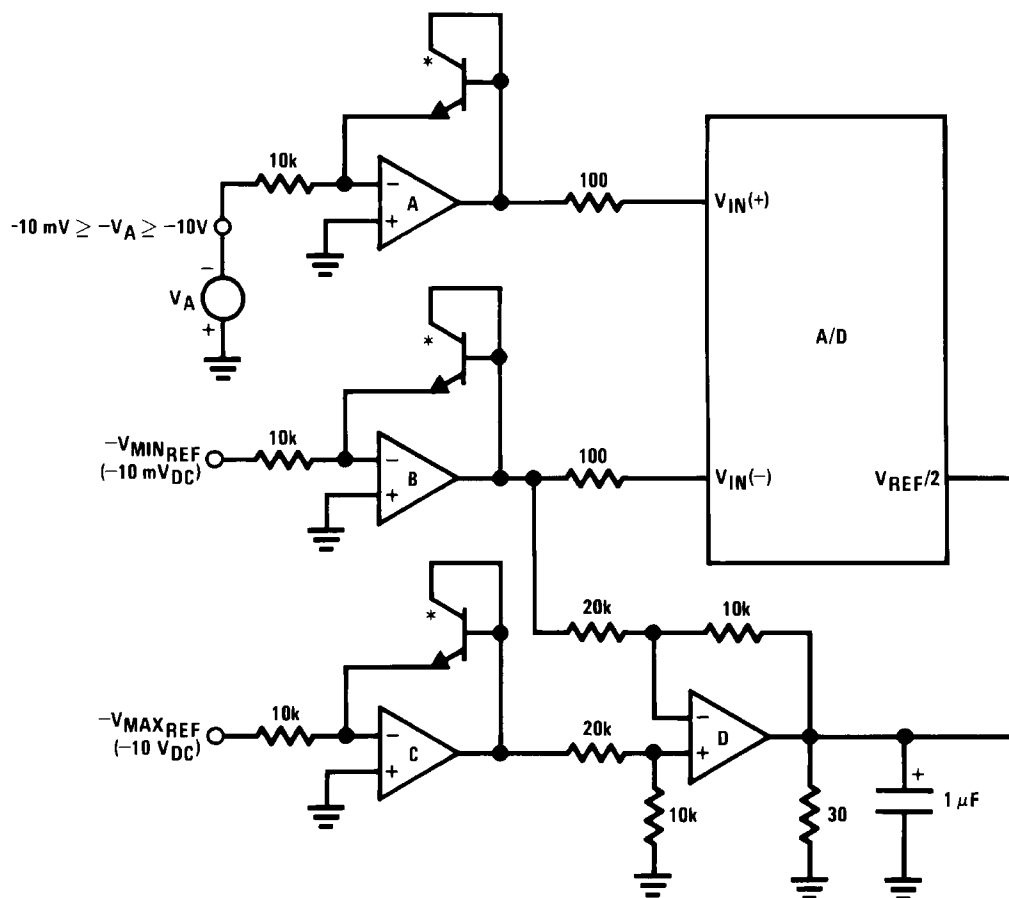
Diodes are 1N914

代表的なアプリケーション (つづき)

Analog Self-Test for a System



A Low-Cost, 3-Decade Logarithmic Converter

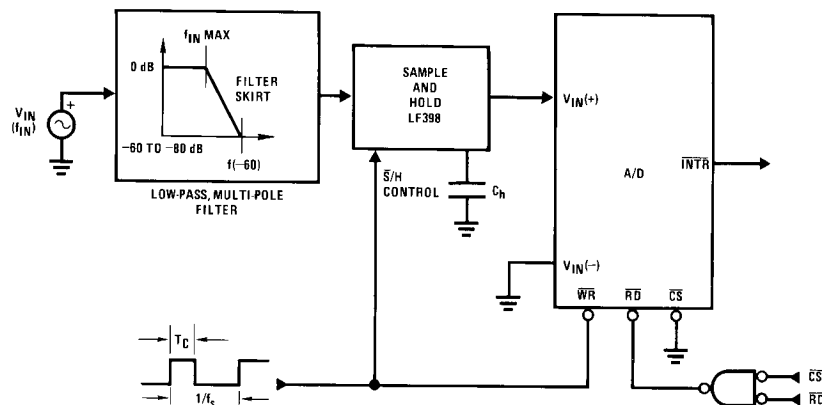


*LM389 transistors

A, B, C, D = LM324A quad op amp

代表的なアプリケーション (つづき)

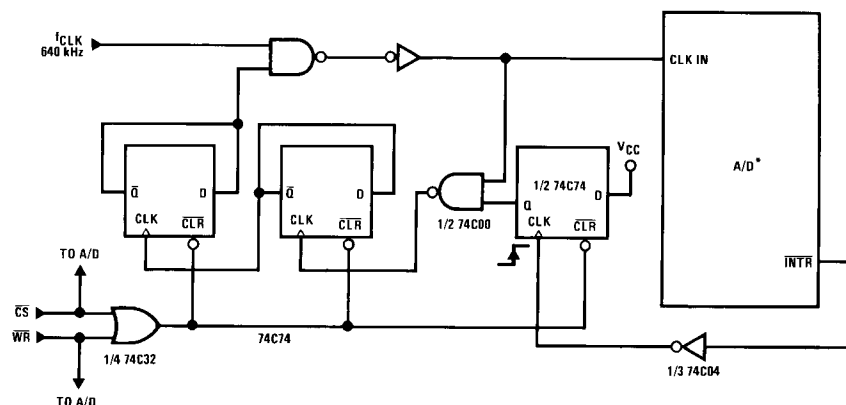
Sampling an AC Input Signal



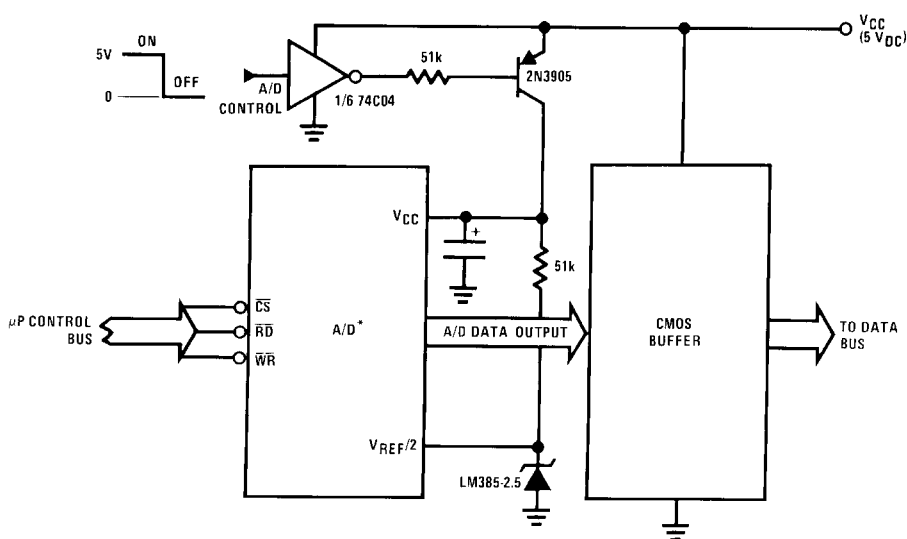
Note 11: 入力周波数の折り返し (エリヤシング) の防止およびフィルタの減衰帯域の応答性を十分に確保するために、 $f_s > 2f (-60\text{dB})$ を常に満たすようにオーバー・サンプリングしてください。 f_s はサンプリング周波数、 f は入力信号周波数。

Note 12: フィルタの通過帯域内で生じる振幅誤差に注意してください。

70% Power Savings by Clock Gating



(完全なシャットダウンには約 30 秒がかかります)

Power Savings by A/D and V_{REF} Shutdown

* 消費電力を最小限におさえるには、ADC0801、02、03 または 05 を使用してください。

Note: A/D の電源を 0V にするために、ロジック入力により V_{CC} をドライブすることが可能です。

シャットダウン・モードにある場合には、データ・バスが A/D の出力をオーバー・ドライブしないようにバッファを設けてください。

機能説明

1.0 A/D 変換誤差の特性

Figure 1 に理想的な A/D 変換特性 (階段特性) を示します。横軸はアナログ入力電圧で各ポイントは 1LSB ($V_{REF}/2$ 端子に 2.5V が加えられている場合は 19.53mV) ステップになっています。これらの入力に対応するデジタル出力コードはそれぞれ $D - 1$ 、 D 、 $D + 1$ として表われ、アナログ入力のセンタ値 ($A - 1$ 、 A 、 $A + 1$...) が正しいデジタルコードを出力するだけでなく、各上昇点 (隣接出力コード間の遷移点) は各センタ値から $\pm 1/2$ LSB 離れた場所に位置しています。図に示すように、上昇点は理想的で幅を持ちません。正しいデジタル出力コードが理想のセンタ値から $\pm 1/2$ LSB までのアナログ入力電圧範囲で出力されます。したがって各トレッド (同じデジタルコードを出力するアナログ入力電圧の範囲) は 1LSB の幅を持っています。

Figure 2 は ADC0801 の最悪時の誤差を示しています。すべてのセンタ入力値は正しいコードの出力を保証し、隣接する上昇点はセンタポイント $\pm 1/4$ LSB 以上近づかないことが保証されています。言いかえと、センタ値 $\pm 1/4$ LSB に等しいアナログ入力を加えれば、A/D コンバータは正しいデジタルコードを出力するこ

とが保証されます。コードが遷移するポジションの最大範囲が水平の矢印で示されていますが、それは $1/2$ LSB より大きくならないことが保証されています。

Figure 3 の誤差カーブは ADC0802 の最悪のケースを示しています。この場合は、LSB アナログ電圧のセンタ値に等しいアナログ入力を加えれば、A/D コンバータは正しいデジタルコードを出力することが保証されます。

各変換特性の右側に対応する誤差特性が示されています。多くの人にとって変換特性より誤差特性のほうが解りやすいかもしれませんが、A/D コンバータへのアナログ入力電圧は、リニアな傾斜入力あるいは高分解能 DAC の各出力ステップによって供給されます。誤差は連続的に表われ、A/D コンバータの量子化不確実性を含むことに注意が必要です。例えば、Figure 1 のポイント 1 での誤差は、デジタルコードがトレッドのセンタ値より $1/2$ LSB 早く得られるので、 $1/2$ LSB になります。誤差特性は常に一定の負の傾斜を持ち、上方への立ち上がりは常に 1LSB の値を持ちます。

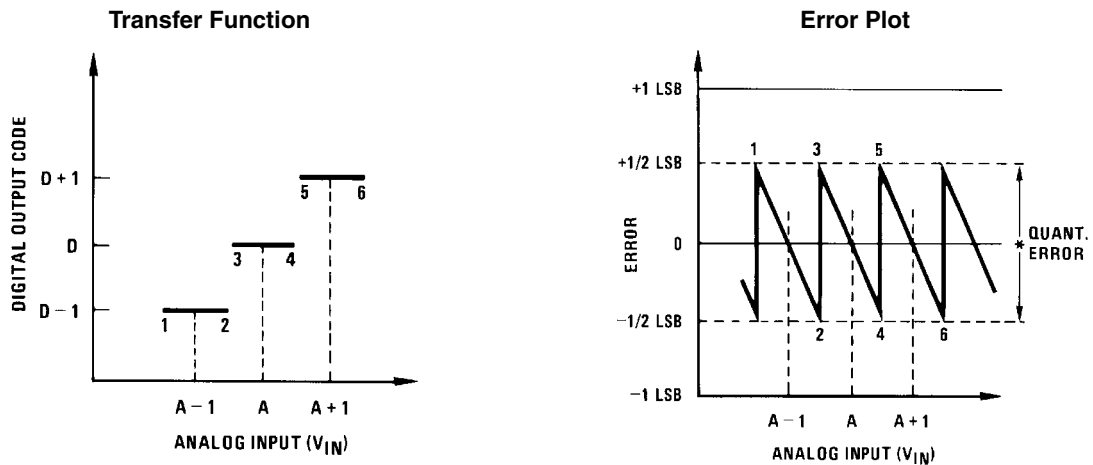


FIGURE 1. Clarifying the Error Specs of an A/D Converter
Accuracy = ± 0 LSB: A Perfect A/D

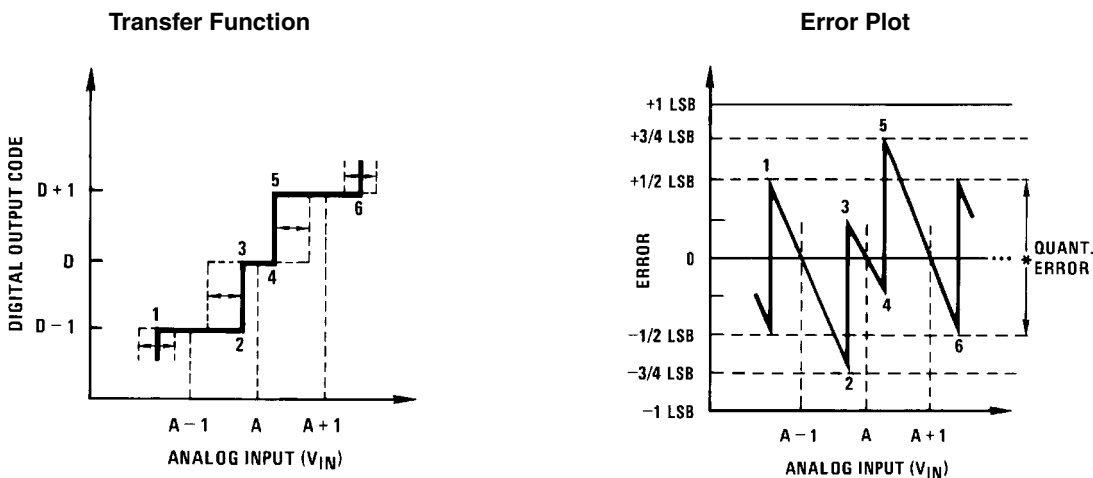


FIGURE 2. Clarifying the Error Specs of an A/D Converter
Accuracy = $\pm 1/4$ LSB

機能説明 (つづき)

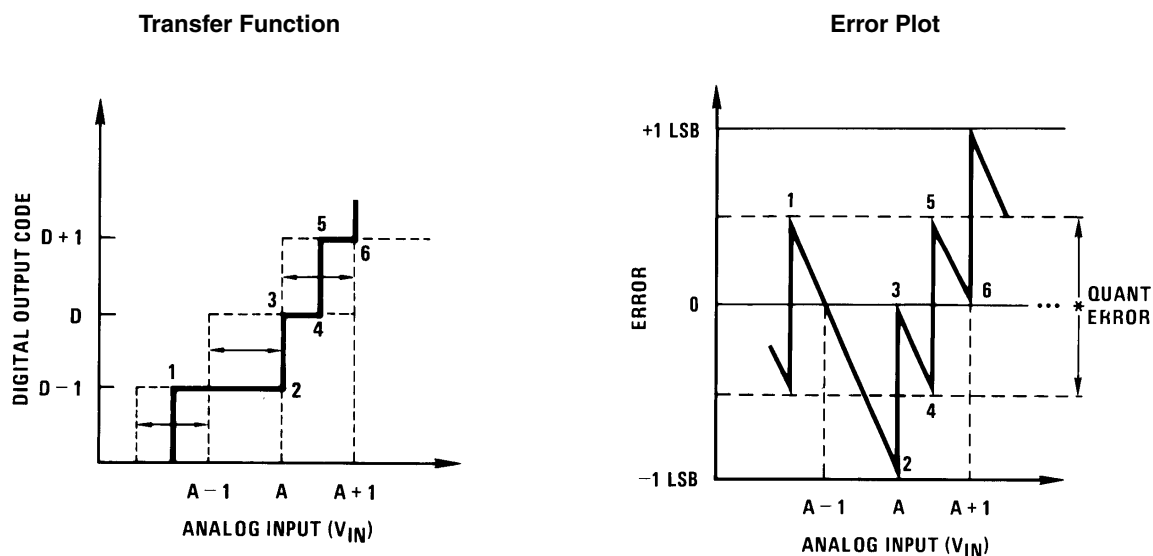


FIGURE 3. Clarifying the Error Specs of an A/D Converter
Accuracy = $\pm 1/2$ LSB

2.0 機能説明

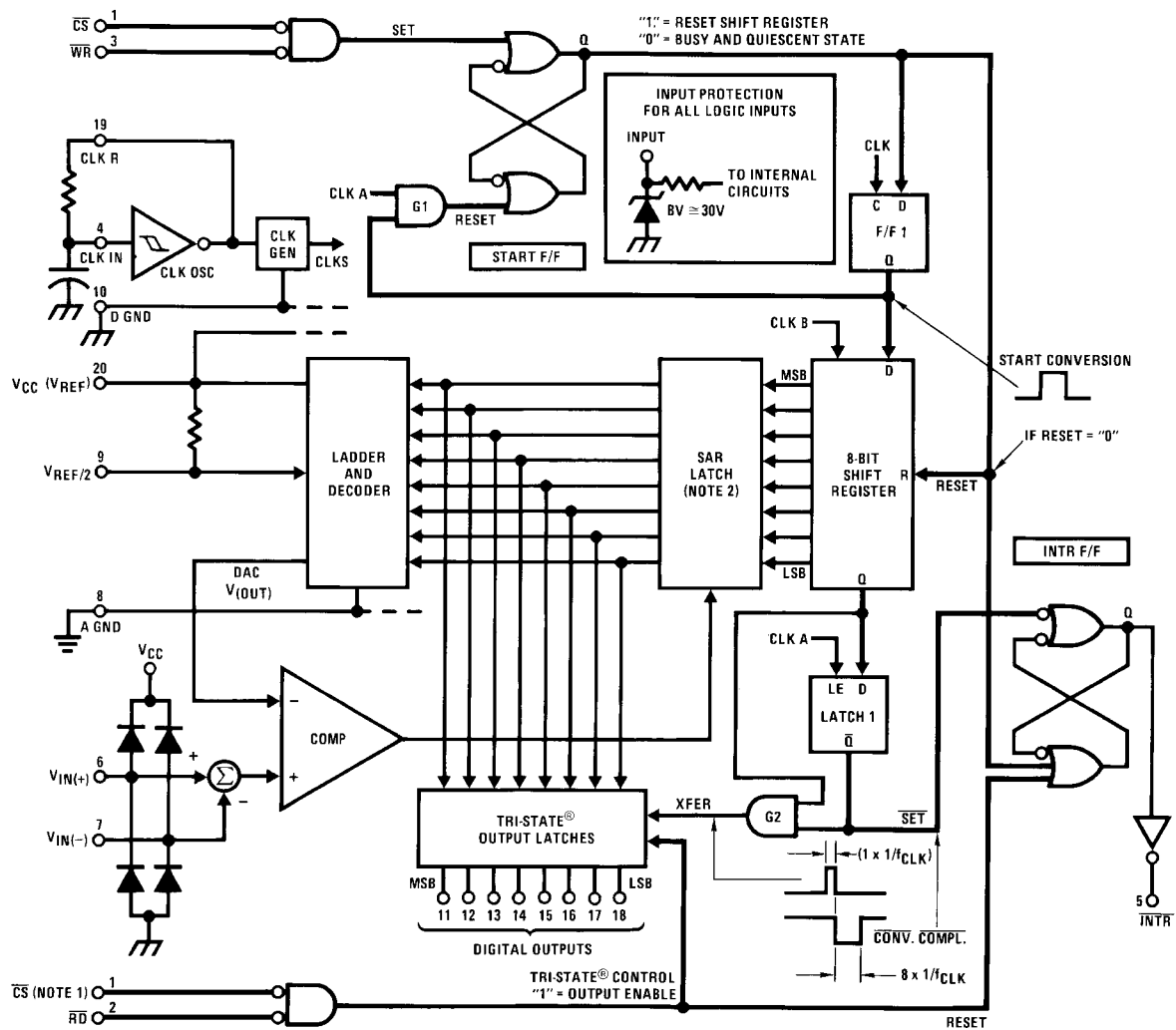
ADC0801 シリーズは 256R ネットワークと等価回路を含んでいます。アナログ・スイッチは逐次比較ロジックによって、差動アナログ入力電圧 $[V_{IN}(+) - V_{IN}(-)]$ が R ネットワークの相応するタップに一致するように制御されます。まず最上位ビットがテストされ 8 回の比較 (64 クロック・サイクル) の後、デジタル 8 ビット 2 進コード (1111 1111 = フルスケール) が出力ラッチへ伝達されて、その後割り込みフラグが立ちます (INTR は High から Low になります)。変換過程は新たなスタートコマンドによって割り込まれます。CS = 0 として INTR を WR 入力へ接続するとフリー・ランニング・モードで動作できます。あらゆる条件下でスタートアップを確実にするため、最初のパワーアップ・サイクル時に外部 WR パルスが必要です。

WR 入力が High から Low になる時、内部 SAR ラッチとシフトレジスタ段がリセットされます。CS 入力と WR 入力が Low である限り、A/D コンバータはリセット状態に保持されます。変換はこれから入力の少なくとも 1 つが Low から High に遷移した後、1 ~ 8 クロックの間にスタートします。

この A/D コンバータのファンクショナル・ダイアグラムを Figure 4 に示します。すべてのパッケージ端子配置が示され、主なロジック制御パスは太線で示されています。

コンバータは CS と WR を同時に Low にしてスタートします。これはスタート・フリップフロップ (F/F) をセットし、その出力のレベル "1" は 8 ビット・シフトレジスタをリセットしてインタラプト (INTR) F/F をリセットし、D フリップフロップ F/F1 に 1 を入力します。F/F1 は 8 ビット・シフトレジスタの入力端に位置しています。内部クロックはこの "1" を F/F1 の Q 出力に伝達します。AND ゲート G1 はこの "1" 出力をクロック信号と組み合わせてスタート F/F をリセット信号を供給します。セット信号がすでにない (WR か CS の一方が "1") 場合、スタート F/F はリセットされ、8 ビット・シフトレジスタへ "1" がクロックインされます。そして変換過程がスタートします。セット信号がまだ残っていたら、このリセットパルスは効果をもたず (スタート F/F の両出力は瞬時に "1" レベルになり)、8 ビット・シフトレジスタはリセットモードに保持されます。したがってこのロジックは CS と WR 信号の間で成り立ち、コンバータはこれら信号の少なくとも 1 つが High になった後スタートし、内部クロックは再びスタート F/F にリセット信号を供給します。

機能説明 (つづき)



Note 13: $\overline{CS}$ はわかりやすいように 2 箇所別々に示されています。

Note 14: SAR = Successive Approximation Register (逐次比較レジスタ)

FIGURE 4. Block Diagram

“1” は (SAR 動作を完成させる) 8 ビット・シフトレジスタをクロック動作により通過した後、D タイプラッチ LATCH 1 へ入力されます。この “1” がシフトレジスタから出力されると、AND ゲート G2 により新しいデジタルワードがトライステートの出力ラッチへ転送されます。次に LATCH 1 がイネーブルになると、Q 出力は High から Low になり INTR F/F をセットします。それから反転バッファは INTR 入力信号を出力します。

INTR F/F の $\overline{SET}$ 制御、外部の 8 クロックの間 Low になっています (内部クロックは外部クロックの 1/8 の周波数で動作しているため)。データ出力が連続的にイネーブルな状態でも ($\overline{CS}$ と $\overline{RD}$ の両方が Low に保たれた場合)、INTR 出力は (High から Low になり) 変換の終了を知らせます。これは、RESET 入力がこの動作モードで連続的に “1” レベルにあっても、INTR F/F の Q 出力は $\overline{SET}$ 入力によって制御されるからです。したがってこの INTR 出力は $\overline{SET}$ 信号の間 Low になります。(A/D コンバータがこの間スタートしなければ) これは外部クロック周波数の 8 サイクル分になります。

フリーランニングあるいは連続変換モード (INTR 端子が $\overline{WR}$ へ接続され $\overline{CS}$ が Low に接続されている—2.8 項参照) の場合、START F/F は INTR 信号が High から Low になった時にセットさ

れます。これはシフトレジスタをリセットし、D タイプラッチ LATCH 1 への入力を Low にします。その時ラッチイネーブル入力はまだ残っているので Q 出力は High になり、次に INTR F/F をリセットします。これは INTR 出力パルスの幅をほんのわずかの伝播遅延時間 (約 300ns) だけにします。

データを読む場合、 $\overline{CS}$ と $\overline{RD}$ を Low にすると INTR F/F はリセットされ、TRI-STATE 出力ラッチは 8 ビット・デジタル出力を供給します。

2.1 デジタル制御入力

デジタル制御入力 ($\overline{CS}$ 、 $\overline{RD}$ 、 $\overline{WR}$) は標準 TTL ロジック電圧レベルに対応しています。これらの信号は一般の A/D コンバータではスタートおよび出力イネーブルと呼ばれています。さらにこれらの入力はマイクロプロセッサの制御バスへのインタフェースを容易にするため、アクティブ Low になっています。マイクロプロセッサを用いないアプリケーションの場合、 $\overline{CS}$ 入力 (ピン 1) をグラウンドへ接続でき、A/D コンバータは $\overline{WR}$ 入力 (ピン 3) にアクティブ Low パルスを印加するとスタートし、また、 $\overline{RD}$ 入力 (ピン 2) にアクティブ Low パルスを印加すると出力イネーブルになります。

機能説明 (つづき)

2.2 アナログ差動電圧入力と同相電圧除去比

この A/D コンバータはアナログ差動電圧入力によって、応用幅広い自由度を持っています。V_{IN}(-) 入力 (ピン 7) を用いて、入力の読みから固定の電圧値を自動的に減算できます。これはまた、4mA - 20mA 電流ループ変換に有効です。さらに、差動入力を用いると同相ノイズを除去できます。

V_{IN}(+) と V_{IN}(-) のサンプリングの間隔は 4.5 クロックです。入力電圧のサンプリングのこのわずかなずれに起因する最大誤差電圧は

$$\Delta V_e(\text{MAX}) = (V_p) (2\pi f_{\text{cm}}) \left(\frac{4.5}{f_{\text{CLK}}} \right)$$

で与えられます。

ΔV_e はサンプリング・ディレイに起因する誤差電圧

V_p は同相電圧のピーク電圧

f_{cm} は同相周波数です。

例えば、60Hz の同相周波数 f_{cm} と 640kHz のクロック f_{CLK} の時、この誤差が 1/4 LSB (~ 5mV) になる同相電圧のピーク値 V_p は、

$$V_p = \frac{[\Delta V_e(\text{MAX}) (f_{\text{CLK}})]}{(2\pi f_{\text{cm}}) (4.5)}$$

すなわち

$$V_p = \frac{(5 \times 10^{-3}) (640 \times 10^3)}{(6.28) (60) (4.5)}$$

結果は

V_p ≅ 1.9V となります。

通常アナログ入力電圧の同相ノイズレベルはこの値より小さいレベルにあります。

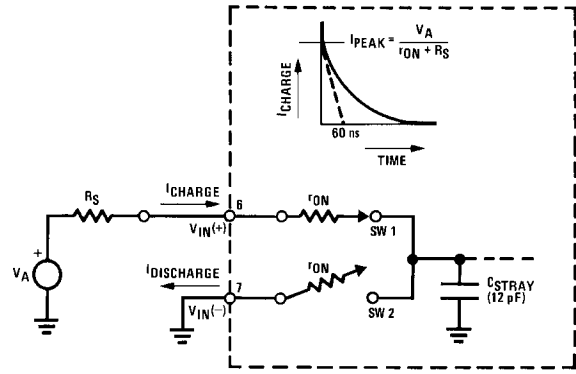
差動入力を使用すれば、容易にアナログ入力電圧のスパンをせばめたり、比較的大きなゼロオフセットをもたせたりできます (2.4 項の基準電圧参照)。

2.3 アナログ入力

2.3.1 入力電流

ノーマルモード

内部スイッチング動作のためアナログ入力にスイッチング電流が流れます。これは Figure 5 に示すようにグラウンドへの浮遊容量に起因しています。



r_{ON} of SW 1 and SW 2 ≅ 5 kΩ

r = r_{ON} C_{STRAY} ≅ 5 kΩ × 12 pF = 60 ns

FIGURE 5. Analog Input Impedance

この容量の電圧は切り換えられ、アナログ差動入力電圧レベルに依存する V_{IN}(+) 入力端子に流れ込み、V_{IN}(-) 入力から流れ出す電流が発生します。これらの過渡電流は内部クロックのリーディングエッジで発生します。それらは急激に減少し、オンチップ・コンデンサはクロック期間のエンでスロープされるので、誤差を引き起こしません。

フォールト・モード

V_{IN}(+) あるいは V_{IN}(-) 端子に加えられる電圧が V_{CC} + 50mV の許容動作範囲を超えると、寄生ダイオードを通して V_{CC} 端子へ大入力電流が流れます。この電流が最大許容スベックの 1mA を超える場合は、V_{CC} 端子へこの電流をバイパスするように外部ダイオード (1N914) を付加します (このダイオードで電流をバイパスすれば、V_{IN}(+) 端子の電圧はこのダイオードの順方向電圧まで V_{CC} 電圧を超えられます)。

2.3.2 入力バイパス・コンデンサ

入力のバイパス・コンデンサはこれらのチャージを平均化し、アナログ信号源の出力抵抗を流れる DC 電流を発生します。このチャージポンプ動作は、フルスケールの V_{IN}(+) 入力電圧での連続変換の時より悪くなります。V_{IN}(+) 入力に 5V を加えた 640kHz クロック周波数での連続変換の際、この DC 電流は最大約 5μA になります。したがって信号源抵抗が大きい時 (> 1kΩ) アナログ入力や V_{REF}/2 端子にバイパス・コンデンサを用いるべきではありません。ノイズ・フィルタリングのため入力バイパス・コンデンサが必要で、コンデンサのサイズを小さくするのに信号源抵抗を大きくしたい場合は、その信号源抵抗とその入力バイパス・コンデンサの両方が付加された状態でフルスケール調整をすれば、入力電流の平均値に起因するこの入力抵抗での好ましくない電圧降下を除去できます。これは入力電流の平均値が差動電圧入力の正確な線形関数であるため可能になります。

2.3.3 入力信号源抵抗

入力バイパス・コンデンサが用いられない時、大きい値の信号源抵抗は入力電流が比較時間より短かい期間に安定になるので、誤差を引き起こしません。ローパス・フィルタがシステムに要求される場合は、RC 受動フィルタに小さいシリーズ抵抗 (1kΩ) を用いるか、オペアンプ RC 能動ローパス・フィルタを使用してください。低い信号源抵抗 (1kΩ) を用いたアプリケーションでは、入力での 0.1μF バイパス・コンデンサにより長い線材の直列リードインダクタンスによるノイズのピックアップを防止できます。使用する場合は、オペアンプの出力とこのコンデンサ (R と C の両方ともフィードバック・ループの外側に配置されます) をアイソレートするために 100Ω 直列抵抗を用います。

機能説明 (つづき)

2.3.4 ノイズ

アナログ入力 (ピン 6 と 7) へのリードは入力ノイズ・カップリングを小さくするため、できるだけ短くしてください。これら入力へのノイズや不要なデジタルクロック・カップリングはシステム誤差を引き起こします。これら入力への信号源抵抗は一般的に $5k\Omega$ 以下にしてください。より大きい信号源抵抗は好ましくないシステム・ノイズ・ピックアップの原因になります。アナログ入力からグラウンドへの入力バイパス・コンデンサは、システム・ノイズのピックアップを防止できるかもしれませんが、これらのコンデンサは A/D コンバータの過渡的な入力スイッチング電流を平均化するので、アナログスケール誤差を引き起こします (2.3.1 参照)。このスケール誤差は大きい信号源抵抗と入力バイパス・コンデンサの使用に起因します。この誤差は信号源抵抗と入力バイパス・コンデンサを用いた状態で、A/D コンバータのフルスケール調整をすると除去できます (適切なフルスケールの読みに対して $V_{REF}/2$ を調整する—2.5.2 項「フルスケール調整」参照)

2.4 基準電圧

2.4.1 スパン調整

アプリケーション上の自由度を最大にするために、これらの A/D コンバータは $5V_{DC}$ 、 $2.5V_{DC}$ そして調整された基準電圧に対応できるように設計されています。これは、Figure 6 に示すように IC を設計することにより実現されました。

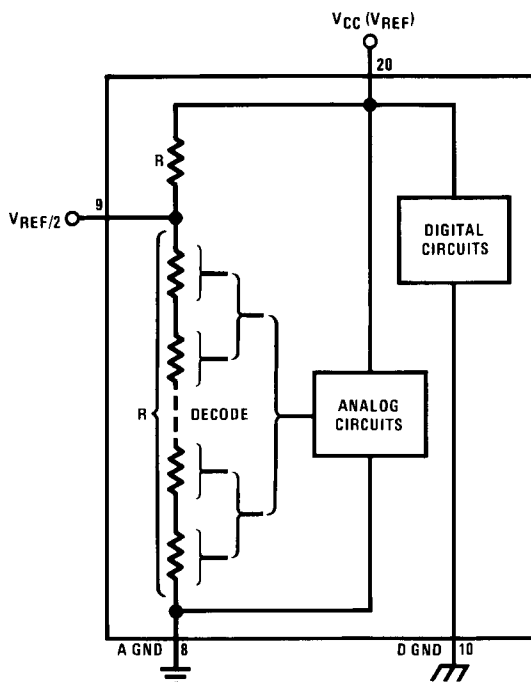


FIGURE 6. The $V_{REFERENCE}$ Design on the IC

IC の基準電圧は V_{CC} 電源端子へ加えられた電圧の $1/2$ 、あるいは外部的に $V_{REF}/2$ 端子に加えられた電圧に等しくなります。これは V_{CC} 電圧を用いたレシオメトリックな基準電圧動作の場合、 $5V_{DC}$ 基準電圧を V_{CC} 電源に使用したり、さらに応用上の自由度のために $V_{REF}/2$ 入力へ $2.5V_{DC}$ 以下の電圧を加えたりすることを可能にします。 $V_{REF}/2$ 入力は内部的に 2 倍のゲインを持っているので、フルスケール差動入力電圧は 9 ピンの電圧の 2 倍になります。

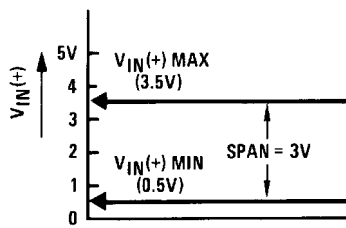
基準電圧を調整して用いる例として、スパンつまりアナログ入力電圧のダイナミック範囲をせばめて使用する場合があります。アナログ入力電圧の範囲を $0V$ から $5V_{DC}$ のかわりに $0.5V_{DC} \sim 3.5V_{DC}$ とする場合、スパンは Figure 7 に示すように $3V$ になります。オフセットを吸収するため $V_{IN}(-)$ 端子に $0.5V_{DC}$ を加えると、基準電圧は $3V$ スパンの $1/2$ つまり $1.5V_{DC}$ になります。A/D コンバータは $0.5V \sim 3.5V$ の $V_{IN}(+)$ 信号を $0.5V$ 、入力をゼロに、 $3.5V_{DC}$ 入力をフルスケールとして変換します。したがって分解能の全 8 ビットはこのせばめられたアナログ入力電圧範囲に対応します。

2.4.2 基準電圧の精度

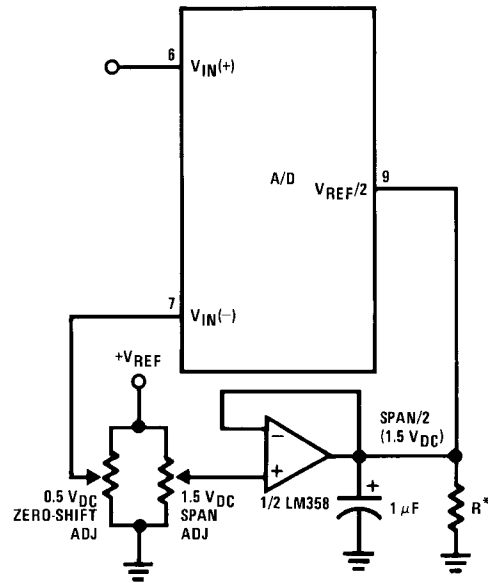
コンバータはレシオメトリック・モードでも絶対モードでも動作できます。レシオメトリック変換アプリケーションの場合、基準電圧の大きさは信号源トランスデューサの出力と A/D コンバータの出力の両方に影響し、その結果最終的なデジタル出力コードで、キャンセルされます。ADC0805 は、特に調整を要しないレシオメトリック・アプリケーションに使用できるように規定されています。絶対変換アプリケーションでの基準電圧の初期値と温度安定度は、A/D コンバータの精度で重要なファクタになります。 $2.4V_{DC}$ 公称電圧に対する $V_{REF}/2$ 電圧として $\pm 10mV_{DC}$ の初期誤差は、 $V_{REF}/2$ 入力の 2 倍のゲインにより $\pm 1LSB$ の変換誤差を引き起こします。スパンをせばめたアプリケーションでは、 $V_{REF}/2$ の初期値と安定度はさらに重要になります。例えば、スパンを $2.5V$ にせばめると、アナログ入力 LSB 電圧値は相応して $20mV$ ($5V$ スパン) から $10mV$ へ減少し、 $V_{REF}/2$ 入力での $1LSB$ は $5mV$ になります。それにつれて基準電圧の初期誤差および温度変動に対する絶対値の安定度への要求もきびしくなることは容易に想像できます。 $2.5V$ 以下のスパンを用いる際は、基準電圧源により高精度な初期値と安定度が要求されます。

一般的に基準電圧は初期調整が必要です。基準電圧の不適切な値による誤差は A/D 変換機能のフルスケール誤差として現れます。周囲温度変化が極端に大きくなければ、基準電圧として電圧レギュレータ IC を使用できます。LM336B $2.5V$ 基準ダイオード IC (ナショナル セミコンダクター製) は $0 \sim T_A 70$ の全範囲で $1.8mV$ (代表値) ($6mV$ (最大)) の温度安定度を持っています。他の温度範囲の製品も用意されています。

機能説明 (つづき)



a) Analog Input Signal Example



*Add if $V_{REF}/2 = 1 V_{DC}$ with LM358 to draw 3 mA to ground.

b) Accommodating an Analog Input from 0.5V (Digital Out = 00_{HEX}) to 3.5V (Digital Out = FF_{HEX})

FIGURE 7. Adapting the A/D Analog Input Voltages to Match an Arbitrary Input Signal Range

2.5 誤差と基準電圧調整

2.5.1 ゼロ誤差

この A/D コンバータはゼロ調整を必要としません。最小アナログ入力電圧値、 $V_{IN(MIN)}$ がグラウンドでない場合、ゼロオフセットが可能です。A/D の $V_{IN(-)}$ 入力にこの $V_{IN(MIN)}$ 値をバイアスすれば、この最少入力電圧に対し 0000 0000 デジタルコードを出力するようにコンバータを設定できます (「応用」の項参照)

A/D コンバータのゼロ誤差は伝送関数の最初の立ち上がりに関係し、 $V_{IN(-)}$ 入力をグラウンドにして、 $V_{IN(+)}$ 入力に小さい値の正電圧を加えて計測できます。ゼロ誤差は、出力コードをちょうど 0000 0000 から 0000 0001 へ変化させるのに必要な実際の DC 入力電圧と理想の $1/2$ LSB 値 ($V_{REF}/2 = 2,500V_{DC}$ のとき $1/2$ LSB = 9.8mV) との差です。

2.5.2 フルスケール

フルスケール調整は、希望のフルスケール電圧範囲より 1.5 LSB 少ない差動入力電圧を加え、 $V_{REF}/2$ 入力 (9 ピンあるいは 9 ピンを使用しない場合は V_{CC} 電源) の大きさをデジタル出力コードがちょうど 1111 1110 から 1111 1111 に変化するように調整すると行われます。

2.5.3 任意のアナログ入力電圧範囲調整

A/D コンバータのアナログゼロ電圧がグラウンドから離れる場合 (例えばグラウンド・レベルまで下らないアナログ入力信号に対

応するため)、まずこの新しいゼロ基準を正しく調整します。所望のゼロ基準プラス $1/2$ LSB に等しい $V_{IN(+)}$ 電圧を 6 ピンに加え (LSB は希望のアナログスパンを得るために計算します。1LSB = アナログスパン/256)、次にピン 7 のゼロ基準電圧をちょうど 00_{HEX} から 01_{HEX} のコード変化が得られるように調整します。

フルスケール調整はそれから (適切な $V_{IN(-)}$ 電圧を加えると同時に) $V_{IN(+)}$ 入力に次式で与えられる電圧を加えます。

$$V_{IN(+)} \text{ fs adj} = V_{MAX} - 1.5 \left[\frac{(V_{MAX} - V_{MIN})}{256} \right]$$

V_{MAX} はアナログ入力範囲の最大値。

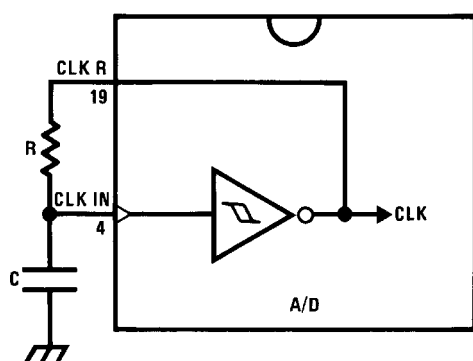
V_{MIN} はアナログ入力範囲の最小値 (オフセットゼロ) で、両方ともグラウンドを基準にしています。

それから $V_{REF}/2$ (あるいは V_{CC}) 電圧を FE_{HEX} から FF_{HEX} のコード変化が得られるように調整します。これで調整が完了します。

2.6 セルフクロック

この A/D コンバータのクロックは、CPU クロックから供給もできるし、また RC を外付けしてセルフクロックにもできます。CLK IN (4 ピン) は Figure 8 に示すようにシュミット・トリガ入力として働きます。

機能説明 (つづき)



$$f_{CLK} \approx \frac{1}{1.1 RC}$$

$$R \approx 10 \text{ k}\Omega$$

FIGURE 8. Self-Clocking the A/D

クロック R 端子への大容量負荷や DC 負荷は通常のコンバータ動作を妨害するので避けなければなりません。1 つのコンバータのクロック R 端子から、7 つまでの A/D コンバータのクロック入力をドライブする場合、50pF 以下の負荷は許容されます。それ以上のクロックライン負荷では、クロック R 端子の負荷を小さくするため、CMOS あるいは Low パワー TTL バッファや PNP 入力ロジックを使用します (スタンダード TTL バッファは用いるべきではありません)。

2.7 変換中の再スタート

A/D コンバータが変換中に再スタート ($\overline{CS}$ と $\overline{WR}$ が Low になり High に戻る) されるとコンバータはリセットされ、新しい変換がスタートします。変換が終わっていないければ、出力データラッチはアップデートされないで、このラッチには前の変換データが残っています。INTR 出力は単に “1” レベルを保持します。

2.8 連続変換

フリーランニング・モードで動作させる場合、回路動作を確実にするためにパワーアップに続いてイニシャライズ・パルスが必要です。このアプリケーションでは、 $\overline{CS}$ 入力はグラウンド、 $\overline{WR}$ 入力は INTR 出力へ接続されます。動作を確実にするためパワーアップ・サイクルに続いて、この $\overline{WR}$ と INTR ノードを一瞬ロジック Low にします。

2.9 データ・バスの駆動

この MOS A/D コンバータは MOS マイクロプロセッサやメモリ同様、データ・バスのトータル容量が大きくなる場合は、バス・ドライバを必要とします。データ・バスへ接続される他の回路は TRI-STATE (ハイ・インピーダンス・モード) であってトータル容量負荷を増大させます。バックプレーン・バスもまたデータ・バスの浮遊容量を大きく増大させます。

設計者にとって、この問題を回避するいくつかの手段があります。基本的にデータ・バスの容量性負荷は DC 特性を満足しても応答時間をスローダウンさせます。比較的遅い CPU クロック周波数で動作しているシステムの場合、バス上で適切なロジック・レベルに達するのに十分な時間が得られるので、比較的大きい容量性負荷もドライブできます (「代表的な性能特性」参照)。

より速い CPU クロック周波数の場合は、ウェイト・ステートを使用 (0800)、あるいはクロック伸張回路を使用 (6800) すれば、I/O リード (あるいはライト) に対して時間を延長できます。

時間が短く容量性負荷が大きい場合は、外部バス・ドライバを用いなければなりません。これらは、TRI-STATE バッファ (DM74LS240 シリーズのような低電力ショットキーが推奨されます) やバス・ドライバとして設計された特別の高駆動電流製品です。PNP 入力を持った高電流ハイボラ・バス・ドライバが推奨されます。

2.10 電源

V_{CC} 電源ラインのスパイク・ノイズは、コンバータがこのノイズに反応して変換誤差を引き起こします。フィルタとしてコンバータの V_{CC} 端子の近くに 1 μ F 以上の低インダクタンスのタンタル・コンデンサを付けてください。システムに安定化されていない電圧を供給する場合はコンバータ (そして他のアナログ回路) に個別のレギュレータとして LM340LAZ-5.0、TO-92 パッケージの 5V 電圧レギュレータを使用すれば、 V_{CC} 電源上のデジタル・ノイズを大幅に削減できます。

2.11 線材と電源のバイパスにおける注意事項

スタンダード・デジタル配線ラップソケットは、この A/D コンバータのプリント基板用には適しません。プリント基板上のソケットを用い、すべてのロジック信号配線と線材を集中してアナログ信号線からできるだけ遠くに離します。アナログ入力への単線は不要なデジタル・ノイズやハム誘導の原因となるので、多くの場合シールド線が必要になります。

ロジック・グラウンド点とは別に一点アナログ・グラウンドが使用されなければなりません。電源電圧バイパス・コンデンサとセルフクロック・コンデンサ (使用されていれば) は、ともにデジタル・グラウンドに帰さなくてはなりません。 $V_{REF}/2$ バイパス・コンデンサ、アナログ入力フィルタ・コンデンサ、または入力信号シールドリング (遮へい) はいずれもアナログ・グラウンド点に帰さなくてはなりません。適切なグラウンドのための試験法は A/D コンバータのゼロ誤差を測定することです。1/4 LSB を超えるゼロ誤差は、通常不適切なボードレイアウト (配置) と配線によるものです (2.5.1 項の「ゼロ誤差の測定法」を参照してください)。

3.0 A/D コンバータの試験法

A/D コンバータの試験法は複雑に関連した多くの段階があります。最も簡単な試験法の 1 つはコンバータに既知のアナログ入力電圧を与え、Figure 9 で示すようにデジタル出力コードの結果を LED を使って表示させることです。

試験を容易にするために、2.560V_{DC} の $V_{REF}/2$ (ピン 9) 電圧と 5.12V_{DC} の V_{CC} 電源電圧を使用しなければなりません。これで 20mV の LSB 値を作ります。

フルスケール調整をするのであれば、5.090V_{DC} (5.120 - 1.5LSB) のアナログ入力電圧を $V_{IN}(-)$ 端子をグラウンドにして、 $V_{IN}(+)$ 端子に供給してください。 $V_{REF}/2$ 入力電圧の値を、デジタル出力コードがちょうど 1111 1110 から 1111 1111 に変化するまで調整してください。 $V_{REF}/2$ のこの値はその後のすべての試験用に使用されなくてはなりません。

このデジタル出力 LED 表示は 2 つの 16 進法、つまり 4 つの最上位 (MS) ビットと 4 つの最下位 (LS) ビットに 8 ビットを分割して解読されます。Table 1 はこれら 2 つの 4 ビット・グループの分数バイナリ (2 進) であらわしたものを示しています。Table 1 の “VMS” と “VLS” 欄から得られる電圧を加えれば、デジタル表示 ($V_{REF}/2 = 2.560V$ の時) の公称値を決定できます。例えば LED 表示出力が 1011 0110 または B6 (16 進) にとては、このテーブルからの電圧値は $3.520 + 0.120$ つまり 3.640V_{DC} です。これらの電圧値は完全な A/D コンバータの中心値を表わしています。その試験結果の判断で量子化誤差の影響を保証しなければなりません。

機能説明 (つづき)

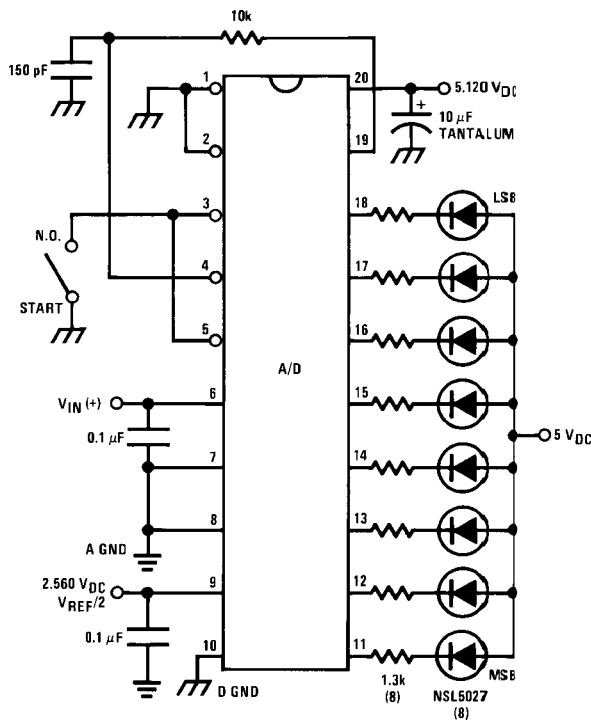


FIGURE 9. Basic A/D Tester

より高速のテストシステム、またはプロットされたデータを得るためには、そのテストのセットアップのために D/A コンバータを必要とします。A/D のための精密電圧源として正確な 10 ビット DAC が役立ちます。試験中の A/D の誤差はアナログ電圧または 2 つのデジタルワードにおける差のどちらかとして表わせます。

DAC を使い、アナログ出力電圧として誤差を発生する基本的な A/D テスタを Figure 10 に示します。数字減算機能付 DVM がその差電圧 "A-C" を直接読める場合は、この 2 つのオペアンプを省略できます。低周波ランパ発生器がこのアナログ入力電圧を供給でき、アナログ誤差 (Y 軸) 対アナログ入力 (X 軸) を作成するのに X-Y プロッタを使用できます。

マイクロプロセッサまたはコンピュータにもとづくテストシステムの動作では、デジタル的にこの誤差を表わす点でさらに便利です。これは Figure 11 の回路で実行できます。ここでは 10 ビット DAC がその入力増加に従い、その出力コードの変化を感知できます。テストされる 8 ビット A/D に対しては 1/4 LSB のステップを作ります。テストの結果が X 軸上でアナログ入力、Y 軸上でそのエラー (LSB において) として自動的にプロットされれば、テスト結果のもとで A/D の有用な転送関数となります。受入れテストでは、このプロットは不必要で、各コードに対する許容誤差の内部リミットを設ければ、このテスト速度を上げることが出来ます。

4.0 マイクロプロセッサ・インタフェース

8080A と 6800 マイクロプロセッサとのインタフェースについて説明するにあたり、通常のサンプル・サブルーチンを使用します。マイクロプロセッサは A/D 変換を開始させ、16 の逐次変換の結果を読み、それを格納します。それからユーザーのプログラムに復帰します。この 16 バイトデータは 16 の逐次メモリスペースに格納されます。すべてのデータとアドレスは 16 進法で与えられます。ソフトウェアとハードウェアの詳細はマイクロプロセッサの各タイプにより別々に説明していきます。

4.1 8080 マイクロプロセッサ・ファミリとのインタフェース (8084、8085)

このコンバータには 8080 系マイクロプロセッサと直接インタフェースできるように設計されています。この A/D をメモリ・スペースに ($\overline{CS}$ 、 $\overline{MEMR}$ 、 $\overline{MEMW}$ ストロープに対し標準メモリ・アドレス・デコーディングを使用して) マッピングできます。あるいは $\overline{I/O R}$ と $\overline{I/O W}$ ストロープを使用して $\overline{CS}$ 入力を得るために、アドレスビット A0 → A7 (あるいはそれらが同じ 8 ビット・アドレス情報を含んでいる時にはアドレス・ビット A8 → A15) をデコーディングすれば、I/O デバイスとしてこの A/D を制御できます。I/O スペースの使用は 256 の追加アドレスを作り、簡単な 8 ビット・アドレス・デコーダを可能にしますが、しかしそのデータはそのアキュムレータに対し単に入力されるだけです。さらにメモリ参照命令を使用するには、その A/D はメモリスペース内にマッピングされなくてはなりません。I/O スペースでの A/D の例は Figure 12 に示されています。

機能説明 (つづき)

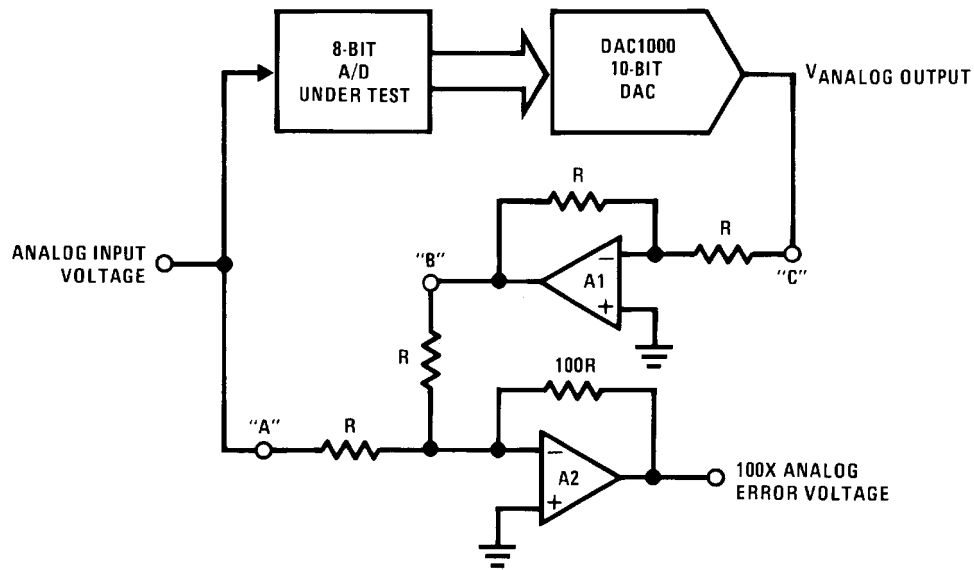


FIGURE 10. A/D Tester with Analog Error Output

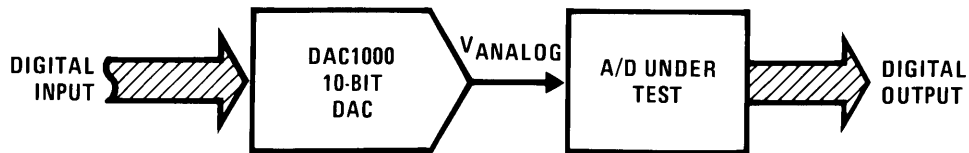


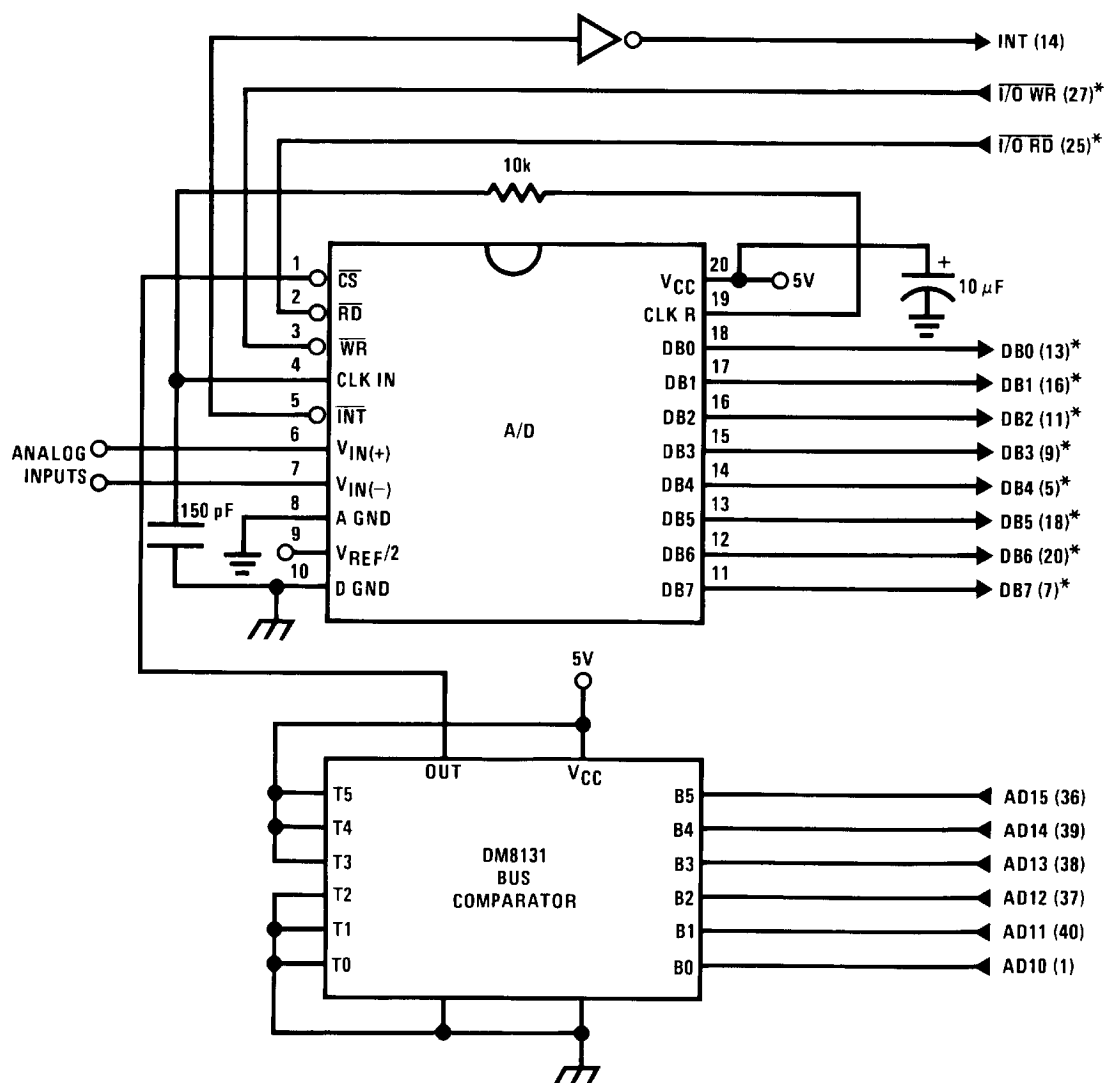
FIGURE 11. Basic " Digital " A/D Tester

TABLE 1. DECODING THE DIGITAL OUTPUT LEDs

HEX	BINARY	FRACTIONAL BINARY VALUE FOR		OUTPUT VOLTAGE CENTER VALUES WITH $V_{REF}/2 = 2.560 V_{DC}$	
		MS GROUP	LS GROUP	VMS GROUP (Note 15)	VLS GROUP (Note 15)
F	1 1 1 1	15/16	15/256	4.800	0.300
E	1 1 1 0	7/8	7/128	4.480	0.280
D	1 1 0 1	13/16	13/256	4.160	0.260
C	1 1 0 0	3/4	3/64	3.840	0.240
B	1 0 1 1	11/16	11/256	3.520	0.220
A	1 0 1 0	5/8	5/128	3.200	0.200
9	1 0 0 1	9/16	9/256	2.880	0.180
8	1 0 0 0	1/2	1/32	2.560	0.160
7	0 1 1 1	7/16	7/256	2.240	0.140
6	0 1 1 0	3/8	3/128	1.920	0.120
5	0 1 0 1	5/16	2/256	1.600	0.100
4	0 1 0 0	1/4	1/64	1.280	0.080
3	0 0 1 1	3/16	3/256	0.960	0.060
2	0 0 1 0	1/8	1/128	0.640	0.040
1	0 0 0 1	1/16	1/256	0.320	0.020
0	0 0 0 0			0	0

Note 15: 出力 = VMS グループ + VLS グループを表示します。

機能説明 (つづき)



Note 16: * 端子番号は DP8228 システムコントローラの端子番号です。その他の番号は INS8080A の端子番号です。

Note 17: サンプル・プログラムを伴う必要があり、割り込みが認知される時には RST 7 命令を発生させるために、1kΩ の抵抗を使って INS8228 のピン 23 を + 12V に接続してください。

FIGURE 12. ADC0801_INS8080A CPU Interface

機能説明 (つづき)

SAMPLE PROGRAM FOR Figure 12 ADC0801-INS8080A CPU INTERFACE

```

0038      C3 00 03      RST 7:          JMP      LD DATA
      .                .                .
      .                .                .
0100      21 00 02      START:          LXI H 0200H          ; HL pair will point to
                                          ; data storage locations
0103      31 00 04      RETURN:         LXI SP 0400H         ; Initialize stack pointer (Note 1)
0106      7D                        MOV A, L                ; Test # of bytes entered
0107      FE 0F                        CPI 0FH              ; If # = 16. JMP to
0109      CA 13 01                        JZ CONT           ; user program
010C      D3 E0                        OUT E0 H             ; Start A/D
010E      FB                        EI                      ; Enable interrupt
010F      00                        LOOP:         NOP        ; Loop until end of
0110      C3 0F 01                        JMP LOOP        ; conversion
0113      .                .                .
      .                .                .
      .                .                .
      .                .                .
      .                .                .
      .                .                .
0300      DB E0      LD DATA:          IN E0 H            ; Load data into accumulator
0302      77                        MOV M, A              ; Store data
0303      23                        INX H                  ; Increment storage pointer
0304      C3 03 01                        JMP RETURN

```

Note 18: RST 7 命令はこのスタック上に PC をプッシュするので、このスタック・ポインタを設けてください。

Note 19: 使用されているすべてのアドレスは任意に選択されたものです。

8080 の $\overline{CS}$ 、 $\overline{RD}$ 、 $\overline{WR}$ の標準制御バス信号を A/D のデジタル制御入力に直接結線でき、コンバータの始動およびデータ・バス上へのデータ出力の両方を可能にするバス・タイミング要求に合致しています。より大がかりなマイクロプロセッサではバス・ドライバを使用しなくてはなりません。ここではデータ・バスは PC 基板から分かれ、そして 100pF 以上の負荷容量を駆動できなくてはなりません。

4.1.1 8080A CPU とのインタフェース回路とプログラム例

Figure 12 に示される関連ハードウェアとその後にあるサンプル・プログラムをこのコンバータから INS8080A CPU チップセット (INS8080A マイクロプロセッサ、NS8228 システムコントローラ、INS8224 クロック・ジェネレータで構成される) にデータを入力するのに使用できます。簡単に、A/D は I/O デバイスとして制御され、特に 8 ビット双方向性ポートは任意に選択したポートアドレス "E0" に置かれます。A/D の TRI-STATE 出力能力は周辺のインタフェース・デバイスの必要性をなくします。しかしそのコンバータに対し適切な $\overline{CS}$ を発生させるのにアドレス・デコーディングを必要とします。

A/D コンバータが 8 つの内の 1 つあるいはより少ない I/O マッピング・デバイスである場合には、アドレス・デコーディング回路を必要としない点に注意することが大切です。8 つのアドレスビット (A0 ~ A7) の各々 I/O デバイス用に 1 つを $\overline{CS}$ 入力として直接利用できます。

4.1.2 INS8048 とのインタフェース

ADC0801 シリーズ (Figure 13 参照) を用いて INS8048 をインタフェースする技術は、8080A CPU インタフェースより容易です。8048 には 24 の I/O ラインと 3 つのテスト入力ラインがあります。これらの余分にある I/O ラインで、この I/O ライン (ポート 1 のビット 0) の 1 つは A/D に対するチップセレクト信号として使われ、余分なアドレスデコーダの使用を除くことができます。8048 のバス制御信号 $\overline{RD}$ 、 $\overline{WR}$ 、INT は直接 A/D に接続されます。この 16 の変換されたデータワードは 20 ~ 2F (HEX) までのオンチップ RAM スペースにストアされます。 $\overline{RD}$ と $\overline{WR}$ 信号は各々ダミーアドレスから読み出し、ダミーアドレスに書き込むと発生します。簡単なインタフェース・プログラムは次のように示されています。

機能説明 (つづき)

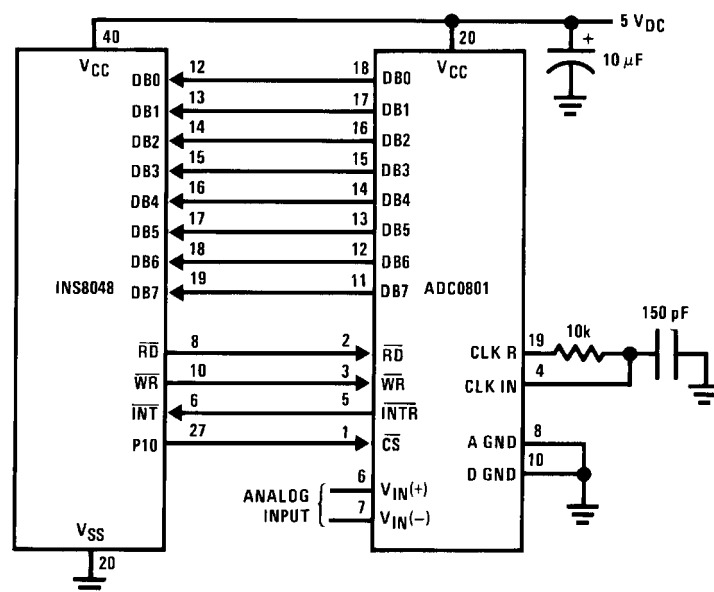


FIGURE 13. INS8048 Interface

SAMPLE PROGRAM FOR Figure 13 INS8048 INTERFACE

```

04 10          JMP      10H          : Program starts at addr 10
          ORG      3H
04 50          JMP      50H          ; Interrupt jump vector
          ORG      10H              ; Main program
99 FE          ANL      P1, #0FEH    ; Chip select
81             MOVX     A, @R1       ; Read in the 1st data
          ; to reset the intr
89 01          START:   ORL      P1, #1 ; Set port pin high
B8 20          MOV      R0, #20H     ; Data address
B9 FF          MOV      R1, #0FFH    ; Dummy address
BA 10          MOV      R2, #10H     ; Counter for 16 bytes
23 FF          AGAIN:   MOV      A, #0FFH ; Set ACC for intr loop
99 FE          ANL      P1, #0FEH    ; Send CS (bit 0 of P1)
91             MOVX     @R1, A       ; Send WR out
05             EN      I            ; Enable interrupt
96 21          LOOP:    JNZ      LOOP ; Wait for interrupt
EA 1B          DJNZ     R2, AGAIN     ; If 16 bytes are read
00             NOP
00             NOP
          ORG      50H
81             INDATA:  MOVX     A, @R1 ; Input data, CS still low
A0             MOV      @R0, A       ; Store in memory
18             INC      R0           ; Increment storage counter
89 01          ORL      P1, #1       ; Reset CS signal
27             CLR      A           ; Clear ACC to get out of
93             RETR              ; the interrupt loop

```

4.2 Z-80 とのインタフェース

Z-80 制御バスは 8080 とは少し異なります。Z-80 は通常の $\overline{RD}$ および $\overline{WR}$ ストローブをもち、別のメモリ要求 “ $\overline{MREQ}$ ” 信号と I/O 要求 “ $\overline{IORQ}$ ” 信号が使われ、8080 信号と同じものを作るのに総括したストローブと結合させなくてはなりません。Z-80 を使って I/O スペースで A/D を動作させる利点は、CPU が 1 つの待ち状態 (1 つのクロック期間だけ $\overline{RD}$ と $\overline{WR}$ ストローブを拡張します) を自動的に挿入して、I/O デバイスが応答するための時間を与えることです。I/O スペースに A/D をマッピングするためのロジック回路を Figure 14 に示します。

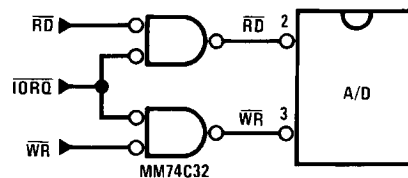


FIGURE 14. Mapping the A/D as an I/O Device for Use with the Z-80 CPU

ソフトウェア DMA ルーチンとしてさらに I/O の優位性が得られ、I/O 入力命令の間上位 8 アドレスライン (A8 ~ A15) 上に存在する出力データの伝送を、その使用により行えます。例えば、A/D に対する MUX チャンネル選択をこの動作モードで実行できます。

機能説明 (つづき)

4.3 6800 マイクロプロセッサ・ファミリ (6502、その他) とのインタフェース

6800 マイクロプロセッサ関連の制御バスは $\overline{RD}$ と $\overline{WR}$ ストローブ信号を使えません。その代わりに単一の R/W ラインと付加タイミングを用います。必要な $\phi 2$ クロックから導くことができます。すべての I/O デバイスは 6800 システムでメモリマッピングされ、特別信号 VMA は今使っているアドレスが有効であることを表わします。Figure 15 はその A/D が 6800 システムでメモリマッピングされているインタフェース回路を示しています。簡略化のために、 $\overline{CS}$ デコーディングは 1/2 DM8092 を使用して示されています。多くの 6800 システムでは、すでにデコードされた 4/5 ラインはピン 21 で共通バスに引き出されている点に注意してください。A/D の $\overline{CS}$ 端子に直接これを結合でき、HX ADDR:4XXX または 5XXX で他のデバイスがアドレスされないようにします。

その後のサブルーチンは本質的に 8080A インタフェースの場合と同じ機能を実行し、ユーザー・プログラムでどの箇所からでも呼び出せます。

Figure 16 では、ADC0801 シリーズは MC6820 のポート B (任意に選択された) あるいは MC6821 周辺インタフェース・アダプタ (PIA) を通じ、M6800 にインタフェースされます。PIA は M6800 システムですでにメモリマップされており、 $\overline{CS}$ デコーディングは必要ないので、ここでは A/D の $\overline{CS}$ 端子はグラウンドされています。PIA を通じプログラム制御のもとでマイクロプロセッサ・バスに A/D

出力データラインは結合されており、そのため A/D の $\overline{RD}$ 端子はグラウンドできる点にも注意してください。

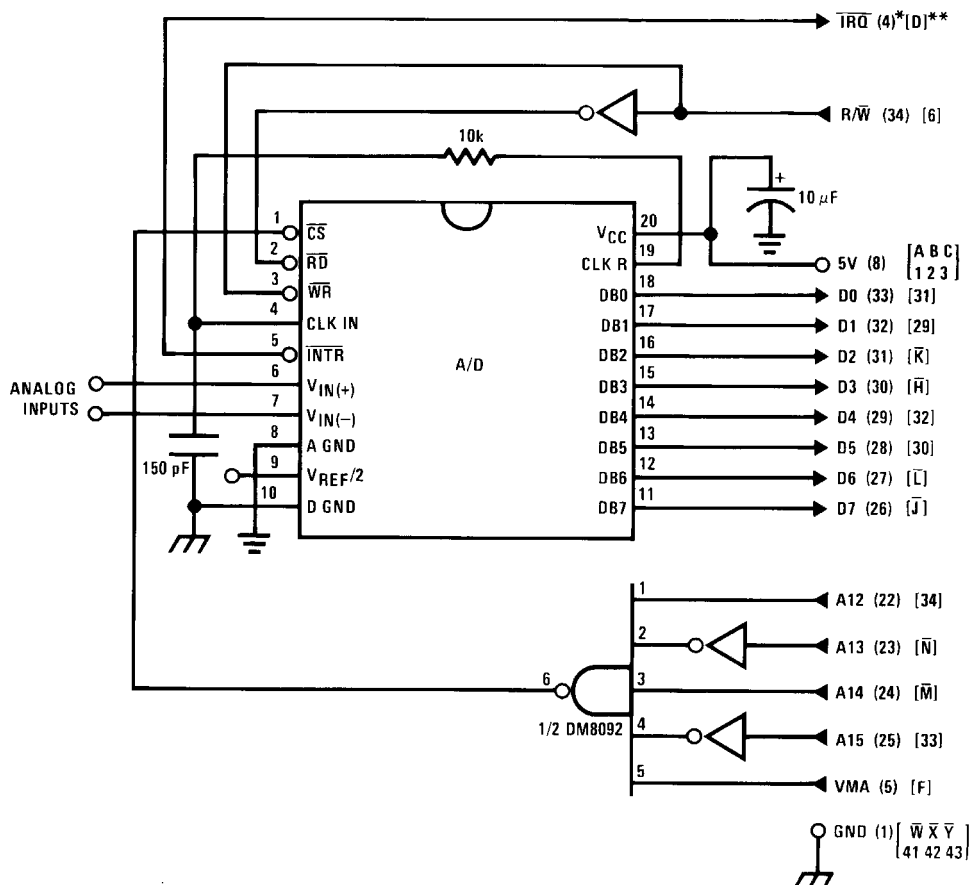
前のものと同等なサンプル・インタフェース・プログラムを Figure 16 に示します。PIA データレジスタとポート B の制御レジスタは各々 8006 と 8007HEX アドレスに位置します。

5.0 一般応用

以下の応用例は A/D に対するいくつかの興味ある使用法を示しています。ある特定のマイクロプロセッサが使われていても、それを使わなければならないわけではありません。これら各々の応用回路では、マイクロプロセッサに何を使用しても機能は同じです。

5.1 MC6800CPU インタフェースに対する複数の ADC0801 シリーズ

いくつかのチャンネルから単一のマイクロプロセッサ・システムにアナログデータを転送するには、複数のコンバータ方式を用いると、従来のマルチプレクサ単一コンバータ方式でのいくつかの利点を妨げてしまいます。ADC0801 シリーズでは、各チャンネルに対してその差動入力が個別にスパン調整を可能にします。さらにすべてのアナログ入力チャンネルは同時に感知され、すべての変換は同時に起こるので、基本的にはチャンネルの数でマイクロプロセッサの全システムサービス時間を分割します。この方法は Figure 17 に示しています。



Note 20: カッコの数字は MC6800CPU 端子出力に関するものです。

Note 21: カギカッコの数字または文字は標準の M6800 システムに共通のバス・コードに関するものです。

FIGURE 15. ADC0801-MC6800 CPU Interface

機能説明 (つづき)

SAMPLE PROGRAM FOR Figure 15 ADC0801-MC6800 CPU INTERFACE

```

0010    DF 36          DATAIN    STX      TEMP2          ; Save contents of X
0012    CE 00 2C          LDX      #$002C          ; Upon  $\overline{IRQ}$  low CPU
0015    FF FF F8          STX      $FFF8          ; jumps to 002C
0018    B7 50 00          STAA     $5000          ; Start ADC0801
001B    0E              CLI              ;
001C    3E          CONVRT    WAI              ; Wait for interrupt
001D    DE 34          LDX      TEMP1
001F    8C 02 0F          CPX      #$020F          ; Is final data stored?
0022    27 14          BEQ      ENDP
0024    B7 50 00          STAA     $5000          ; Restarts ADC0801
0027    08              INX
0028    DF 34          STX      TEMP1
002A    20 F0          BRA      CONVRT
002C    DE 34          INTRPT    LDX      TEMP1
002E    B6 50 00          LDAA     $5000          ; Read data
0031    A7 00          STAA     X              ; Store it at X
0033    3B              RTI
0034    02 00          TEMP1    FDB      $0200          ; Starting address for
                                ; data storage

0036    00 00          TEMP2    FDB      $0000
0038    CE 02 00          ENDP    LDX      #$0200          ; Reinitialize TEMP1
003B    DF 34          STX      TEMP1
003D    DE 36          LDX      TEMP2
003F    39              RTS              ; Return from subroutine
                                ; To user's program

```

Note 22: サブルーチンとインタラプト (割り込み) をサービスするマイクロプロセッサのために、スタック・ポインタはユーザーのプログラムによって確保されなくてはなりません。

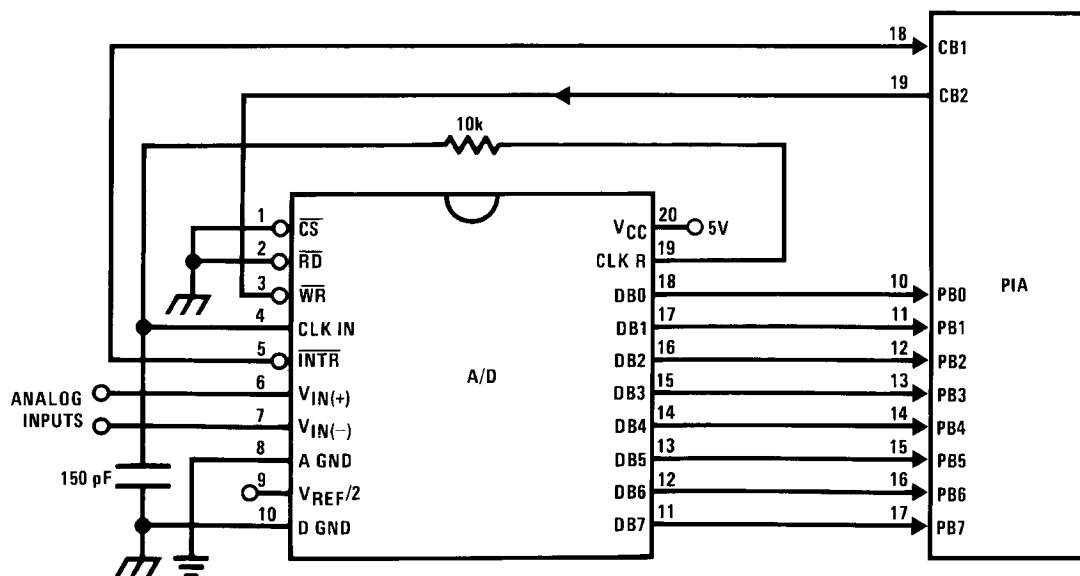


FIGURE 16. ADC0801-MC6820 PIA Interface

機能説明 (つづき)

SAMPLE PROGRAM FOR Figure 16 ADC0801-MC6820 PIA INTERFACE

```

0010      CE 00 38      DATAIN      LDX      #$0038      ; Upon  $\overline{\text{IRQ}}$  low CPU
0013      FF FF F8      STX      $FFF8      ; jumps to 0038
0016      B6 80 06      LDAA      PIAORB      ; Clear possible  $\overline{\text{IRQ}}$  flags
0019      4F      CLRA
001A      B7 80 07      STAA      PIACRB
001D      B7 80 06      STAA      PIAORB      ; Set Port B as input
0020      0E      CLI
0021      C6 34      LDAB      #$34
0023      86 3D      LDAA      #$3D
0025      F7 80 07      CONVRT      STAB      PIACRB      ; Starts ADC0801
0028      B7 80 07      STAA      PIACRB
002B      3E      WAI      ; Wait for interrupt
002C      DE 40      LDX      TEMP1
002E      8C 02 0F      CPX      #$020F      ; Is final data stored?
0031      27 0F      BEQ      ENDP
0033      08      INX
0034      DF 40      STX      TEMP1
0036      20 ED      BRA      CONVRT
0038      DE 40      INTRPT      LDX      TEMP1
003A      B6 80 06      LDAA      PIAORB      ; Read data in
003D      A7 00      STAA      X      ; Store it at X
003F      3B      RTI
0040      02 00      TEMP1      FDB      $0200      ; Starting address for
                                ; data storage
0042      CE 02 00      ENDP      LDX      #$0200      ; Reinitialize TEMP1
0045      DF 40      STX      TEMP1
0047      39      RTS      ; Return from subroutine
                                PIAORB      EQU      $8006      ; To user's program
                                PIACRB      EQU      $8007

```

次の回路とサンプル・サブルーチン (DATA IN) は MC6800 CPU に対し、8 個の ADC0801 に直接インタフェースするのに使用できます。この方式はそれ (8 個) 以上のコンバータとのインタフェースを容易に拡張できます。こうした形態では、MC6800 メモリスペースの HEX (16 進) アドレス 5000 にそのコンバータが (自由に) 配置されています。部品点数を減らすために、そのクロック信号は第 1 番目のコンバータにおけるただ 1 つの RC 対から導かれ、この出力が他の A/D を駆動します。

HEX アドレス 5000 での STORE 命令ですべてのコンバータは同時に始動します。5XXX 形態の他の HEX アドレスは、 $\overline{\text{CS}}$ 入力をすべて Low にする回路によりデコードされます。もっと完成されたアドレスデコード方式を使ってこれを容易に避けられます。マイクロプロセッサが割り込みされる前に全 A/D が確実にその変換を完了しているように、すべての割り込みを一緒に OR 演算します。

サブルーチン、DATA IN はユーザー・プログラムのどこからでも呼び出せます。一度呼び出すと、このサブルーチンが CPU をイニシャライズ (初期化) し、同時に全コンバータをスタートさせ、割り

込み信号に対してはウェイト (待ち) をかけます。割り込みの受け付けで CPU は (HEX アドレス 5000 ~ 5007 の間で) コンバータを読み込み、そしてユーザーのプログラムに復帰する前に (任意に選択された) HEX アドレス 0200 ~ 0207 で連続的にそのデータを蓄積 (ストア) します。その後 CPU レジスタはすべて DATA IN をサービスする前に持っていた最初のデータに復帰します。

5.2 自動ゼロ調整差動トランスデューサ・アンプと A/D コンバータ

ADC0801 シリーズの差動入力、差動型トランスデューサのためのシングルエンド変換に対し、差動を形成する必要性をなくします。つまり、シングルエンド変換に対する差動は ADC0801 シリーズの差動入力により準備されているので、オペアンプ 1 つを省略できます。一般的に、十分に A/D コンバータ入力のダイナミック範囲をかせぐためにはトランスデューサにブリアンプを必要とします。



機能説明 (つづき)

SAMPLE PROGRAM FOR Figure 17 INTERFACING MULTIPLE A/D's IN AN MC6800 SYSTEM

ADDRESS	HEX CODE		MNEMONICS		COMMENTS
0010	DF 44	DATAIN	STX	TEMP	; Save Contents of X
0012	CE 00 2A		LDX	#\$002A	; Upon $\overline{\text{IRQ}}$ LOW CPU
0015	FF FF F8		STX	\$\$\$F8	; Jumps to 002A
0018	B7 50 00		STAA	\$5000	; Starts all A/D's
001B	0E		CLI		
001C	3E		WAI		; Wait for interrupt
001D	CE 50 00		LDX	\$\$\$5000	
0020	DF 40		STX	INDEX1	; Reset both INDEX
0022	CE 02 00		LDX	\$\$\$0200	; 1 and 2 to starting
0025	DF 42		STX	INDEX2	; addresses
0027	DE 44		LDX	TEMP	
0029	39		RTS		; Return from subroutine
002A	DE 40	INTRPT	LDX	INDEX1	; INDEX1 $\rightarrow$ X
002C	A6 00		LDAA	X	; Read data in from A/D at X
002E	08		INX		; Increment X by one
002F	DF 40		STX	INDEX1	; X $\rightarrow$ INDEX1
0031	DE 42		LDX	INDEX2	; INDEX2 $\rightarrow$ X

SAMPLE PROGRAM FOR Figure 17 INTERFACING MULTIPLE A/D's IN AN MC6800 SYSTEM

ADDRESS	HEX CODE		MNEMONICS		COMMENTS
0033	A7 00		STAA	X	; Store data at X
0035	8C 02 07		CPX	\$\$\$0207	; Have all A/D's been read?
0038	27 05		BEQ	RETURN	; Yes: branch to RETURN
003A	08		INX		; No: increment X by one
003B	DF 42		STX	INDEX2	; X $\rightarrow$ INDEX2
003D	20 EB		BRA	INTRPT	; Branch to 002A
003F	3B	RETURN	RTI		
0040	50 00	INDEX1	FDB	\$5000	; Starting address for A/D
0042	02 00	INDEX2	FDB	\$0200	; Starting address for data storage
0044	00 00	TEMP	FDB	\$0000	

Note 25: サブルーチンとインタラプト (割り込み) をサービスするマイクロプロセッサのために、スタック・ポインタはユーザーのプログラムで確保されなくてはなりません。

DC 入力信号の増幅で、主なシステム誤差はプリアンプとして使われるアンプの入力オフセット電圧です。Figure 18 は 100 倍の利得を持つ差動プリアンプであり、このプリアンプのオフセット電圧誤差は INS8080A マイクロプロセッサ・システムにより実行されるゼロ調整サブルーチンによりキャンセルされます。プリアンプの全許容入力オフセット電圧誤差は 1/4 LSB に対しわずか 50 μV です。これは明らかに非常に精密なアンプを必要としています。プリアンプの差動出力電圧に対する式は、次のとおりです。

$$V_O = \underbrace{[V_{IN(+)} - V_{IN(-)}]}_{\text{SIGNAL}} \underbrace{\left[1 + \frac{2R_2}{R_1}\right]}_{\text{GAIN}} + \underbrace{(V_{OS2} - V_{OS1} - V_{OS3} \pm I_X R_X)}_{\text{DC ERROR TERM}} \underbrace{\left(1 + \frac{2R_2}{R_1}\right)}_{\text{GAIN}}$$

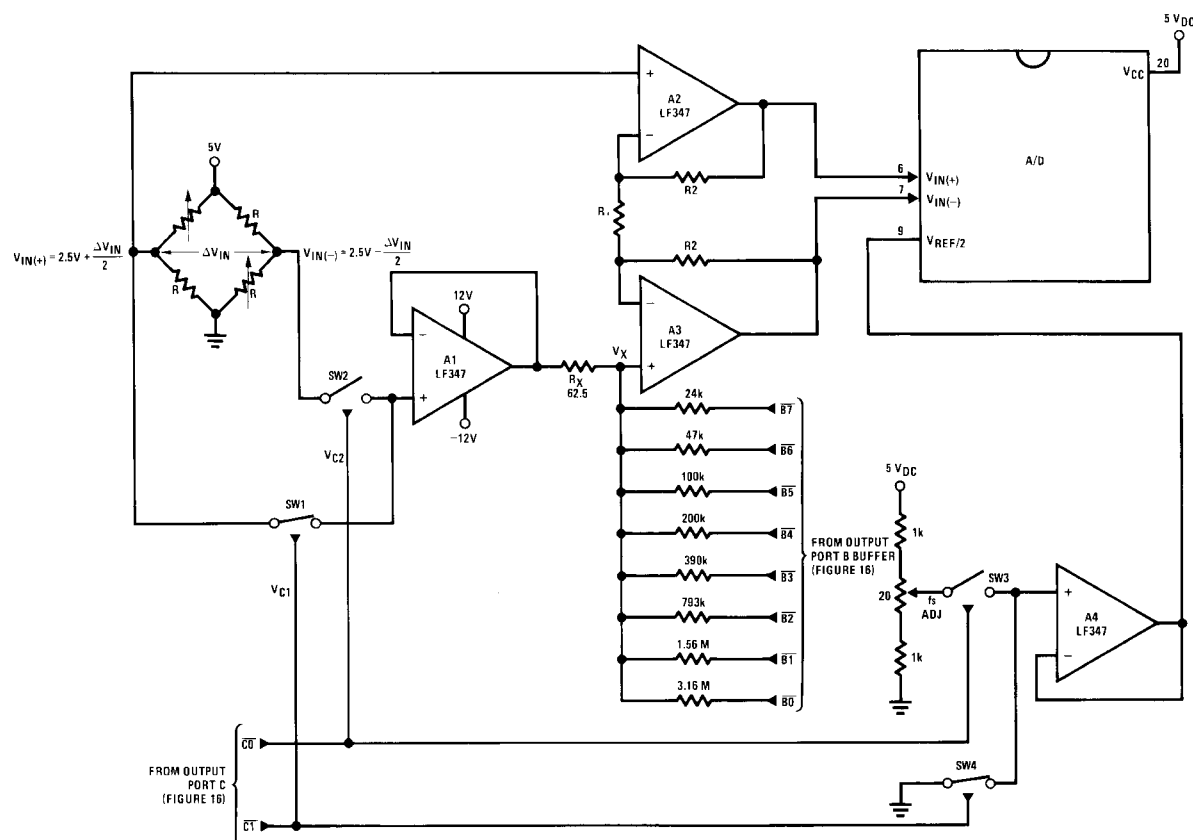
I_X は抵抗 R_X を通じて流れる電流です。すべてのオフセット誤差項は $\pm I_X R_X = V_{OS1} + V_{OS3} - V_{OS2}$ にすれば、キャンセル (打ち消す) できます。これがこの自動ゼロ調整方式の原理です。

INS8080A は自動ゼロ調整と Figure 19 に示すように ADC0801 からの入力データを制御するために、INS8255 プログラマブル周辺インタフェース (PPI) の 3 つの I/O ポートを使っています。この PPI は入力ポートであるポート A と、出力ポートであるポート B、C を使って基本的な I/O 動作 (モード 0) 用にプログラムされます。ポート C の 2 つのビットはプリアンプの入力で 2 つのスイッチを交互に開閉するのに使われています。スイッチ SW1 はゼロ調整サブルーチンの間プリアンプの差動入力をゼロに強制するために閉じられ、その後この SW1 は開かれます。さらにその後 SW2 が実際の差動入力信号の変換のために閉じられます。この方式で使用する 2 つのスイッチは入力アンプの入力バイアス電流のみで導通しなくてはならないスイッチの ON 抵抗に関する問題を解決します。

機能説明 (つづき)

出力ポートBは8080CPUとD/Aコンバータを形成する各出力ビットを持つ直列的にバイナリ・スケールされた抵抗により、逐次比較レジスタとして使われています。ゼロ調整サンプラーの間 V_X の電圧は差動出力電圧がゼロに等しくなるように増減します。これはポートBのいずれかの出力上のロジック“1”(5V)が V_X ノードの電圧を増加させるように、 V_X ノードに電流を供給してA1の出力における電圧をほぼ2.5Vにし、さらにその出力差動を負にすると達成されます。逆にロジック“0”(0V)は、 V_X ノードから電流を引き出して電圧を減少させ、差動出力をさらに正になるよ

うにします。示された抵抗値で、 V_X は50 μ Vの分解能で ± 12 mV動かすことができ、これがADC0801のためのフルスケールの1/4 LSBに対するオフセット誤差項をゼロにします。自動ゼロ抵抗を駆動する電圧レベルが一定であることは重要です。また対称であるためには0V ~ 5Vのロジック振幅が便利です。これを達成させるために、CMOSバッファがポートBのロジック出力信号用に使用され、このCMOSバッファは安定な5V電源で給電されています。バッファアンプA1はD/Aの出力電流をソースまたはシンクさせるうえで必要です。



Note 26: $R2 = 49.5 R1$

Note 27: スイッチはLMC13334 CMOS アナログ・スイッチ

Note 28: 自動ゼロの箇所では使われている9つの抵抗は $\pm 5\%$ の誤差のもの

FIGURE 18. Gain of 100 Differential Transducer Preamp

機能説明 (つづき)

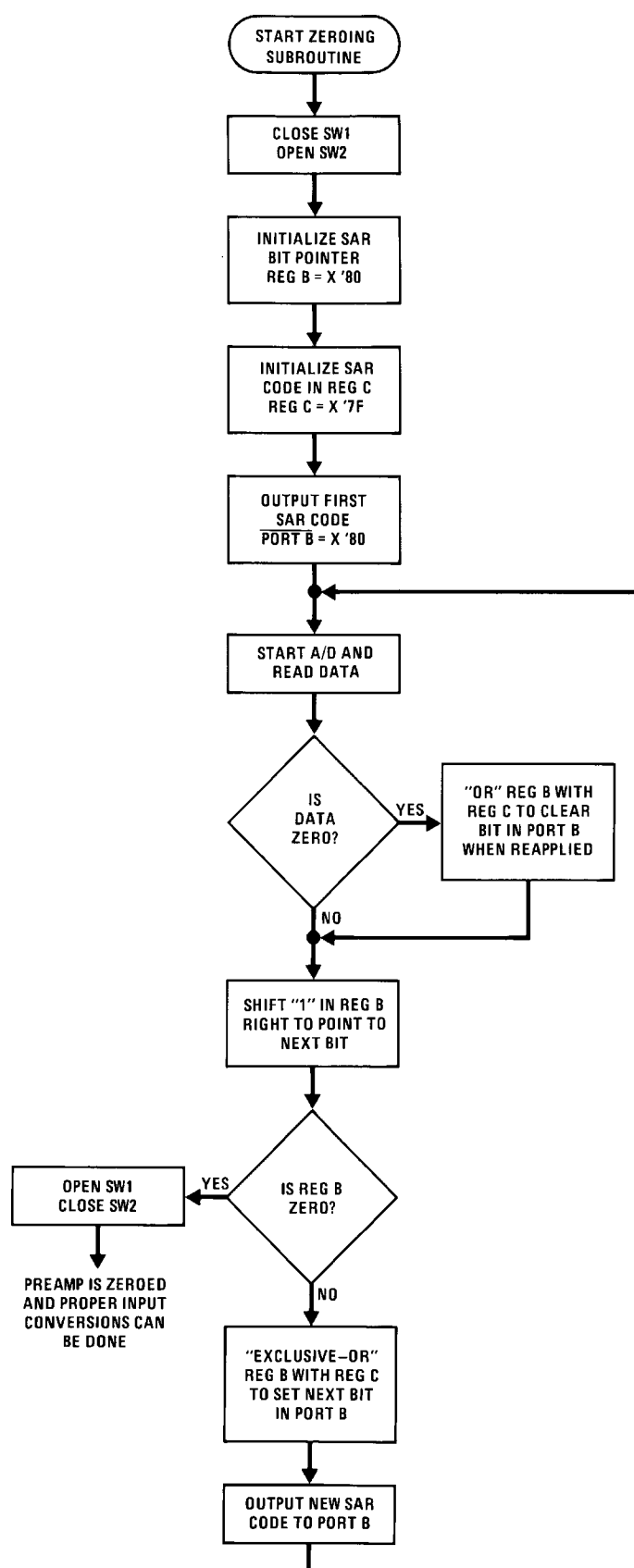


FIGURE 20. Flow Chart for Auto-Zero Routine

機能説明 (つづき)

3D00	3E90	MVI 90		
3D02	D3E7	Out Control Port		; Program PPI
3D04	2601	MVI H 01	Auto-Zero Subroutine	
3D06	7C	MOV A, H		
3D07	D3E6	OUT C		; Close SW1 open SW2
3D09	0680	MVI B 80		; Initialize SAR bit pointer
3D0B	3E7F	MVI A 7F		; Initialize SAR code
3D0D	4F	MOV C, A	Return	
3D0E	D3E5	OUT B		; Port B = SAR code
3D10	31AA3D	LXI SP 3DAA	Start	; Dimension stack pointer
3D13	D3E4	OUT A		; Start A/D
3D15	FB	IE		
3D16	00	NOP	Loop	; Loop until $\overline{\text{INT}}$ asserted
3D17	C3163D	JMP Loop		
3D1A	7A	MOV A, D	Auto-Zero	
3D1B	C600	ADI 00		
3D1D	CA2D3D	JZ Set C		; Test A/D output data for zero
3D20	78	MOV A, B	Shift B	
3D21	F600	ORI 00		; Clear carry
3D23	1F	RAR		; Shift "1" in B right one place
3D24	FE00	CPI 00		; Is B zero? If yes last
3D26	CA373D	JZ Done		; approximation has been made
3D29	47	MOV B, A		
3D2A	C3333D	JMP New C		
3D2D	79	MOV A, C	Set C	
3D2E	B0	ORA B		; Set bit in C that is in same
3D2F	4F	MOV C, A		; position as "1" in B
3D30	C3203D	JMP Shift B		
3D33	A9	XRA C	New C	; Clear bit in C that is in
3D34	C30D3D	JMP Return		; same position as "1" in B
3D37	47	MOV B, A	Done	; then output new SAR code.
3D38	7C	MOV A, H		; Open SW1, close SW2 then
3D39	EE03	XRI 03		; proceed with program. Preamp
3D3B	D3E6	OUT C		; is now zeroed.
3D3D		•	Normal	
		•		
		•		
		Program for processing proper data values		
3C3D	DBE4	IN A	Read A/D Subroutine	; Read A/D data
3C3F	EEFF	XRI FF		; Invert data
3C41	57	MOV D, A		
3C42	78	MOV A, B		; Is B Reg = 0? If not stay
3C43	E6FF	ANI FF		; in auto zero subroutine
3C45	C21A3D	JNZ Auto-Zero		
3C48	C33D3D	JMP Normal		

Note 29: すべての数値は 16 進法で表現しています。

FIGURE 21. Software for Auto-Zeroed Differential A/D

5.3 Z-80R 割り込み駆動モードにおける複数の A/D コンバータ (つづき)

以下の事項が適用されます。

- 有効な割り込みが認知 (CPU は割り込みモード 1 にあります) されると、CPU は自動的に RST 7 命令を実行するものと仮定しています。つまりサブルーチンは X0038 のスタート・アドレスにあります。
- Z-80 からのアドレス・バスと Z-80 に対するデータ・バスはバス・ドライバにより反転されるものとします。
- A/D データと認識ワードは任意に選ばれたアドレス X3E00 でスタートするシーケンシャル・メモリ・ロケーションで格納されるものとします。

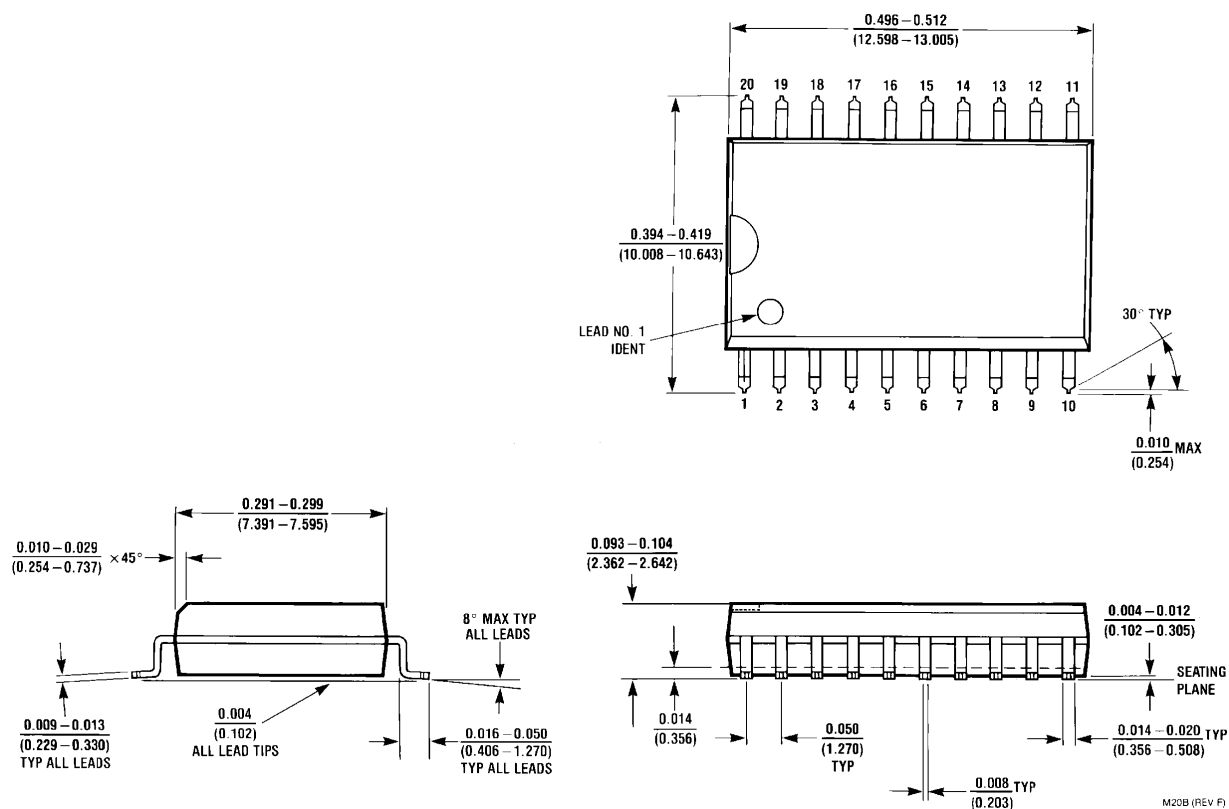
- RST 7 命令は自動的にスタック上に PC をプッシュし、そしてそのサブルーチンが追加の 6 スタック・アドレスを使用する際に、メインプログラでそのスタック・ポインタを確保しなくてはなりません。
- 関連する周辺は以下のポート割当てで I/O スペースにマッピングされます。

機能説明(つづき)

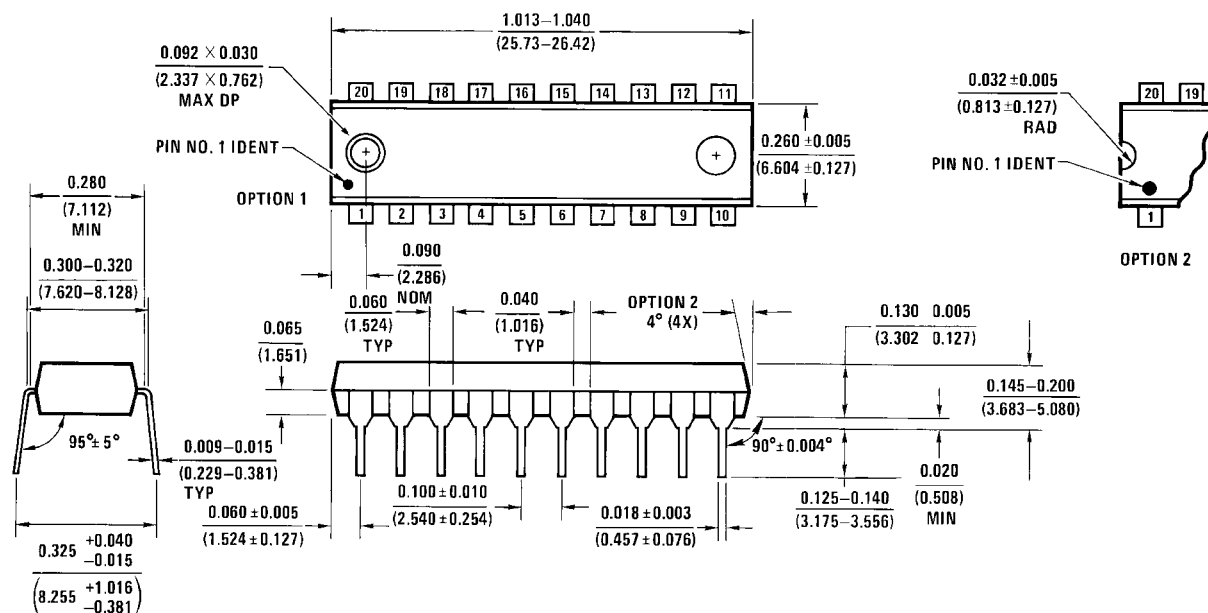
INTERRUPT SERVICING SUBROUTINE

LOC	OBJ CODE	SOURCE STATEMENT	COMMENT
0038	E5	PUSH HL	; Save contents of all registers affected by
0039	C5	PUSH BC	; this subroutine.
003A	F5	PUSH AF	; Assumed INT mode 1 earlier set.
003B	21 00 3E	LD (HL), X3E00	; Initialize memory pointer where data will be stored.
003E	0E 01	LD C, X01	; C register will be port ADDR of A/D converters.
0040	D300	OUT X00, A	; Load peripheral status word into 8-bit latch.
0042	DB00	IN A, X00	; Load status word into accumulator.
0044	47	LD B, A	; Save the status word.
0045	79	TEST LD A, C	; Test to see if the status of all A/D's have
0046	FE 08	CP, X08	; been checked. If so, exit subroutine
0048	CA 60 00	JPZ, DONE	
004B	78	LD A, B	; Test a single bit in status word by looking for
004C	1F	RRA	; a "1" to be rotated into the CARRY (an INT
004D	47	LD B, A	; is loaded as a "1"). If CARRY is set then load
004E	DA 5500	JPC, LOAD	; contents of A/D at port ADDR in C register.
0051	0C	NEXT INC C	; If CARRY is not set, increment C register to point
0052	C3 4500	JP, TEST	; to next A/D, then test next bit in status word.
0055	ED 78	LOAD IN A, (C)	; Read data from interrupting A/D and invert
0057	EE FF	XOR FF	; the data.
0059	77	LD (HL), A	; Store the data
005A	2C	INC L	
005B	71	LD (HL), C	; Store A/D identifier (A/D port ADDR).
005C	2C	INC L	
005D	C3 51 00	JP, NEXT	; Test next bit in status word.
0060	F1	DONE POP AF	; Re-establish all registers as they were
0061	C1	POP BC	; before the interrupt.
0062	E1	POP HL	
0063	C9	RET	; Return to original program

外形寸法図 特記のない限り inches (millimeters)



SO Package (M)
Order Number ADC0802LCWM or ADC0804LCWM
NS Package Number M20B



Molded Dual-In-Line Package (N)
Order Number ADC0801LCN, ADC0802LCN,
ADC0803LCN, ADC0804LCN or ADC0805LCN
NS Package Number N20A

生命維持装置への使用について

弊社の製品はナショナル セミコンダクター社の書面による許可なくしては、生命維持用の装置またはシステム内の重要な部品として使用することはできません。

1. 生命維持用の装置またはシステムとは (a) 体内に外科的に使用されることを意図されたもの、または (b) 生命を維持あるいは支持するものをいい、ラベルにより表示される使用法に従って適切に使用された場合に、これの不具合が使用者に身体的障害を与えると予想されるものをいいます。
2. 重要な部品とは、生命維持にかかわる装置またはシステム内のすべての部品をいい、これの不具合が生命維持用の装置またはシステムの不具合の原因となりそれらの安全性や機能に影響を及ぼすことが予想されるものをいいます。

ナショナル セミコンダクター ジャパン株式会社

本社 / 〒 135-0042 東京都江東区木場 2-17-16

TEL.(03)5639-7300

技術資料（日本語 / 英語）はホームページより入手可能です。

www.national.com/JPN/

その他のお問い合わせはフリーダイヤルをご利用ください。



0120-666-116

ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated（TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかご確認下さい。全ての製品は、お客様とTIJとの間に取り引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定されうる危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは是認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション（例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの）に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されていません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されていません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2011, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光が当たる状態で保管・輸送しないこと。

3. 防湿梱包

- 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。

4. 機械的衝撃

- 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。

5. 熱衝撃

- はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）

6. 汚染

- はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
- はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上