

サンプルアンドホールド回路

μ PC649/398 は、バイポーラ・トランジスタ入力高速バッファ・アンプと P チャネル J-FET バッファ・アンプを組合わせて構成された高性能サンプル・アンド・ホールド回路です。

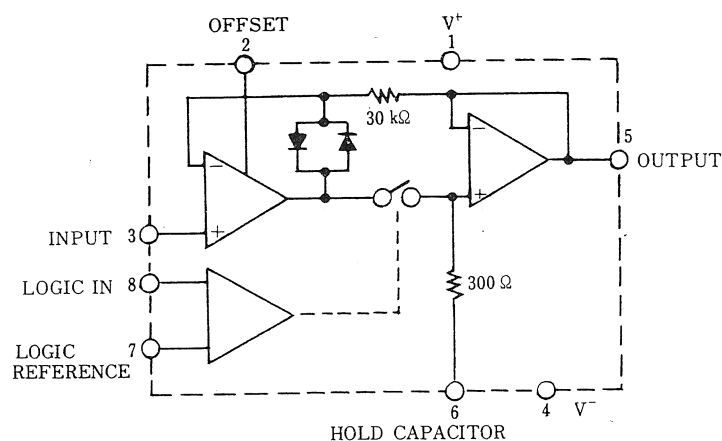
ロジック入力は、そのスレッシュホールド・レベルが可変できるため、TTL を始めとした各種ロジック信号による駆動が可能です。

通信工業用として、 μ PC649、一般用として、 μ PC398 があり、用途に応じて最適の品種が選択できます。

特 徴

- 高速アクイジション・タイム $2.5 \mu\text{s}$ TYP.
($C_{\text{hold}} = 1000 \text{ pF}$, 1% エラー)
- 低ゲイン・エラー 0.003% TYP.
- 低ホールドモードリーク 50 pA TYP.
- 低ドループ・レート $300 \mu\text{V/s}$ TYP. ($C_{\text{hold}} = 0.1 \mu\text{F}$)
- TTL, CMOS コンパチブルロジック入力
- 8 ピン・デュアルインライン・パッケージ

等価ブロック図



オーダ情報

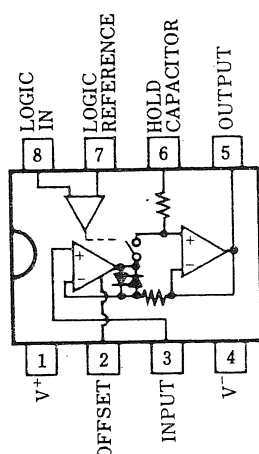
オーダ名称	パ ッ ケ ー ジ
μ PC649D	8 ピン・セラミック DIP (300 mil)
μ PC649C	8 ピン・プラスチック DIP (300 mil)
μ PC398C	8 ピン・プラスチック DIP (300 mil)

外形図

μ PC649D TYPE 11

μ PC649C/398C TYPE 17

端子接続, 機能



端子	端子名	機能
1	V^+	正電源
2	OFFSET	オフセット調整端子
3	INPUT	アナログ入力
4	V^-	負電源
5	OUTPUT	出力
6	HOLD CAPACITOR	ホールド・コンデンサを接続する
7	LOGIC REFERENCE	ロジック・スレッシュホールドを決定
8	LOGIC IN	ロジック入力

絶対最大定格 ($T_a = 25^\circ\text{C}$)

項目	略号	μ PC649D	μ PC649C	μ PC398C	単位
電源電圧	$V^+ - V^-$	36			V
入力電圧	V_{IN}	電源電圧まで許容			V
ロジック入力端子差動入力電圧 (注)	$V_{LOGIC IN} - V_{LOGIC REF}$	$-30 \sim +7$ (絶対値は $V^- \sim V^+$)			V
出力短絡時間		無限大			s
ホールド・コンデンサ出力端子短絡時間		10			s
全損失	P_T	500	350	350	mW
動作温度	T_{opt}	$-20 \sim +80$	$-20 \sim +70$	$0 \sim +70$	$^\circ\text{C}$
保存温度	T_{stg}	$-55 \sim +150$	$-55 \sim +125$	$-55 \sim +125$	$^\circ\text{C}$

注) 7 pin を基準とした 8 pin への許容入力電圧

推奨動作条件 ($V^\pm = \pm 15\text{ V}$, $T_a = 25 \pm 3^\circ\text{C}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
電源電圧	$V^\pm$		± 5	± 15	± 16.5	V
入力電圧	V_{IN}		$V^- + 3.5$		$V^+ - 3.5$	V
サンプル・モードロジック入力電圧	$V_{LOGIC IN}(\text{Sample})$	$V_{LOGIC REF} = 0\text{ V}$	2.5		5.5	V
		$V_{LOGIC IN} - V_{LOGIC REF} \leq 7\text{ V}$	$V_{LOGIC REF} + 2.5$		$V^+ - 2$	V
ホールド・モードロジック入力電圧	$V_{LOGIC IN}(\text{Hold})$	$V_{LOGIC REF} = 0\text{ V}$	-12		0.7	V
			$V^- + 3$		$V_{LOGIC REF} + 0.7$	V
ロジック入力電圧スリューレート	dV/dt		0.2			V/ μs

電気的特性

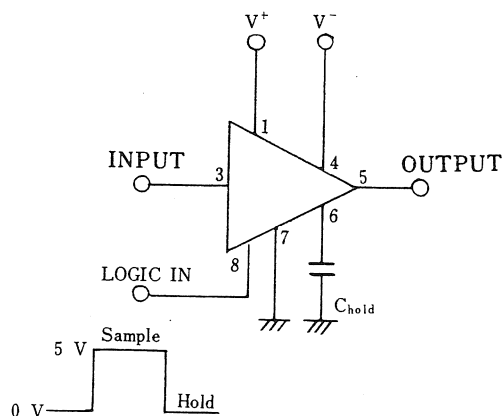
特に指定の無い場合は、 $V^{\pm} = \pm 15 \text{ V}$, $T_a = 25^{\circ}\text{C}$

項 目	略号	条 件	MIN.	TYP.	MAX.	単位
入力オフセット電圧	V_{IO}	$V^{\pm} = \pm 5.0 \text{ V} \sim \pm 18 \text{ V}$		2.0	7.0	mV
		(注1)			10	
入力バイアス電流 (注2)	I_B			10	50	nA
		(注1)			100	
入力インピーダンス	R_I			10^{10}		Ω
ゲイン・エラー		$R_L = 10 \text{ k}\Omega$		0.003	0.01	%
		" (注1)			0.02	
ホールド・モード 入出力間アイソレーション		$f = 1 \text{ kHz}$, $C_{\text{hold}} = 0.01 \mu\text{F}$	80	96		dB
出力インピーダンス	R_O	ホールドモード		0.5	4.0	Ω
		" (注1)			6.0	
ホールドステップ電圧		ロジック入力5 V, $C_{\text{hold}} = 0.01 \mu\text{F}$		0.1	2.5	mV
ホールド・コンデンサ 端子リーク電流		ホールドモード		50	200	pA
アキュジション・タイム	t_{AC}	$\Delta V_{\text{OUT}} = 10 \text{ V}$, $C_{\text{hold}} = 1000 \text{ pF}$, 0.1 %		2.5		μs
		" , $C_{\text{hold}} = 0.01 \mu\text{F}$, "		8		
ホールド・コンデンサ 端子出力電流	I_{ch}	サンプルモード, $V_{\text{IN}} - V_{\text{OUT}} = 2 \text{ V}$		10		mA
ロジック入力電流 (注2)	I_{ID}			2	10	μA
電源変動除去比	SVR	$V_{\text{OUT}} = 0$	80	110		dB
回路電流	I_{CC}	サンプルモード			6.5	mA
		ホールドモード			6.5	

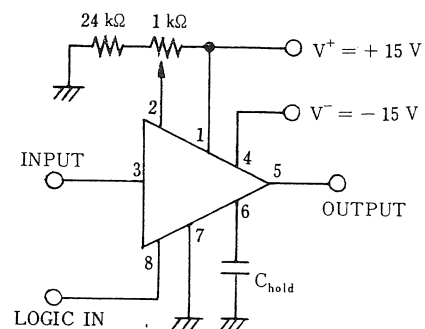
(注1) 各品種の動作温度範囲内 μPC649D $-20 \sim +80^{\circ}\text{C}$
 μPC649C $-20 \sim +70^{\circ}\text{C}$
 μPC398C $0 \sim +70^{\circ}\text{C}$

(注2) 電流はICへ流入します。

標準応用回路例



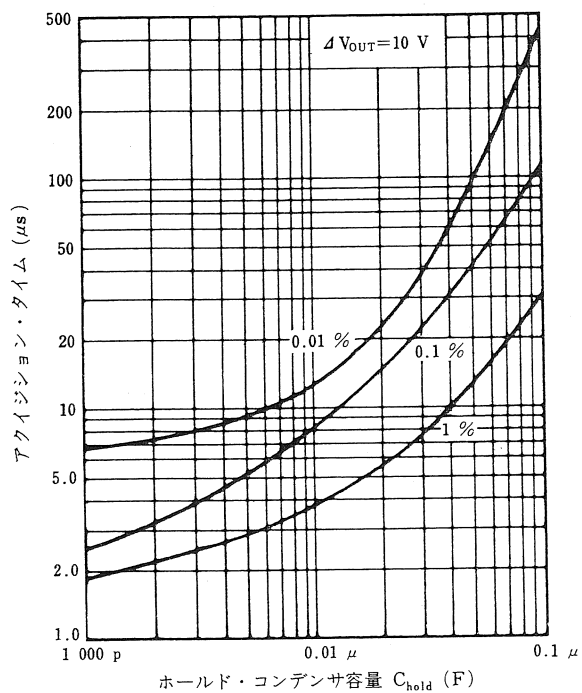
オフセット調整方法



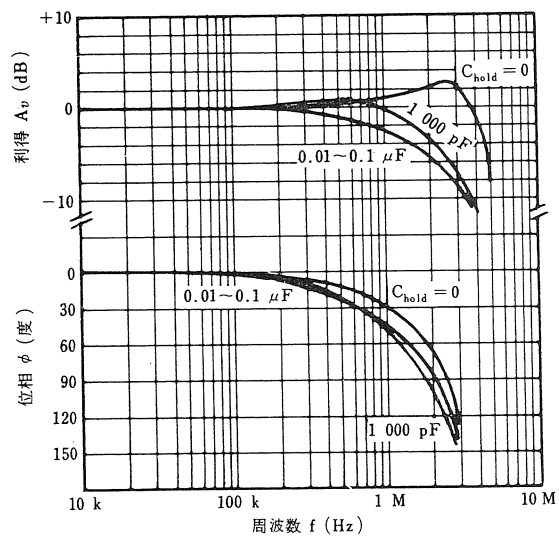
注) オフセット調整を必要としない応用回路では、
2 pin をオープンにしてご使用ください。

標準特性 ($T_a = 25^\circ\text{C}$, $V^\pm = \pm 15\text{V}$)

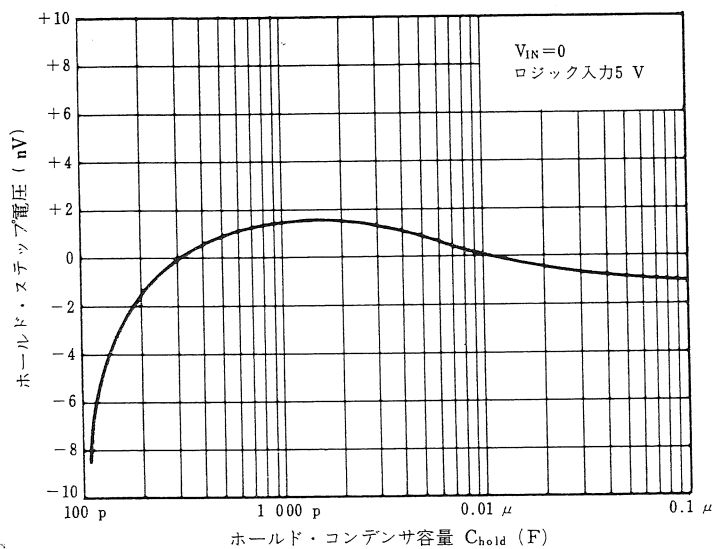
アキュイジション・タイム 特性



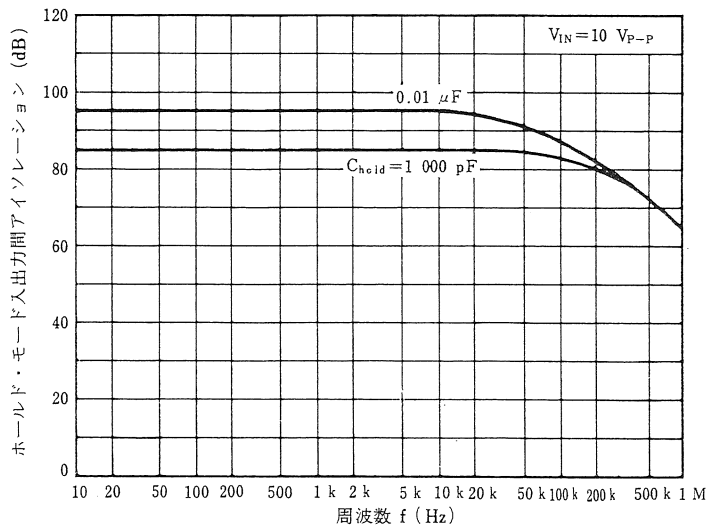
利得, 位相一周波数 特性



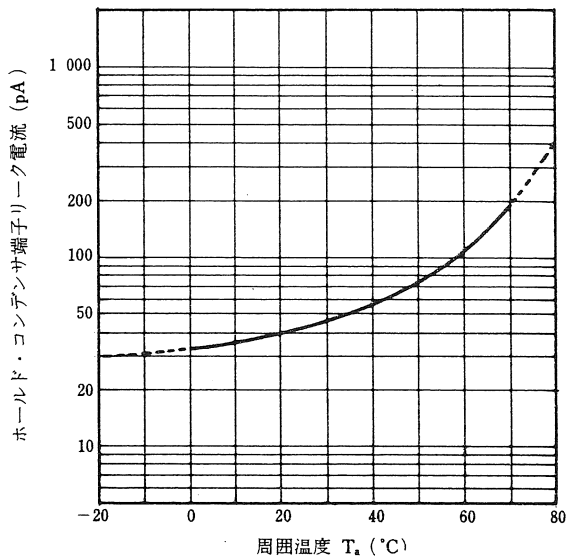
ホールド・ステップ電圧 特性



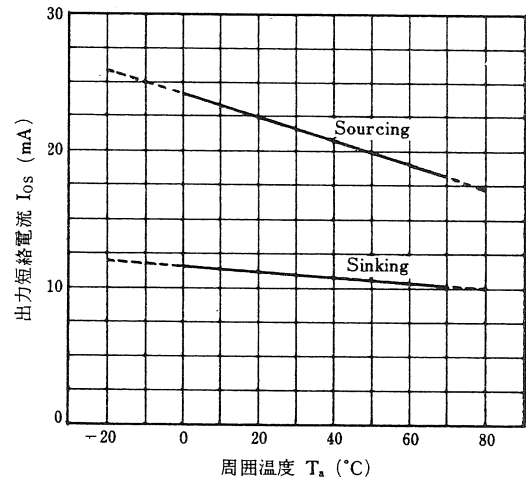
ホールド・モード入出力間アイソレーション 特性



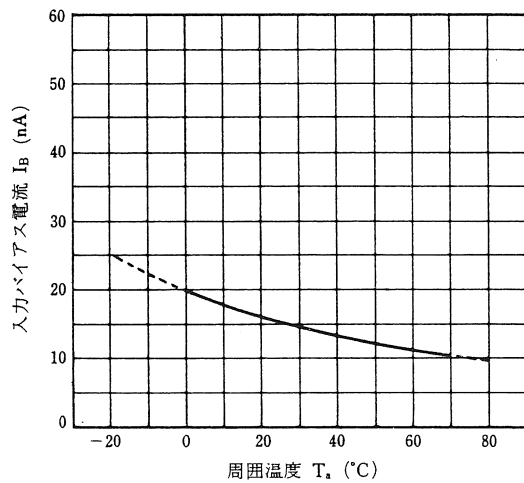
ホールド・コンデンサ端子リーク電流-温度 特性
(ホールド・モード)



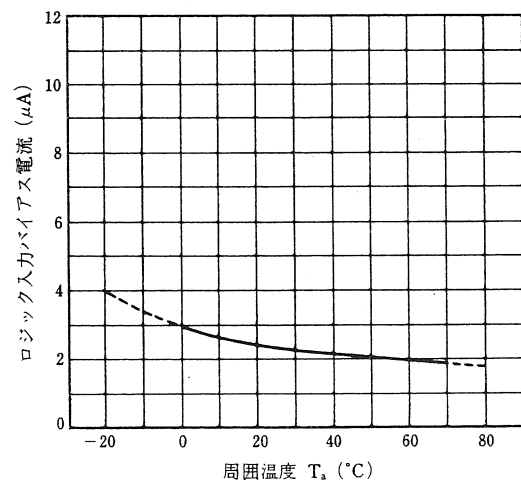
出力短絡電流-温度 特性



入力バイアス電流-温度 特性



ロジック入力バイアス電流-温度 特性

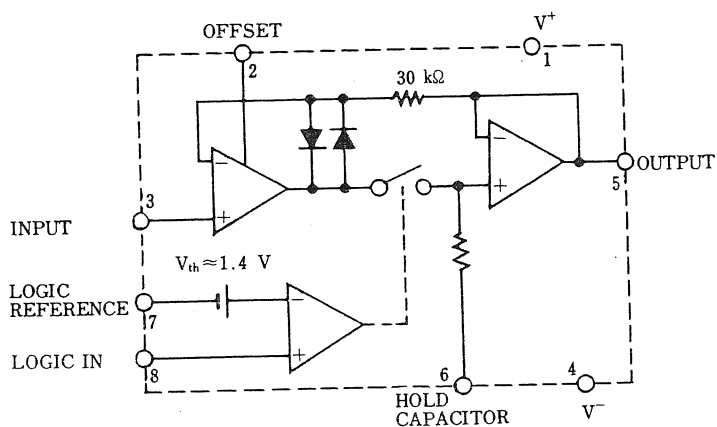


ロジック入力端子の使用法

ロジック入力端子(8ピン), ロジック基準入力端子(7ピン)は差動入力形式となっており, 内部に約 1.4 V のスレッシュホールド電圧を有しています。その等価回路は下図のように表せます。

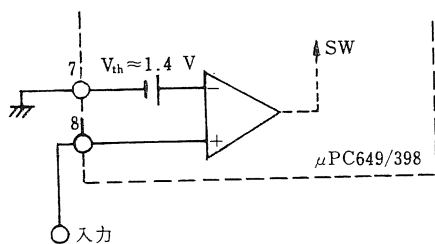
また, 外部からバイアスを与えて, スレッシュホールド電圧を設定することにより各種ロジック信号でドライブできます。次にドライブ例を示します。

- (注) ① 7ピン, 8ピンの同相入力電圧範囲は $V^- + 3 \sim V^+ - 2$ (V) です。この範囲を越えないよう, ご注意ください。
(ロジック信号が, この範囲外の際は(3)オペアンプによるドライブを参照してください。)
- ② 7ピン, 8ピンには, ロジック入力電流 ($2 \mu\text{A}$ TYP.) が流れ込みますので, 抵抗分割等でバイアスを与える際はご注意ください。



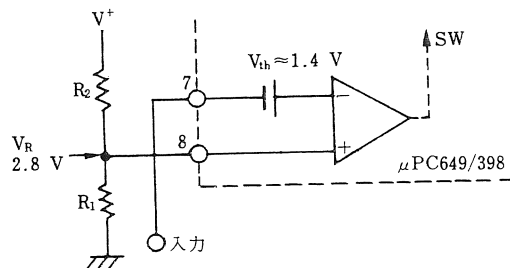
(1) TTL, LSTTL, CMOS ($V_{DD} = +5 \text{ V}$), コンパレータ ($V^+ = +5 \text{ V}$) によるドライブ

● ハイレベル・ロジック信号によるサンプル

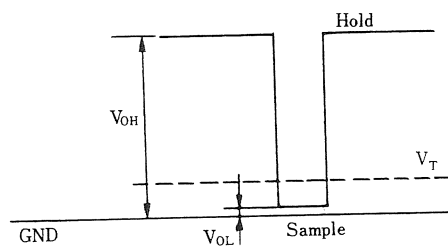
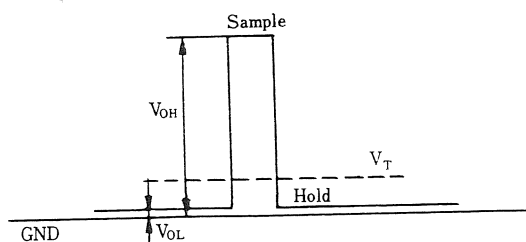


$$V_T = V_{th} \approx 1.4 \text{ V}$$

● ロウレベル・ロジック信号によるサンプル

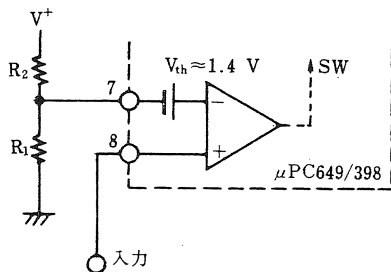


$$V_T = V_R - V_{th} \approx 2.8 - 1.4 \text{ (V)} \approx 1.4 \text{ (V)}$$



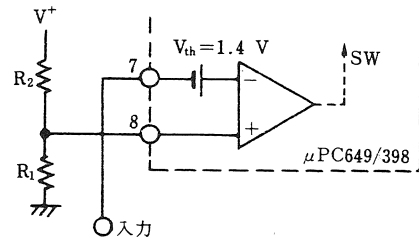
(2) CMOS ($V_{DD} \approx 12\text{ V}$) によるドライブ

● ハイレベル・ロジック信号によるサンプル



$$\text{スレッシュヨルド電圧 } V_T = V^+ \cdot \frac{R_1}{R_1 + R_2} + V_{th}$$

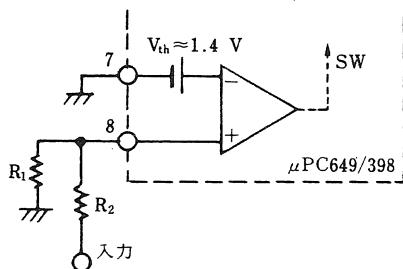
● ロウレベル・ロジック信号によるサンプル



$$\text{スレッシュヨルド電圧 } V_T = V^+ \cdot \frac{R_1}{R_1 + R_2} - V_{th}$$

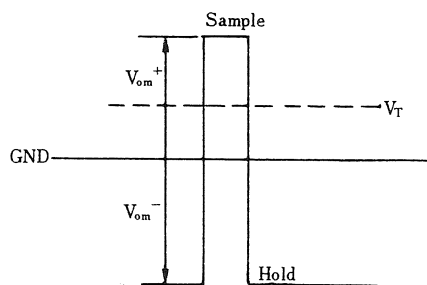
(3) オペアンプによるドライブ(ロジック信号が同相入力電圧範囲を越えている場合)

● V^+ 側飽和電圧によるサンプル

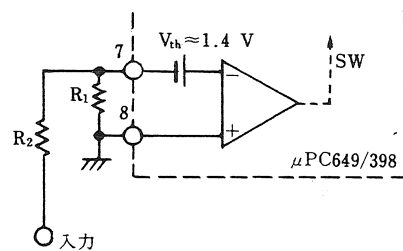


スレッシュヨルド電圧

$$V_T = V_{th} \cdot \frac{R_1 + R_2}{R_1}$$

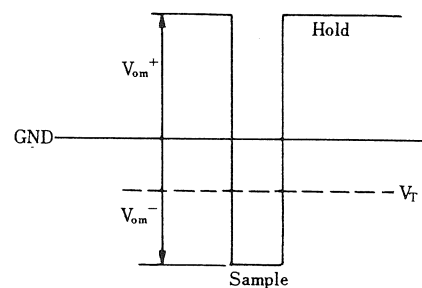


● V^- 側飽和電圧によるサンプル



スレッシュヨルド電圧

$$V_T = -V_{th} \cdot \frac{R_1 + R_2}{R_1}$$



(注) 7 ピン, 8 ピンの入力電圧が同相入力電圧範囲を越えないよう, R_1 , R_2 を設定してください。

$$V_{om}^+ \cdot \frac{R_1}{R_1 + R_2} < V^+ - 2(\text{V}), \quad V_{om}^- \cdot \frac{R_1}{R_1 + R_2} > V^- + 3(\text{V})$$

応用上の注意事項

(1) ホールド・コンデンサの選定

ホールド・コンデンサはサンプル・ホールド回路全体としての特性を決める重要なファクタです。

特にアキュジションタイム、ドループレート、ホールド・ステップはホールド・コンデンサの容量により大きく変化します。

たとえば、容量を小さくすると、アキュジションタイムは短くなり、サンプル時間を短くできますが、ドループレート、ホールド・ステップは大きくなってしまい、その誤差が増えます。また逆に容量を大きくすると、それぞれ相反した特性を示します。

したがって、実用条件を考慮し、相互にトレードオフを行って、ホールド・コンデンサの容量を決めることが必要です。

また、コンデンサは、材質によって誘電吸収による誤差が大きくなるので、これを考慮することも必要です。

推奨コンデンサ	容 量	1 000 pF ~ 10 μ F 程度
	材 質*	ポリスチレン, ポリプロピレン, テフロンポリカーボネート 等

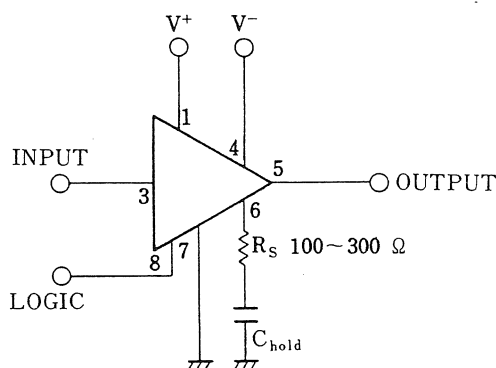
*一般的に誘電吸収が小さいコンデンサ材質です。

(2) ホールド・ステップによる誤差

ホールド・ステップは、サンプルからホールドへ切り替わった際に、内部スイッチのノイズが、ホールド・コンデンサへまわり込むため生ずるオフセットです。この値は、ホールド・コンデンサの容量の影響を受け、容量が小さいときに比較的大きなオフセットとして表れますので、注意が必要です。(標準特性図をご参照ください)

この誤差を低減するには、抵抗 (100 ~ 300 Ω 程度) をホールド・コンデンサと直列に挿入し、フィルタ効果を得ることで対策できます。

(ただし、この場合、アキュジションタイムはフィルタ時定数分の遅れを生じます。)

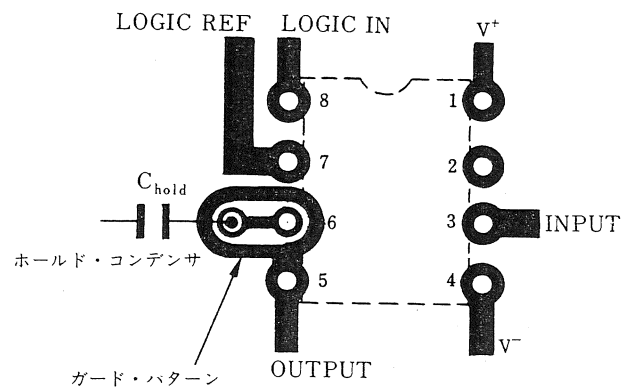


(3) デジタル・フィードスルー

ロジック入力信号の立ち上がり、あるいは立ち下がり時に、ホールドエラーを生じる場合があります。これは、ロジック信号のエッジが基板を経由してホールド・コンデンサに回り込むもので、以下のようなガード・パターンを設けることで軽減できます。

また、このガード・パターンは基板面のリークによる、ドループレート悪化にも効果があります。

ガード・パターンの例(裏面)



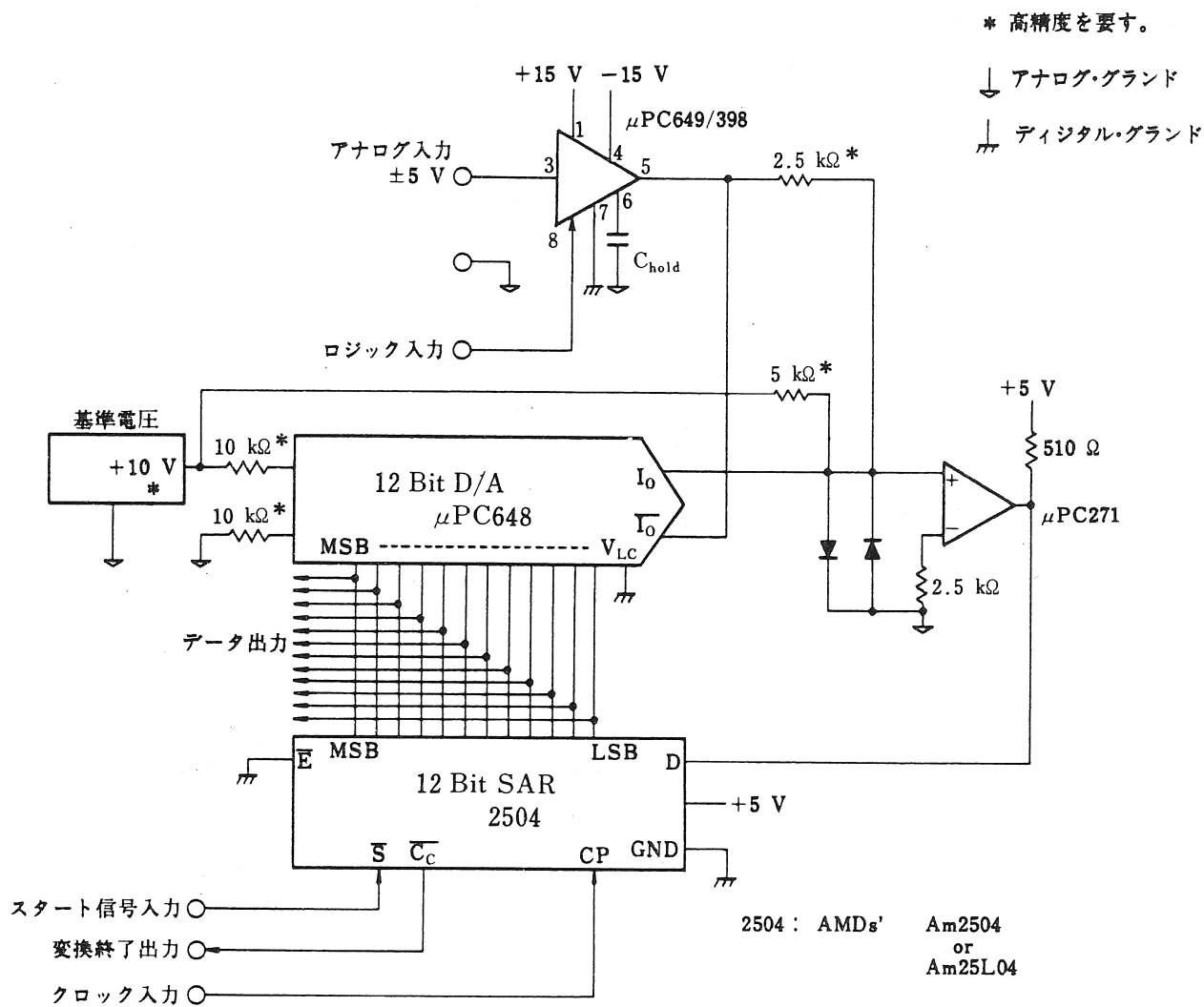
(4) ロジック入力信号

ロジック入力信号の立ち上がり、立ち下がりが非常に遅い場合、内部スイッチにチャタリングを生じ、ホールド・ステップが増加することがあります。

これを防止するには、ロジック入力信号のスリューレートを $0.2 \text{ V}/\mu\text{s}$ 以上としてください。

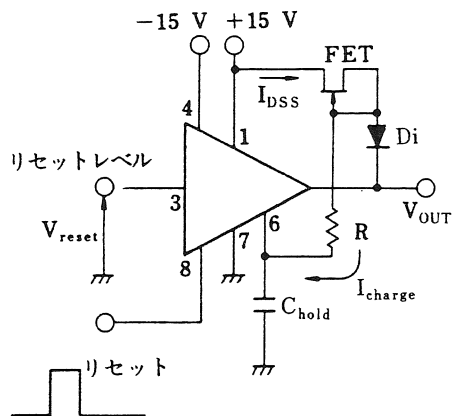
应用回路例

1. 12 Bit 逐次比較形 A/D コンバータへの応用



上図は、12 Bit 逐次比較形 A/D コンバータの回路例です。

2. 簡易ランプ波形・発生回路



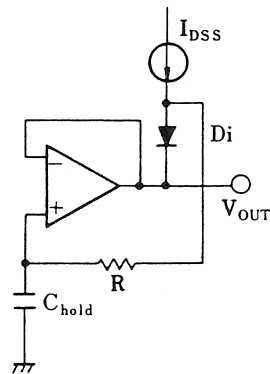
左図の回路において、FETはドレイン・ソース間がショートされており、そのドレイン電流は、 I_{DSS} となります。

D_i は、 C_{hold} の充電電流を決定する基準電圧を発生します。

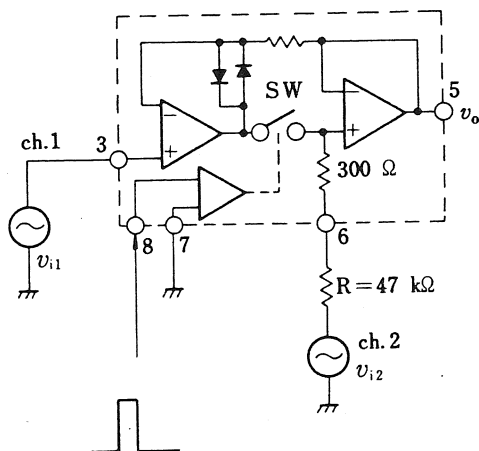
$$I_{charge} \doteq \frac{V_F}{R} \quad V_F: D_i \text{の順電圧}$$

$$\Delta V_{OUT}/\Delta T \doteq \frac{I_{charge}}{C_{hold}} \quad [V/s]$$

リセット信号によって、出力電圧はリセットレベル V_{reset} となり、解除によりそのリセットレベルから再び、ランプ波形がスタートします。



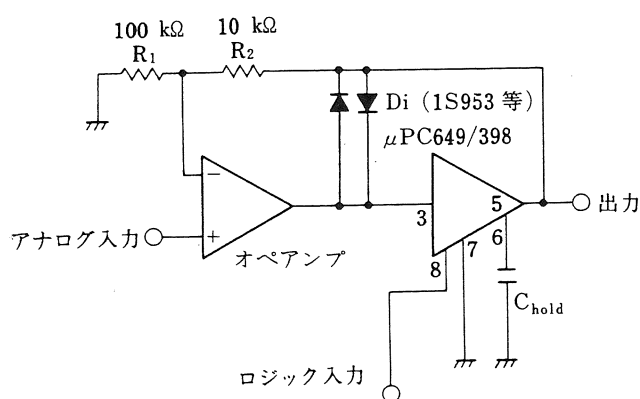
3. スイッチとしての応用



期待特性

	ch.1(入力アンプ)	ch.2(出力アンプ)
入力オフセット電圧	≒数 mV	≒数 10 mV
入力バイアス電流	≒50 nA	≒200 pA
入力抵抗	≒10 ¹⁰ Ω	≒0(サンプル・モード) (注. 直列抵抗 R が入力抵抗となります。)
帯域(−3 dB)	≒500 kHz	≒500 kHz
ひずみ率(1 kHz, 5 V _{r.m.s.})	≒0.002 %	≒0.002 %
スリューレート	≒30 V/μs	≒30 V/μs

4. 利得を持たせたサンプル・ホールド回路



左図は、利得約 100 倍のサンプル・ホールド回路です。

$$\left(A_v = 1 + \frac{R_2}{R_1} \right)$$

高精度オペアンプ(μPC815, 816 等)を初段に使い、μPC649/398 を縦続接続して、その出力からフィードバックをかけています。

Di は、μPC649/398 がホールド・モードとなった場合の、初段のオペアンプの過飽和を防止するものです。