

デジタルオーディオに必要な
高精度、低ジッタのクロックを生成

CLK_1707_D

試作実験用(PLL1707使用)

PLLクロック単独基板

PLL Clock Module Kit for Experiment

概要

オーディオ実験キット

CLK_1707_Dは、TI社の高精度、低ジッタPLLクロック発生器IC、PLL1707を使用した、PLLクロック発生器試作実験用基板の組み立てキットです。3.3V単一電源で動作します。

基準となる水晶発振器には、周波数精度 $\pm 2.5\text{ppm}$ の高精度水晶発振モジュールを使用し、PLL1707内部のPLLでさらに低ジッタの高精度クロックを作り出しています。

ジャンパ設定で、主要なサンプリング周波数に合った、8.192MHz \sim 36.864MHzまでの各種周波数のクロックが得られます。デジタルオーディオのシステムクロックに好適です。PLL1707についての詳細は、TI社のPLL1707のデータシートを見てください。応用例としては「応用篇」にいくつか、D-Aコンバータ、A-Dコンバータ、アップサンプリングなど、低ジッタ高精度クロックを使った例を載せましたので、見てください。

部品表 ※予告なく変更することがあります

	シルク印刷の番号	型番/値
1	CLK_1707_D	CLK_1707_D基板
2	IC1D	PLL1707
3	X1D	FOX924B 27.000MHz
4	C1D	積層セラミックコンデンサ 50V 0.1 μ F(104)
5	C2D	積層セラミックコンデンサ 50V 0.1 μ F(104)
6	C3D	積層セラミックコンデンサ 50V 0.1 μ F(104)
7	C4D	積層セラミックコンデンサ 50V 0.1 μ F(104)
8	C5D	オーディオ用電解コンデンサ(FW) 50V 10 μ F(相当品)
9	C6D	オーディオ用電解コンデンサ(FW) 50V 10 μ F(相当品)
10	C7D	積層セラミックコンデンサ 50V 0.1 μ F(104)
11	CN1D	ヘッダピン 2列 12ピン
12	CN2D	ヘッダピン 1列 2ピン
13	CN3D	ヘッダピン 1列 2ピン
14	CN4D	ヘッダピン 2列 12ピン
15	JP1D	ヘッダピン 2列 8ピン
16	CK_D	基板用チェックピン
17	TP_D	基板用チェックピン
18	JP1D用	ショートピン 2.54mm (3個)

CLK_1707_D基板の特徴

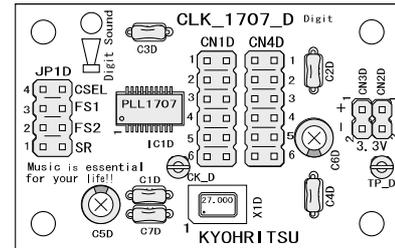
- TI社の低ジッタクロック発生用PLL IC、PLL1707を使用した、試作実験用基板です。
- 3.3V単一電源で動作します。
- 基準発振回路に、 $\pm 2.5\text{ppm}$ の高精度水晶発振モジュール(27.000MHz)を使用しています。クロック発生用IC(PLL1707)内部のPLLでさらに高精度、低ジッタのクロックを作り出しています。
- 出力クロックのジッタは50psと、低ジッタです。デジタルオーディオのシステムクロックに好適です。
- 基板上のジャンパ設定で、8.192MHz \sim 36.864MHzの各種周波数のクロックが出力できます。
- IC(PLL1707)と水晶発振モジュールはあらかじめはんだ付けされていますので、はじめての方でも易しく組み立てられます。

メカトロ&エレクトロパーツ

Digit デジット

〒556-0005大阪市浪速区日本橋4-6-7
TEL(06)6644-4555 FAX(06)6644-1744

定休日: なし(お盆、年末年始を除く)
営業時間: AM11:00~PM8:00



外形寸法(約) 51 × 33mm

目次

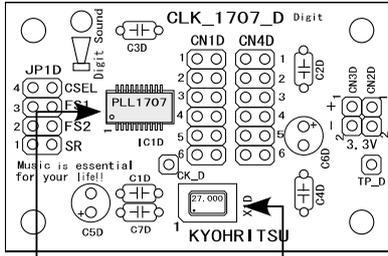
商品概要	1
部品表	1
組み立て方	2
ジャンパ設定のしかた	4
出力の取り出ししかた	6
電源の接続のしかた	6
出力の分配のしかた	6
応用例ブロックダイアグラム	7
コネクタのピンアサイン	9
ジャンパ設定表	9
回路図	10

主な仕様

- 使用IC :PLL1707(TI社)
- 基準発振回路 :27MHz($\pm 2.5\text{ppm}$)
- クロックのジッタ :50ピコ秒(標準値)
- 電源電圧 :3.3V
- 基板寸法 :約51 × 33mm
- M3ねじで取り付け可能

組み立て方

ICと水晶発振モジュールは
はんだ付け済みです



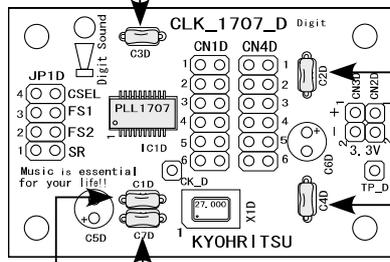
(1) PLLクロック発生器のICと、27.000MHz水晶発振モジュールはあらかじめはんだ付けされています。融けたはんだを基板に落とさないように、注意して組み立ててください。

CLK_1707_D基板を表側から見てください。白いシルク印刷で部品の図と番号が印刷されていますので、このシルク印刷を目印に部品を取り付けます。

IC1D PLL1707 X1D 水晶発振モジュール
(はんだ付け済み) 27.000MHz(はんだ付け済み)

(2) 積層セラミックコンデンサのはんだ付け(どちら向きに取り付けてもかまいません)

C3D 積層セラミック
コンデンサ 50V 0.1 μ F (104)



CLK_1707_D基板のセラミックコンデンサのシルク印刷のところに、積層セラミックコンデンサをはんだ付けします。積層セラミックコンデンサは、どちら向きに取り付けてもかまいません。

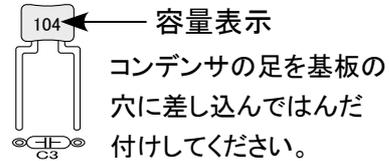
積層セラミックコンデンサ(青)

C2D 積層セラミック
コンデンサ 50V 0.1 μ F
(104)

C4D 積層セラミック
コンデンサ 50V 0.1 μ F
(104)

C7D 積層セラミック
コンデンサ 50V 0.1 μ F
(104)

C1D 積層セラミック
コンデンサ 50V 0.1 μ F (104)



容量表示
コンデンサの足を基板の
穴に差し込んで
はんだ
付けしてください。
基板上的セラミック
コンデンサのシルク印刷

(3) ヘッドピンのはんだ付け(足の短いほうを基板に差してください)

ヘッドピンは足の短いほうを基板に
はんだ付けします

CLK_1707_D基板のヘッドピンのシルク印刷のところに、ヘッドピンを差してはんだ付けします。ヘッドピンには足の長いほうと短いほうがありますので、必ず足の短いほうを基板に差してはんだ付けしてください。

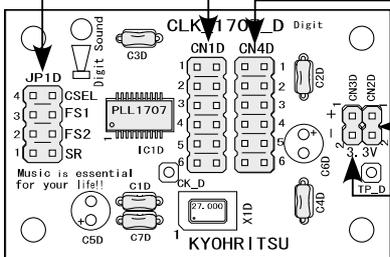
JP1D ヘッドピン
(2列 6ピン)

CN1D ヘッドピン
(2列 12ピン)

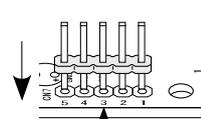
CN4D ヘッドピン
(2列 12ピン)

CN2D ヘッドピン
(1列 2ピン)

CN3D ヘッドピン
(1列 2ピン)



ヘッドピンの取り付けかた



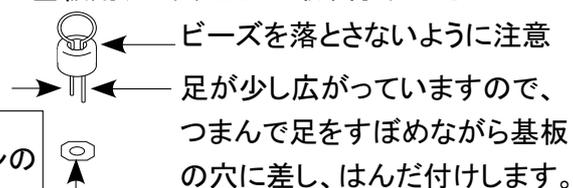
ヘッドピンの
足の短いほうを
基板に差して
はんだ付けて
ください。

ヘッドピンの
シルク印刷

(4) 基板用チェックピン(端子)のはんだ付け

CLK_1707_D基板のチェックピンのシルク印刷のところに、基板用チェックピンを差してはんだ付けします。

基板用チェックピンの取り付けかた



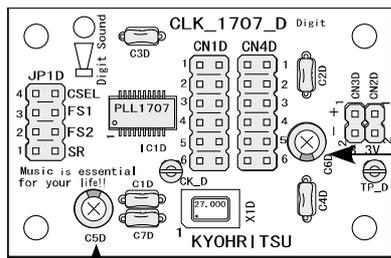
CK_D 基板用チェックピン
TP_D 基板用チェックピン

基板上的
チェックピンの
シルク印刷

電解コンデンサには極性があります

(5) 電解コンデンサのはんだ付け(取り付ける向きがありますので注意してください)

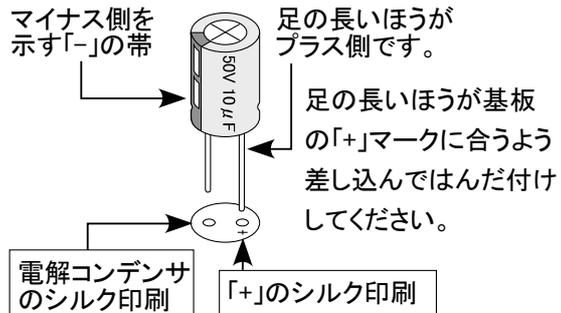
CLK_1707_D基板の電解コンデンサのシルク印刷のところに、電解コンデンサをはんだ付けします。電解コンデンサにはプラスマイナスの極性があり、足の長いほうがプラス側ですので、足の長いほうと基板のシルク印刷の「+」マークが合うように差し込んでのはんだ付けしてください。



C5D 電解コンデンサ
50V 10 μ F

C6D 電解コンデンサ
50V 10 μ F

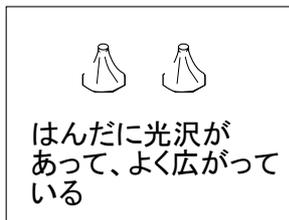
電解コンデンサの取り付けかた



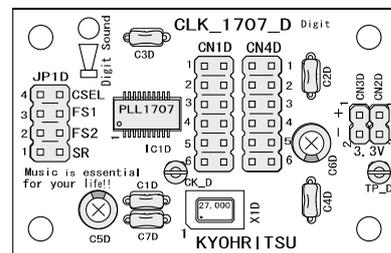
正しく組み立てられているか
チェックしてください

(6) はんだ付けをチェックしてください

部品のはんだ付けが終わったら、部品の取り付けに間違いがないか、目視でチェックしてください。基板の裏側のはんだ付けもチェックしてください。はんだ付けが悪いと、故障や動作の不安定などの原因になります。

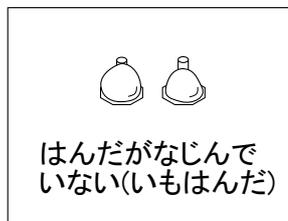


左の図は、はんだがよく広がった、良いはんだ付けの例です。



組み立てた状態

次の図は、はんだ付け不良の例です。このような箇所がありましたら、はんだ付けを直してください。(基板裏側から見た状態です)

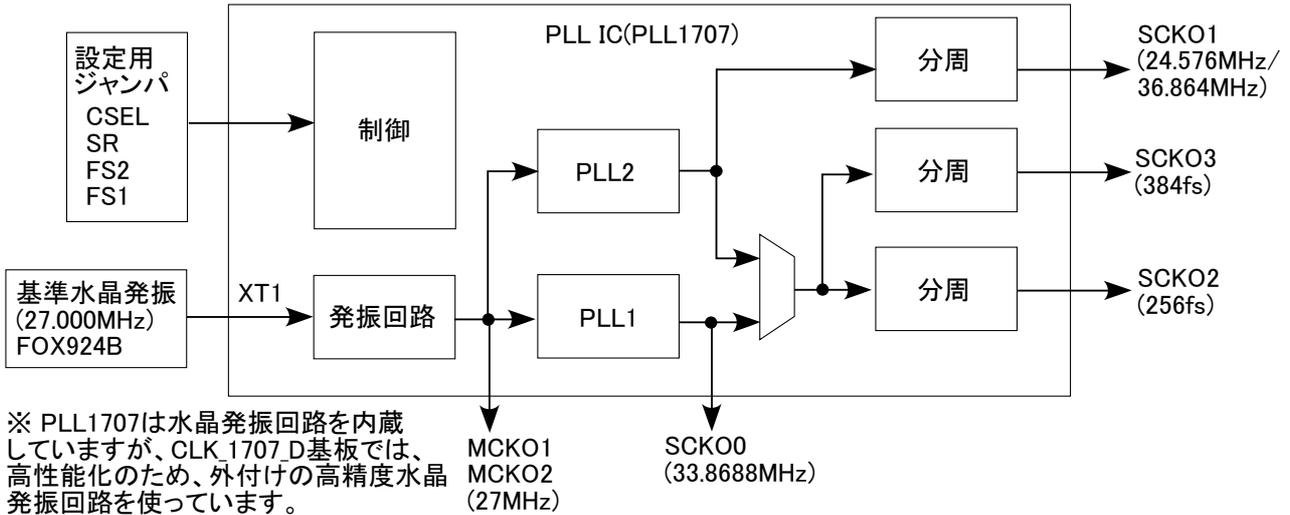


使い方

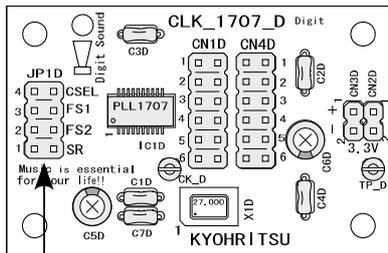
CLK_1707_D基板に使用している、PLLクロック発生器のIC(TI社のPLL1707)は、基準水晶発振回路(27.000MHz)からのクロック信号をもとに、内部のPLL回路と分周器で、必要な周波数の高精度、低ジッタのクロック信号を生成します。PLL回路を使っているため、超低ジッタのクロックを生成できます。

PLL1707の詳細については、TI社のPLL1707のデータシートを見てください。

PLLクロック基板(CLK_1707_D)のブロックダイアグラム



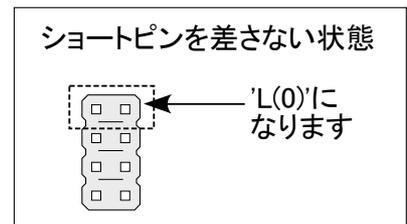
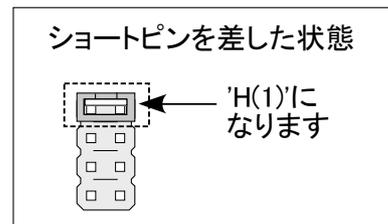
ジャンパ設定のしかた



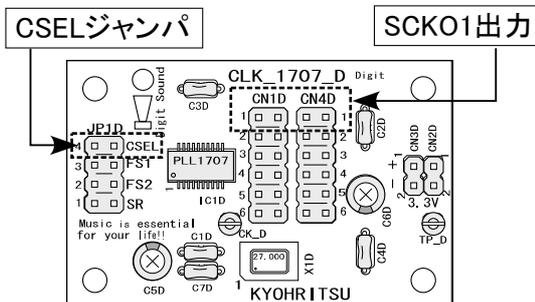
JP1D
出力設定用
ジャンパ

CLK_1707_D基板の出力クロック周波数を、JP1Dにショートピンを差すことで設定します。出力設定用ジャンパ(JP1D)は、CLK_1707_D基板の左図の場所にあります。

JP1Dはショートピンを差した状態で'H(1)'、ショートピンを差さない状態で'L(0)'になります。



1. CSELジャンパの設定



※CSELにショートピンを差すと'H(1)'、開放にすると'L(0)'になります。

JP1DのCSELジャンパは、SCKO1の出力周波数を設定します。SCKO1は、PLL_1707_D基板上のCN1DとCN4Dの1番ピンから出力されます。

SCKO1の出力は、サンプリング周波数48kHzのときのシステムクロックとして使用できます。

CSELの設定については、下の表1を見てください。

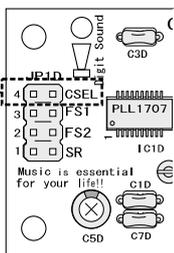
表1 :CSEL設定とSCKO1出力周波数

	CSEL設定	SCKO1周波数	備考
1	開放(L)	36.864MHz	48k × 768
2	ショート(H)	24.576MHz	48k × 512

ショートピンを差す位置については、下の図を見てください。

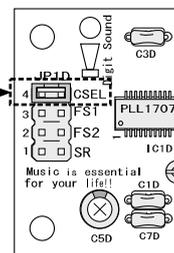
(1) SCKO1=36.864MHz(48kHzサンプリングの768倍)のとき

CSEL :開放(L)

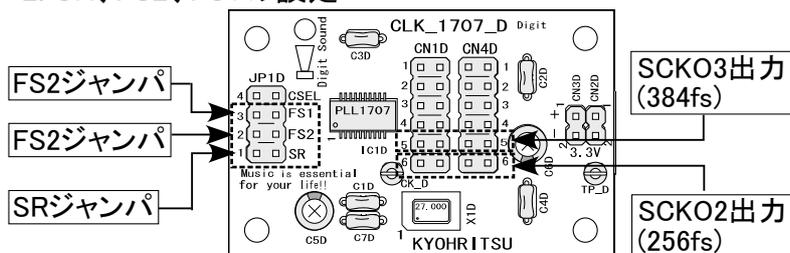


(2) SCKO1=24.576MHz(48kHzサンプリングの512倍)のとき

CSEL :ショート(H)



2. SR、FS2、FS1の設定



JP1DのSR、FS2、FS1ジャンパは、SCKO2、SCKO3の出力周波数を設定します。

SCKO2はCN1D、CN4Dの6番ピンから、SCKO3は5番ピンから、それぞれ同時に出力されます。

SCKO2、SCKO3の周波数とサンプリング周波数の関係、SR、FS2、FS1の各ジャンパの設定については、下の表2を見てください。

表2 : サンプリング周波数とシステムクロック(SCKO2、SCKO3)周波数

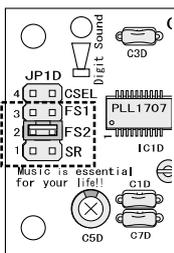
	サンプリング周波数	SCKO2周波数 (256fs)	SCKO3周波数 (384fs)	SR設定	FS2設定	FS1設定
1	32kHz	8.192MHz	12.288MHz	開放(L)	ショート(H)	開放(L)
2	44.1kHz	11.2896MHz	16.9344MHz	開放(L)	開放(L)	ショート(H)
3	48kHz	12.288MHz	18.432MHz	開放(L)	開放(L)	開放(L)
4	64kHz	16.384MHz	24.576MHz	ショート(H)	ショート(H)	開放(L)
5	88.2kHz	22.5792MHz	33.8688MHz	ショート(H)	開放(L)	ショート(H)
6	96kHz	24.576MHz	36.864MHz	ショート(H)	開放(L)	開放(L)

ジャンパにショートピンを差すと'H(1)'に、開放にすると'L(0)'になります。

ショートピンを差す場所については、下図を見てください。

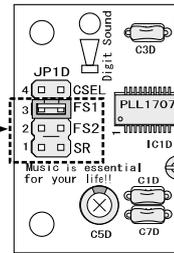
(1) SCKO2=8.192MHz、SCKO3=12.288MHzのとき

FS1 :開放(L)
FS2 :ショート(H)
SR :開放(L)



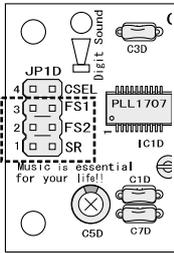
(2) SCKO2=11.2896MHz、SCKO3=16.9344MHzのとき

FS1 :ショート(H)
FS2 :開放(L)
SR :開放(L)



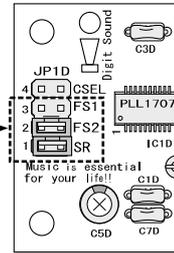
(3) SCKO2=12.288MHz、SCKO3=18.432MHzのとき

FS1 :開放(L)
FS2 :開放(L)
SR :開放(L)



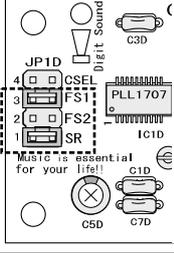
(4) SCKO2=16.384MHz、SCKO3=24.576MHzのとき

FS1 :開放(L)
FS2 :ショート(H)
SR :ショート(H)



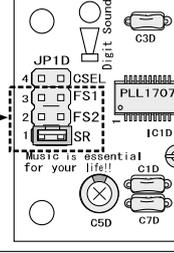
(5) SCKO2=22.5792MHz、SCKO3=33.8688MHzのとき

FS1 :ショート(H)
FS2 :開放(L)
SR :ショート(H)

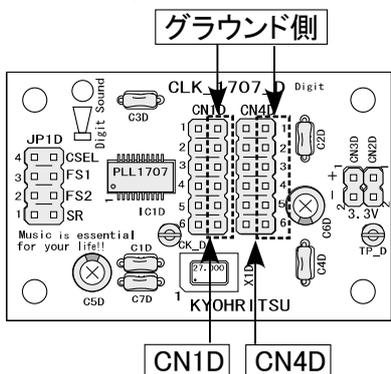


(6) SCKO2=24.576MHz、SCKO3=36.864MHzのとき

FS1 :開放(L)
FS2 :開放(L)
SR :ショート(H)



出力の取り出ししかた



CLK_1707_D基板のCN1D、CN4Dから、ジャンパ設定した周波数のクロックが取り出せます。

CN1D、CN4Dのどちらからでもクロックが取り出せます。

CN1DとCN4Dは、CLK_1707_D基板の左図の場所にあります。左図の点線で囲った部分はグラウンドになっています。

CN1DとCN4Dのピンアサインについては、下の表3を見てください。

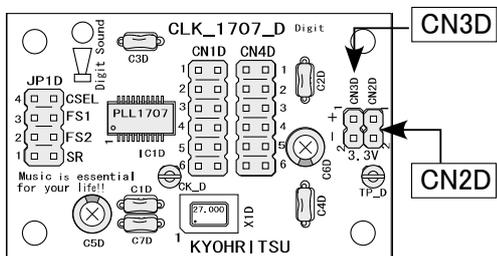
表3: クロック出力(CN1D、CN4D)のピンアサイン

	信号名	備考
1	SCKO1	36.864MHz/24.576MHz(注1)
2	SCKO0	33.8688MHz 出力
3	MCKO2	基準クロック(27.000MHz)出力
4	MCKO1	基準クロック(27.000MHz)出力
5	SCKO3	$384 \times f_s$ (注2)
6	SCKO2	$256 \times f_s$ (注2)

注1:1番ピンのSCKO1出力は、CSELにショートピンを差すと24.576MHz、開放にすると36.864MHzになります。

注2:5番ピンのSCKO3出力と6番ピンのSCKO2出力の周波数は、SR、FS2、FS1で選択します。詳細は前ページの表2を見てください。

電源の接続のしかた



CLK_1707_D基板は、3.3Vの単一電源で動作します。

電源はCLK_1707_D基板上のCN2D、CN3Dに接続します。

CN2D、CN3Dのどちらを使ってもかまいません。

CN2DとCN3Dは、CLK_1707_D基板の左図の場所にあります。

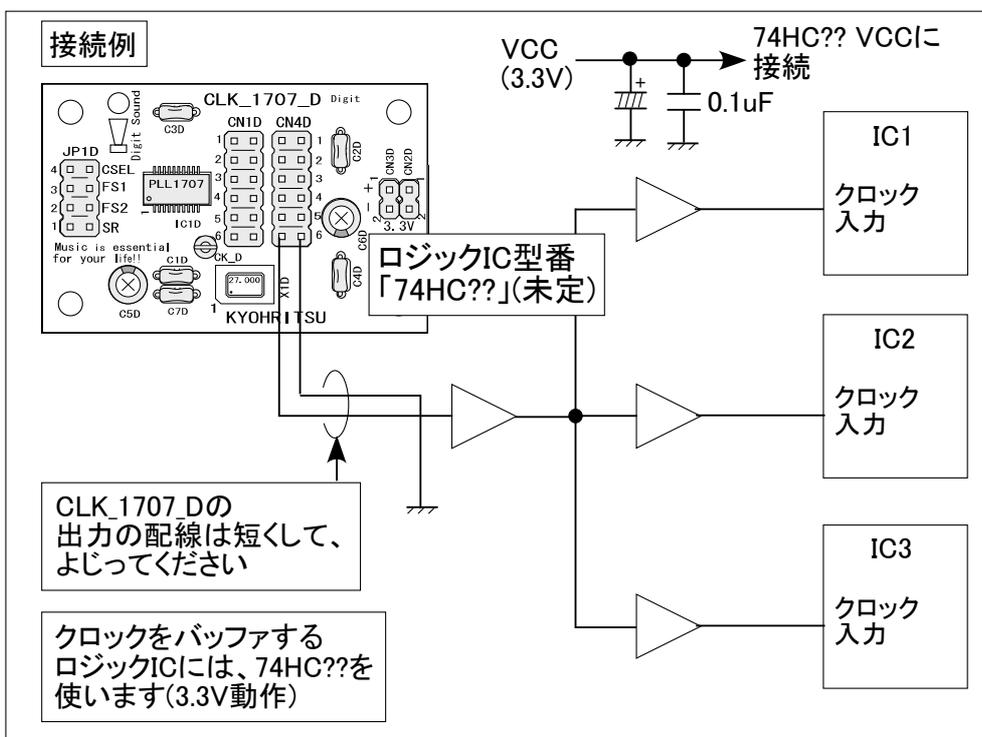
基板上に「+」のシルク印刷がある側がプラス側になるように接続してください(逆に接続すると壊れます)。

クロック出力を分配するには

CLK_1707_D基板から出力されるクロックを複数のICで利用したり、比較的長く(目安としては約30cm以上)

引き回したりしたい場合は、CLK_1707_D基板のクロック出力を、ロジックICでバッファしてください。

クロックのジッタがより少なくなります。



この例では、CLK_1707_D基板のSCKO2出力を、3つのICに分配しています。ほかのクロック出力を分配するときも、同じようにして分配してください。

バッファに使うロジックICの、使っていない入力ピンは、必ずグラウンドかVCCに接続してください。

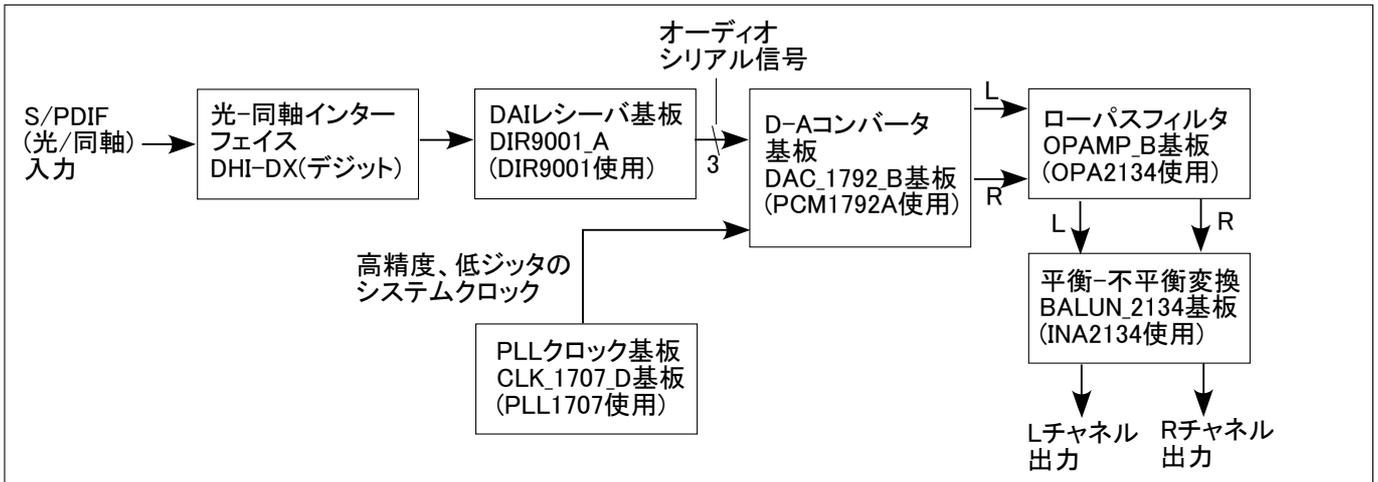
CLK_1707_Dの出力の配線は短くて、よじってください

クロックをバッファするロジックICには、74HC??を使います(3.3V動作)

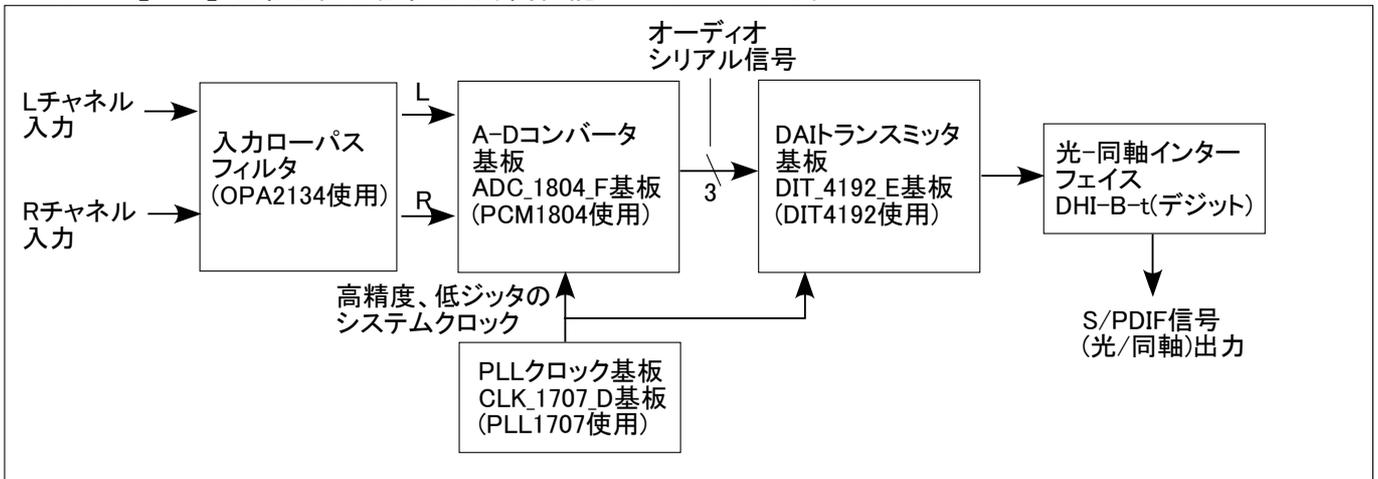
応用例

CLK_1707_D高精度・低ジッタ、PLLクロック基板を使った応用例のブロックダイアグラムをいくつか載せます。詳しい回路や接続のしかたなどについては、「応用篇」をご覧ください。使っているICそれぞれの詳細については、TI社のデータシートをご覧ください。

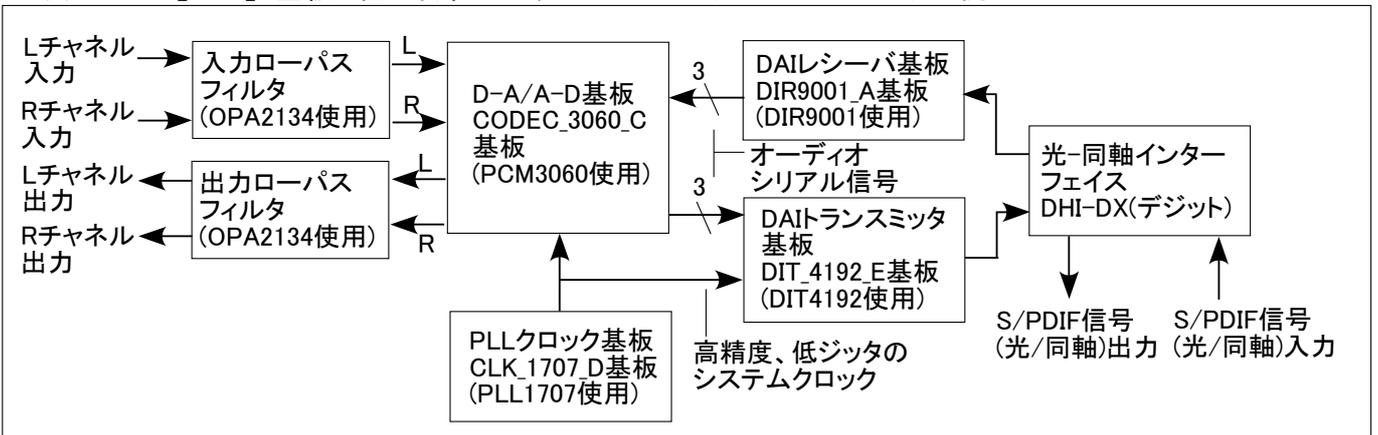
(1) D-Aコンバータ基板(DAC_1792_B基板)と組み合わせた、高性能D-Aコンバータの例



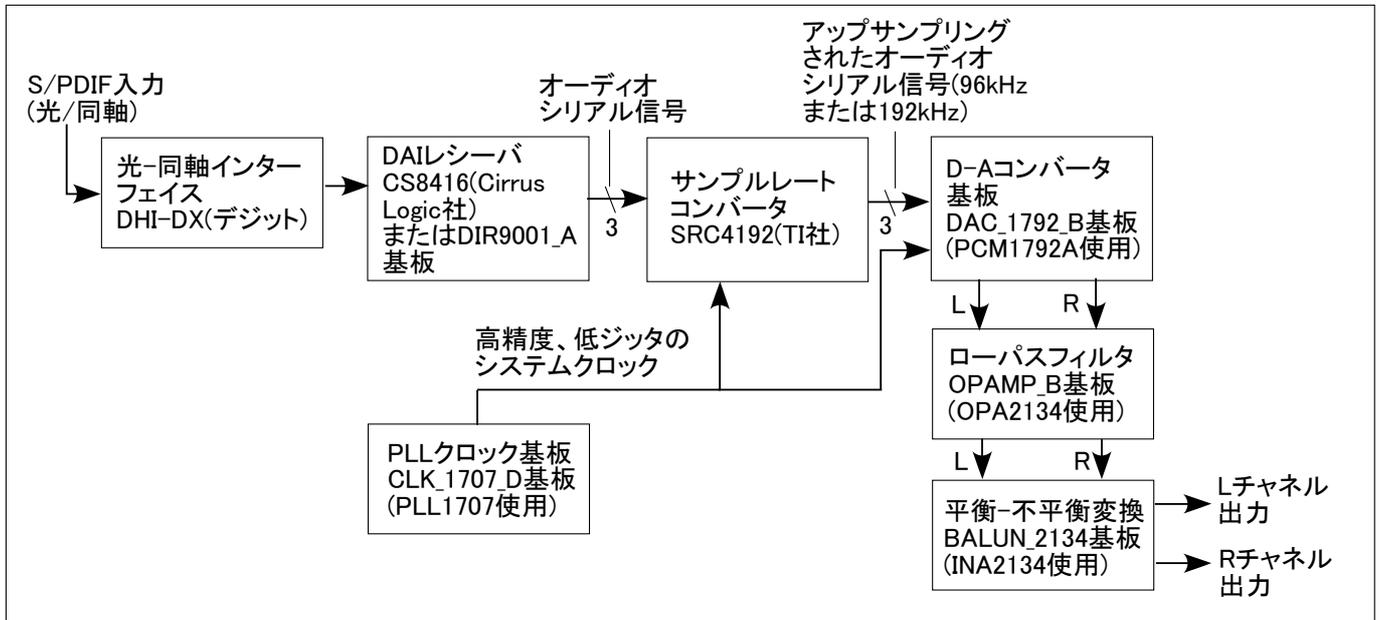
(2) ADC_1804_F基板と組み合わせた、高性能A-Dコンバータの例



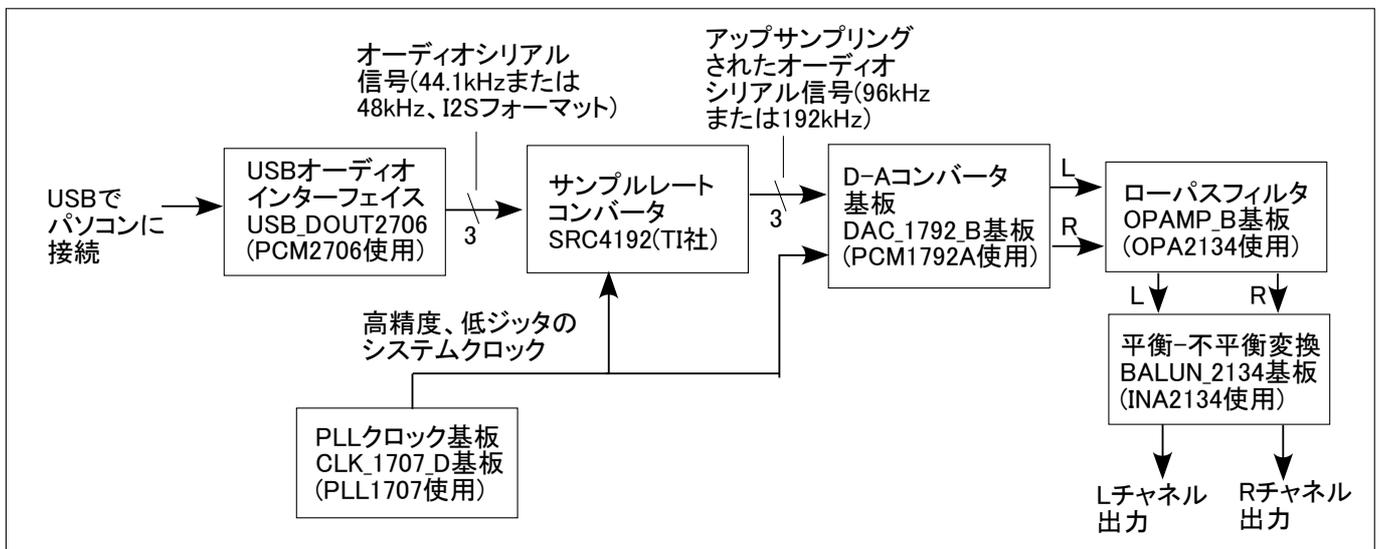
(3) CODEC_3060_C基板と組み合わせた、D-Aコンバータ/A-Dコンバータの例



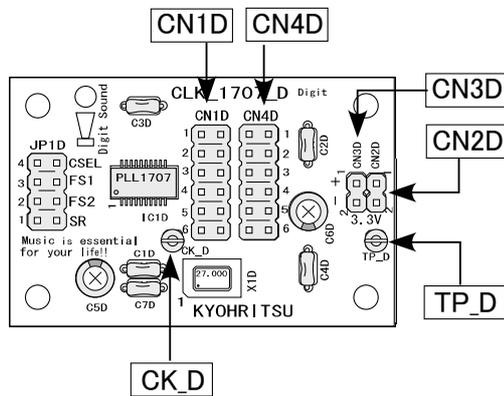
(4) サンプルレートコンバータIC、SRC4192(TI社)を使った、高性能アップサンプリングD-Aコンバータの例



(5) USBオーディオインターフェイス(USB_DOUT2706)とサンプルレートコンバータIC、SRC4192(TI社)を使った、USB接続、高性能アップサンプリングD-Aコンバータの例



コネクタのピンアサイン



CLK_1707_D基板上的コネクタとチェック用端子は、左図の場所にあります。

CN1D、CN4D

	信号名	備考
1	SCKO1	36.864MHz/24.576MHz(注1)
2	SCKO0	33.8688MHz 出力
3	MCKO2	基準クロック(27.000MHz)出力
4	MCKO1	基準クロック(27.000MHz)出力
5	SCKO3	$384 \times fs$ (注2)
6	SCKO2	$256 \times fs$ (注2)

注1:1番ピンのSCKO1出力は、CSELにショートピンを差すと24.576MHz、開放にすると36.864MHzになります。

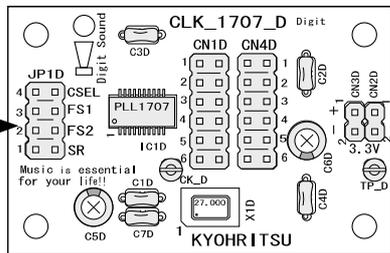
注2:5番ピンのSCKO3出力と6番ピンのSCKO2出力の周波数は、SR、FS2、FS1で選択します。詳細は表2をご覧ください。

CN2D、CN3D

	信号名	備考
1	VCC	電源入力(3.3V)
2	GND	グラウンド

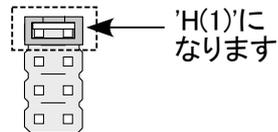
TP_Dはチェック用グラウンドピンです。基板上的グラウンドに接続されています。CK_Dはクロックチェック用のピンです。基板上的水晶発振モジュール(27.000MHz)の出力に接続されています。

ジャンパ設定表

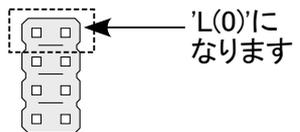


CLK_1707_D基板の設定用ジャンパは、左図の場所にあります。

ショートピンを差した状態



ショートピンを差さない状態



JP1D

JP1DのCSEL

	CSEL設定	SCKO1周波数	備考
1	開放(L)	36.864MHz	$48k \times 768$
2	ショート(H)	24.576MHz	$48k \times 512$

JP1DのSR、FS2、FS1

	SR設定	FS2設定	FS1設定	SCKO2周波数 (256fs)	SCKO3周波数 (384fs)	サンプリング周波数
1	開放(L)	ショート(H)	開放(L)	8.192MHz	12.288MHz	32kHz
2	開放(L)	開放(L)	ショート(H)	11.2896MHz	16.9344MHz	44.1kHz
3	開放(L)	開放(L)	開放(L)	12.288MHz	18.432MHz	48kHz
4	ショート(H)	ショート(H)	開放(L)	16.384MHz	24.576MHz	64kHz
5	ショート(H)	開放(L)	ショート(H)	22.5792MHz	33.8688MHz	88.2kHz
6	ショート(H)	開放(L)	開放(L)	24.576MHz	36.864MHz	96kHz

CLK_1707_D 回路図

回路は予告なく変更することがあります。

