AT90S(LS)2343/AT90S(LS)2323

特徴

統合 AVR RISC **アーキテクチャ**

高パフォーマンス低消費電力の RISC **アーキテクチャ**

10MHz **で** 10MIPS

SPI **シリアルインターフェイス付き**

内部クロックモードに切り替え可能

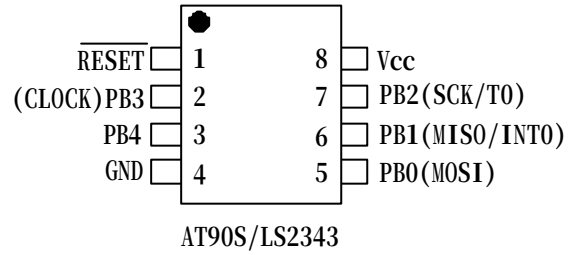
速度の目安　　0～10MHz **まで動作**(AT90S2323/AT90S2343)

0～4MHz **まで動作**(AT90SLS2323/AT90LS2343)

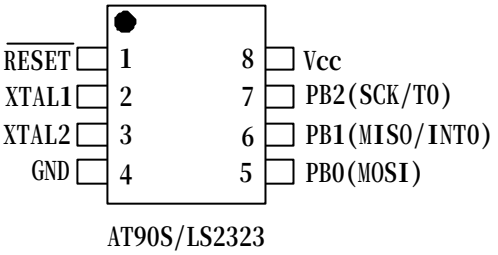
説明

AT90S/LS2323 **と** AT90S/LS2343 **は** AVR RISC **アーキテクチャに基づいた低消費電力** C-MOS 8 **ビットマイクロコントローラです。単一サイクルの強力な命令を実行することにより、**AT90S2323/2343 **は** MHz **あたり** 1 MIPS **に及ぶ処理量を実現しており、システム設計をする上で、消費電力とプロセス速度を最適化することができます。**

ピン配置



AT90S/LS2343



AT90S/LS2323

AVR**の核は** 32 **の汎用レジスタを持った強力な命令と結びついています。全** 32 **レジスタは、算術演算ユニット（**ALU**）に直接つながっており、**2 **つの独立なレジスタが** 1 **クロックサイクルで実行される単一の命令でアクセスできます。結果を出すためのアーキテクチャは、従来の** CISC **マイクロコントローラよりも** 10 **倍速い処理量を実現し、コード効率が良くなっています。**

図 1　AT90S/LS2343 のブロックダイアグラム

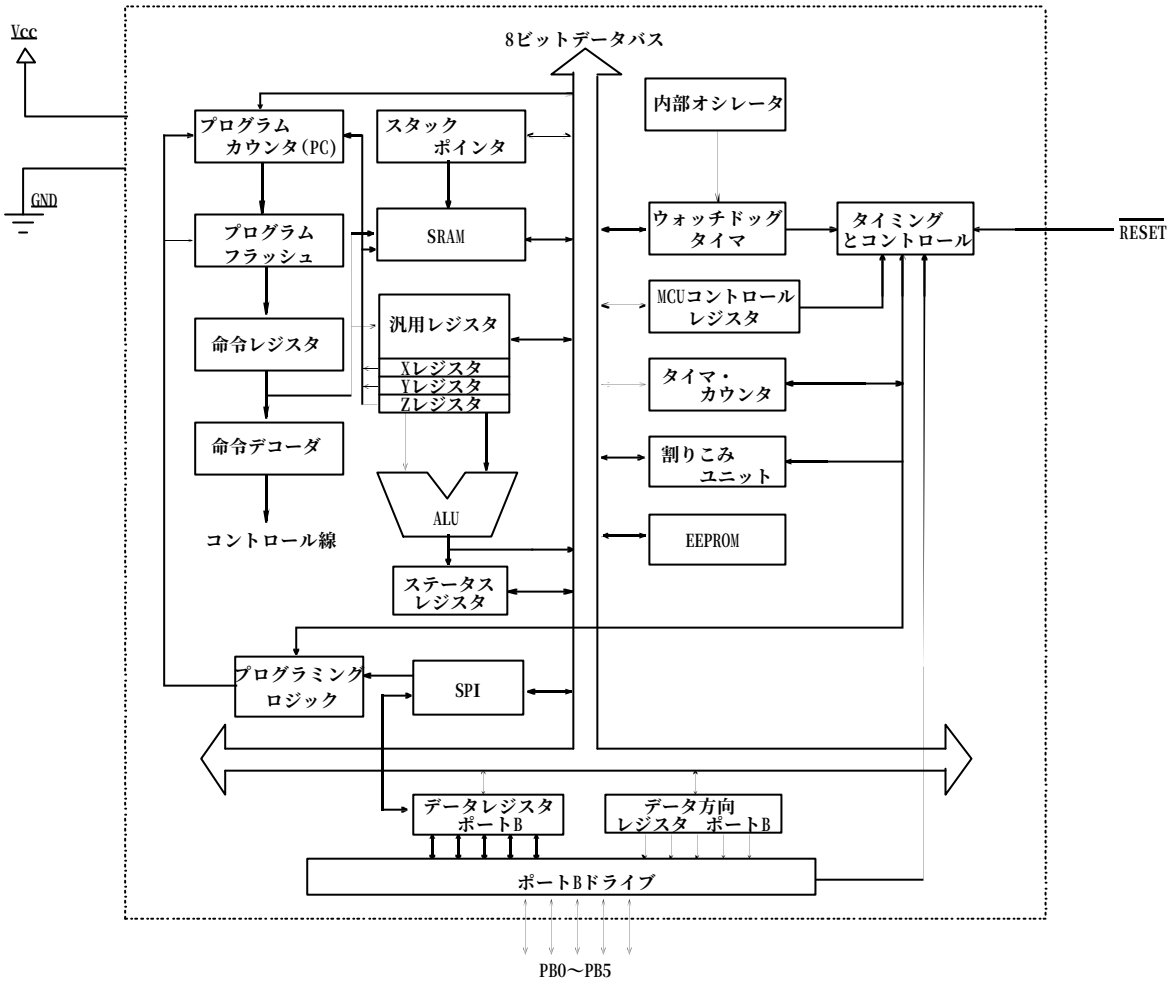
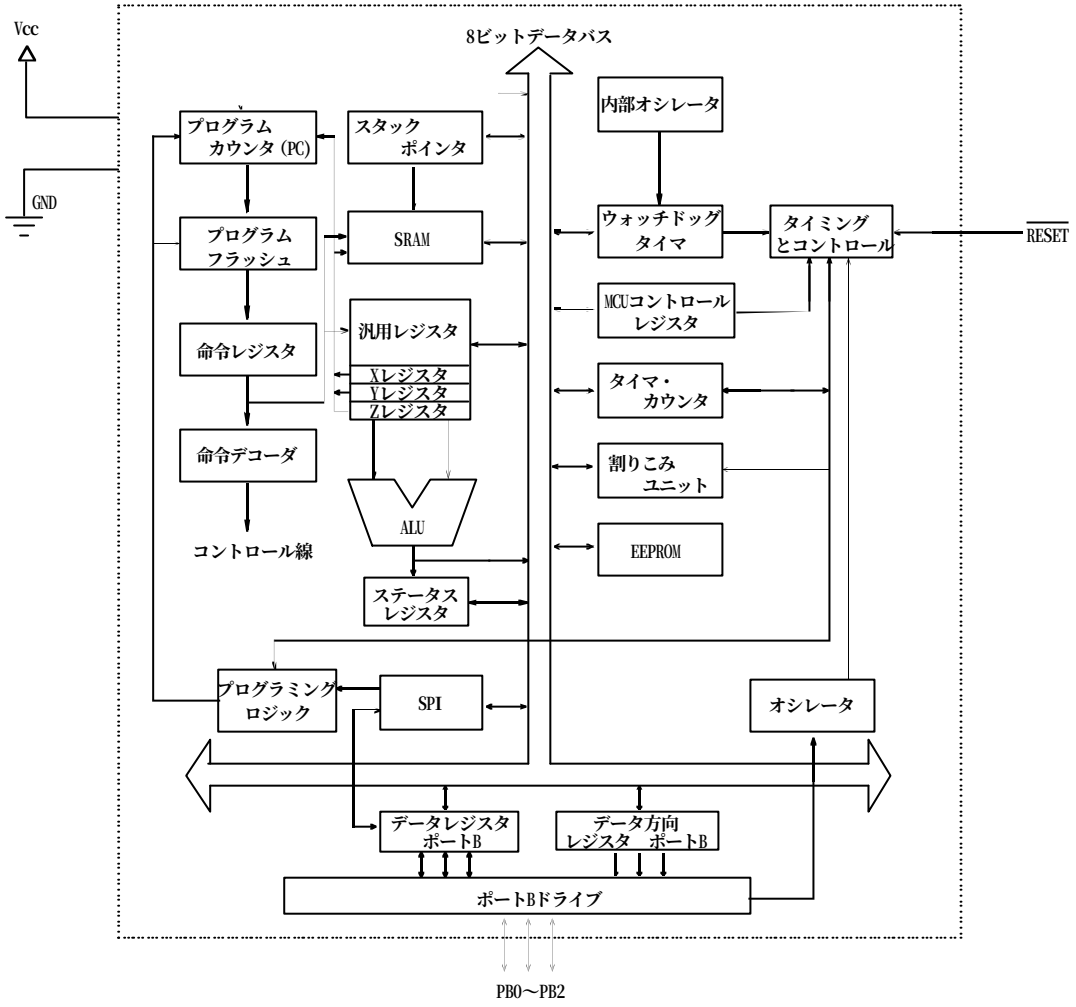


図２　AT90S/LS2323 **ブロックダイアグラム**



AT90S2323/2343 **には次のような特徴があります。２**K **バイトの内部プロウラミング可能なフラッシュ、**128 **バイトの** EEPROM**、**128 **バイトの** SRAM**、**3 **つ（**AT90S/LS2323**）または** 5 **つ（**AT90S/LS2343**）の** I/O **ライン、**32 **個の汎用レジスタ、**8 **ビットタイマカウンタ、内部・外部割りこみ、内部クロックを使ったプログラム可能なウォッチドッグタイマ、フラッシュメモリのダウンロードのための** SPI **シリアルポートそして、ソフトウェアから選択可能な** 2 **つの省電力モードがあります。アイドルモードでは、**SRAM**、タイマ/カウンタ、**SPI **ポート割りこみシステムが機能し続けている状態で、**CPU **が停止しています。パワーダウンモードはレジスタの内容を保存し、次の割りこみまたはハードウェアによるリセットが行われるまで、水晶振動子を凍結、他の機能を無効にします。**

デバイスは Atmel **高密度不揮発性メモリ技術を使って製造されています。内蔵フラッシュは** SPI **シリアルインターフェイスをとおして、プログラムメモリを内部で再プログラミングすることができます。**8 **ビット** RISC CPU **をモノリシックチップの** ISP **フラッシュと結びつけて、**Atmel　AT90S2323/2343 **は強力なマイクロコンとローラで、多くの組みこん**

で制御する応用に対して非常に柔軟で、コスト効率の良い道を提供します。
AT90S2323/2343 AVR はプログラムパッケージ・システム開発ツールでサポートされています。開発ツールは C コンパイラ、マクロアッセンブラ、プログラムデバッガ／シュミレータ、内蔵エミュレータ、評価キットを含みます。

AT90S/LS2343 と AT90S/LS2343 の比較

AT90S/LS2323 は外部水晶またはセラミック共鳴子をクロック源賭して使用する様に作られています。スタートアップ時間はヒューズで選択でき、１ ms（セラミック共振子に適当）または 16ms（水晶に適当）となっています。デバイスは I/O ピンを３本持っています。
AT90S/LS2343 は、外部クロックソースまたは内蔵 RC オシレータをクロックとして使用するように意図されています。デバイスは 5 つの I/O ピンを持っています。表 1 は 2 つの特徴の違いをまとめています。

表 1　特徴の違いのまとめ

場所	AT90S/LS2323	AT90S/LS2343
内蔵オシレータアンプ	有り	無し
内部 RC クロック	無し	有り
I/O ピンとして利用可能な PB3	無し	内部クロックモード
I/O ピンとして利用可能な PB4	無し	常時
立ち上がり時間	1ms/16ms	16us で固定

AT90S/LS2323 のピンの説明

Vcc　電源供給ピン

GND　グランドピン

PORTB（PB0～PB2）

PORTB は 3 ビット双方向 I/O ポートです。ポートピンは内蔵プルアップ抵抗（それぞれのビットで ON-OFF 選択できます。）があります。ポート B ピンはリセット条件がアクティブになった時、クロックが動いていないときでもトライステートになります。

RESET

リセット入力。外部リセットは、RESET ピンに L レベルをかけると生成されます。クロックが動いていないときでも、50ns 以上のリセットパルスをかけるとリセットが生成されます。短いパルスでは、リセットが生成される保証はありません。

XTAL1

振動子の反転増幅器への入力または内部クロック動作回路への入力

XTAL2

振動子の反転増幅器からの出力

AT90S/LS2343 のピン説明

Vcc　電源供給ピン

GND　グランドピン

PORTB（PB0～PB4）

PORTB は 3 ビット双方向 I/O ポートです。ポートピンは内蔵プルアップ抵抗（それぞれのビットで ON-OFF 選択できます。）があります。デバイスが外部クロック源からクロックされているとき、PB3 はクロック入力として使われます。ポート B ピンはリセット条件がアクティブになった時、クロックが動いていないときでもトライステートになります。

RESET

リセット入力。外部リセットは、RESET ピンに L レベルをかけると生成されます。クロックが動いていないときでも、50ns 以上のリセットパルスをかけるとリセットが生成されます。短いパルスでは、リセットが生成される保証はありません。CLOCK

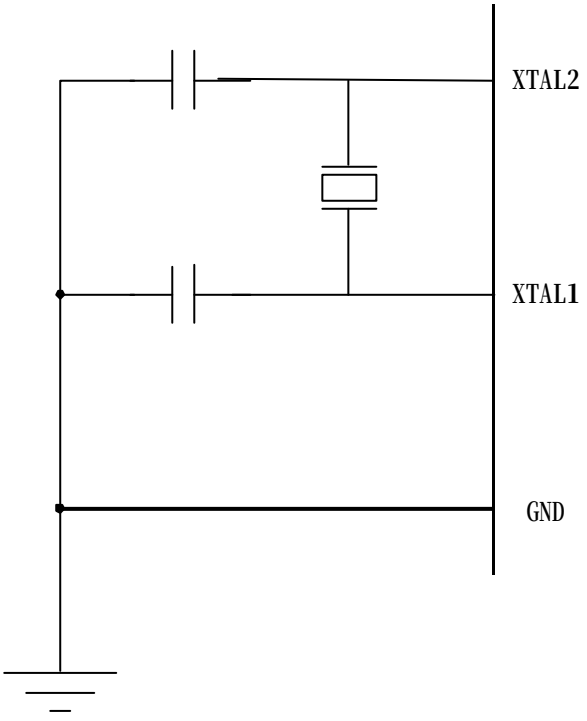
外部クロックモードの時のクロック信号入力

CLOCK オプション

水晶振動子

AT90S/LS2323 は反転増幅器を含み、図 3 に示されるように、内部クロック振動子を使うときに構成されます。XTAL1 と XTAL2 はそれぞれ入力と出力になっています。水晶またはセラミック共鳴子を使います。AT90S/LS2343 は、外部クロックソースを使っている場合に、I/O ピンがあまるのでおすすめします。

図 3　振動子の接　　続



外部クロックについて

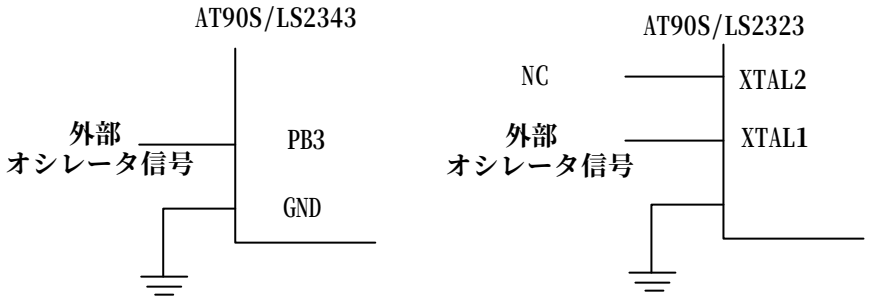
AT90S/LS2343 は図 4 に示されるように外部クロック源または、内蔵 RC オシレータによりクロックすることができます。この RC 振動子は通常（原文には nominal？）1MHz（Vcc=5V）で動きます。フラッシュメモリ中のヒューズビット RCEN クロックは、プログラムされている（「0」）時、クロック源として RC 振動子が選択されます。 (4-7)

AT90S/LS2343 はこのビットがプログラムされた状態で出荷されています。外部クロックが使われているとき、余分の I/O ピンができるので AT90S/LS2343 を使うことをお勧めします。

AT90S/LS2343 は図 4 のように外部クロックによりクロックすることができます。

AT90S/LS2323 ではクロックソースを選択するためのヒューズビットがありません。

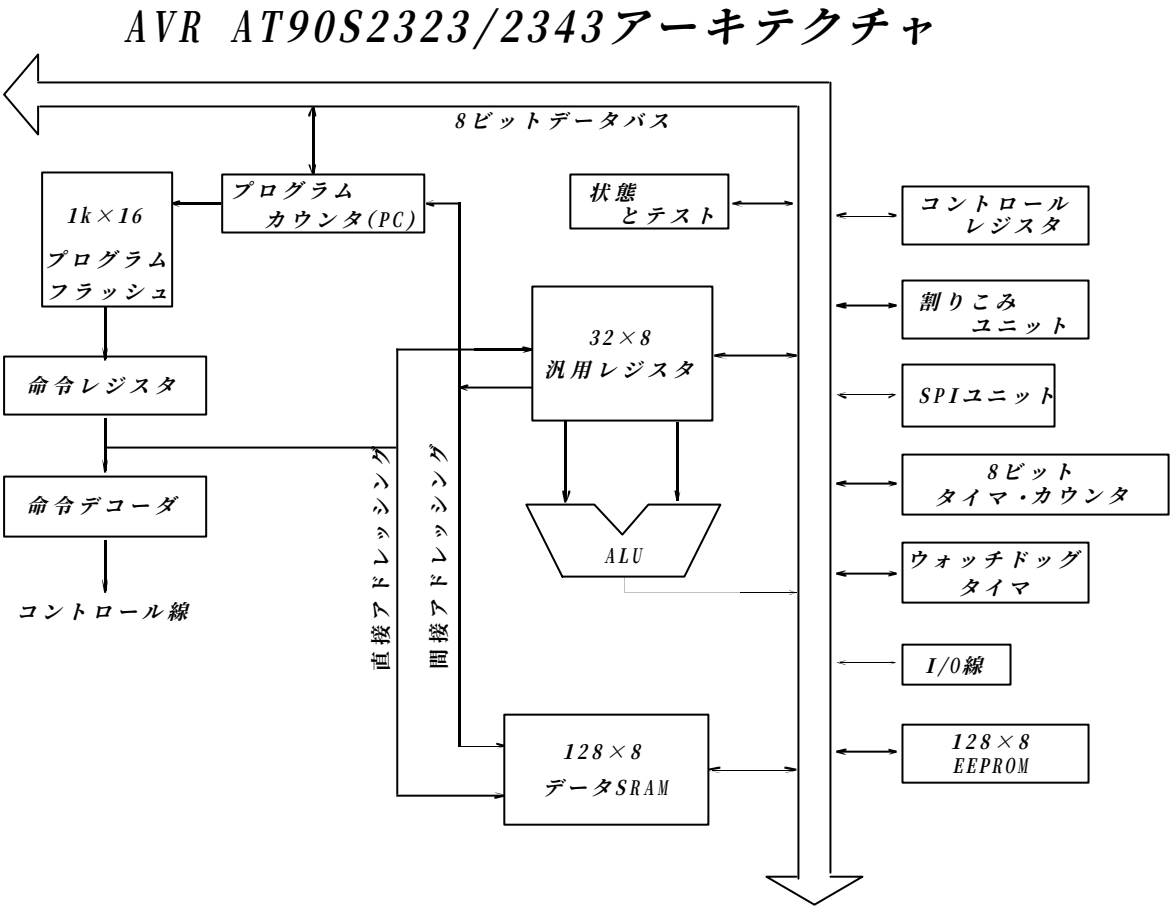
図 4　外部クロック駆動のためのピン配置



アーキテクチャの概要

早いアクセスをもつレジスタファイルの概念は、単一クロックサイクルのアクセス時間を持った 32*8 ビット汎用レジスタを含んでいます。これは、1 クロックサイクルの間に 1 つの ALU（算術演算ユニット）の演算が実行されます。レジスタファイルから 2 つのオペランドが出力され、演算が実行され結果が 1 クロックサイクルで、再びたくわえられます。32 レジスタのうち 6 つはデータ空間アドレッシング用の 3 つの 16 ビット間接アドレスレジスタポインタとして使うことができます。実効アドレス計算を有効にします。3 つのアドレスポインタのうち 1 つは定数照合機能用のアドレスポインタとしても使うことができます。これらの追加機能のレジスタは、16 ビット X レジスタ、Y レジスタ、Z レジスタがあります。

図 5 AT90S2323/2343 AVR RISC **アーキテクチャ**



ALU **レジスタ同士またはレジスタと定数での算術・論理機能をサポートしています。単一のレジスタ演算は** ALU **中で実行されます。図** 5 **では** AT90S2323/2343 AVR RISC **マイクロコントローラ　アーキテクチャを示しています。**

レジスタの演算に加えて、レジスタファイル上で従来のメモリアドレッシングモードを使うことができます。

これは、レジスタファイルが 32 **データ空間アドレス（**$00～$1F**）に割り当てられることにより有効になり、普通のメモリロケーションであるかのようにアクセスすることができます。**

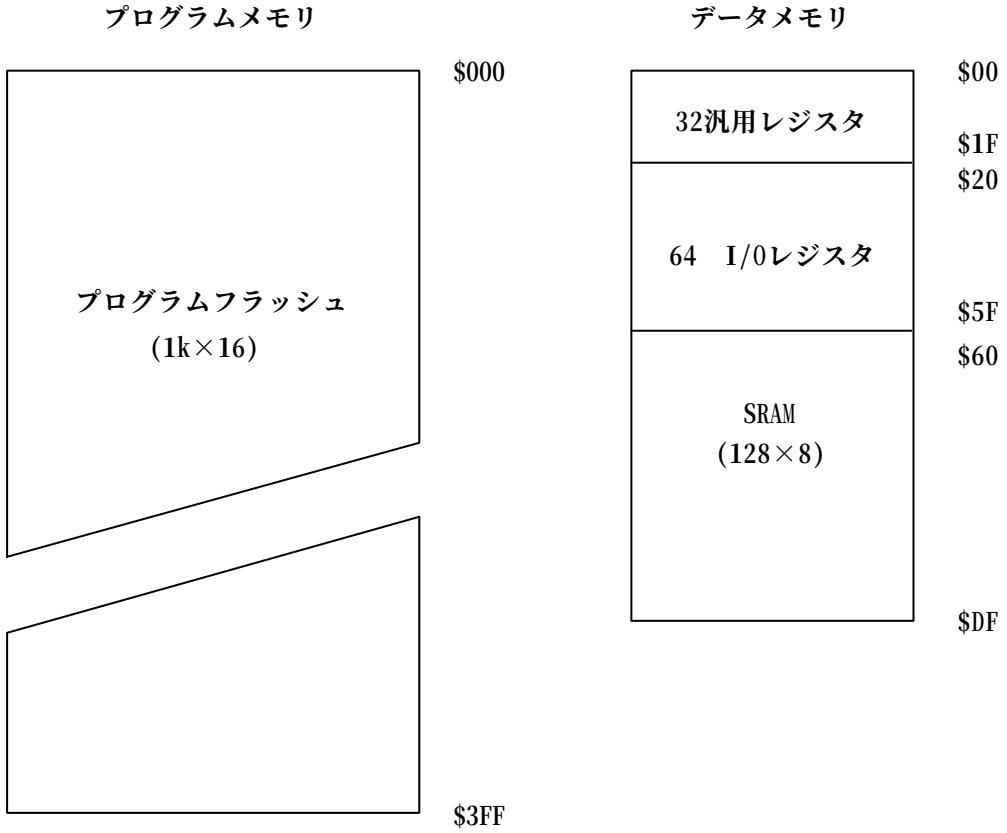
I/O **メモリ空間は、コントロールレジスタ、タイマ/カウンタ、**A/D **コンバータと他の** I/O **機能のような** CPU **周辺機能用の** 64 **アドレスが含まれています。**

I/O **メモリ空間は直接アクセスでき、データ空間が次のレジスタファイル**$20～$5F **にある時にアクセスできます。**

AVR **はハーバードアーキテクチャを持っており、プログラムとデータ用のメモリとバスが分かれています。プログラムは２段階のパイプラインでアクセスされます。**1 **つの命令が実**

行されると、プログラムメモリから次の命令が前もって取り込まれ（フェッチされ）、ます。この概念により 1 クロックサイクル毎に命令を実行することができます。このプログラムメモリは内部でプログラミングできるフラッシュメモリです。
比較ジャンプで呼出し命令で全 1k アドレス空間は直接アクセスできます。ほとんどの AVR 命令は単一の 16 ビットワードの型を持っています。プログラムメモリアドレスは 16 または 32 ビット命令を含んでいます。
割りこみまたはサブルーチン呼び出しの間、プログラムカウンタ（PC）リターンアドレスがスタックに蓄えられます。スタックは汎用データ SRAM 中に実際的に割り当てられ、結果的にはスタックの大きさは SRAM の全サイズと使い方のみに制限されます。全ユーザープログラムではリセットルーチン中で SP を（サブルーチン呼び出しや割りこみが実行される前に）初期化しておかなければなりません。8 ビットスタックポインタは I/O 空間で読み込み/書きこみアクセスが可能です。
128 バイトのデータ SRAM+レジスタファイルと I/O レジスタは、AVR アーキテクチャでサポートされている 5 つのアドレッシングモードでをとおして簡単にアクセスできます。

図 6　メモリマップ



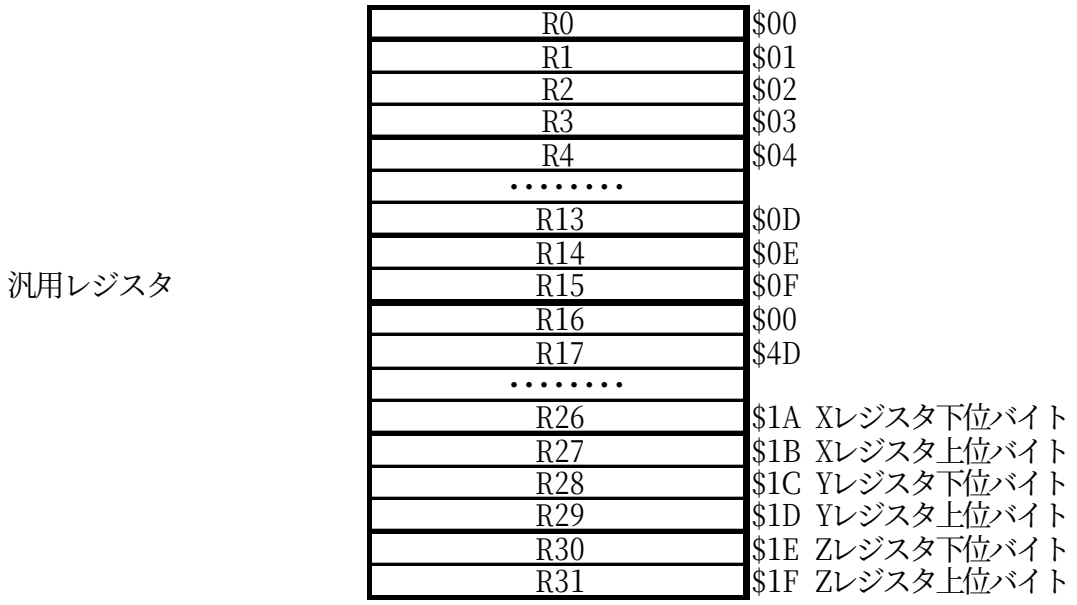
柔軟な割りこみモジュールは I/O 空間中でコントロールレジスタを持っており、ステータスレジスタ中に付属のグローバル割りこみ有効ビットを持っています。異なる割りこみはプ

ログラムメモリの始めにある割りこみベクトル中にいろいろな割りこみベクトルを持っています。割りこみベクトルのアドレスが低いほど、割りこみベクトルの優先順位が高くなります。

汎用レジスタファイル

図 7 では CPU 中の 32 汎用レジスタの構造を示しています。

図 7　AVR CPU 汎用レジスタ



全レジスタ動作命令は全レジスタに対して直接・単サイクルアクセスを持っています。唯一の例外は、定数とレジスタ間の 5 つの定数算術・論理命令 SBCI、SUBI、CPI、ANDI、ORI、定数データを直接ロードする LDI です。これらの命令は、後半 R16～R31 のレジスタファイルに適用されます。汎用の SBC,SUB,CP,AND,OR と他の 2 レジスタ間または 1 レジスタ上のの演算は全レジスタファイルに対して適用されます。

図 7 に示されているようにそれぞれのレジスタはデータメモリアドレスに割り当てられ、データ空間の始めの 32 個の位置に直接マッピングされます。レジスタファイルは SRAM の位置として物理的に組み込まれることはありませんが、X,Y,Z レジスタがファイル中のどのレジスタにも印をつけることができるように、このメモリの組織によりレジスタのアクセスが非常に柔軟になります。

X レジスタ、Y レジスタ、Z レジスタ

R26～R31 のレジスタは汎用レジスタの機能に付属の機能があります。これらのレジスタはデータ空間の間接アドレッシングをするためのアドレスポインタです。3 つの異なる間接アドレスレジスタ X,Y,Z は次のように定義されます。

図 8　X,Y,Z レジスタ

アドレッシングモードによって、固定変位、自動加算、自動減算の機能がついています。(異なる命令の項を参照してください。)

ALU 算術論理ユニット

高能力の AVR ALU **は全** 32 **汎用レジスタと直接つながって動作します。**1 **クロックサイクル以内で、**ALU **はレジスタファイル中のレジスタ間で実行されます。**ALU **の演算は３つの主なカテゴリ算術・論理・ビット機能に分けられます。**

内部プログラム可能なフラッシュプログラムメモリ

AT90S2323/2343 **は２**k **バイトの内蔵** In-system **プログラム可能フラッシュメモリをプログラム保存用に含んでいます。全命令は** 16 **ビットまたは** 32 **ビットであるため、フラッシュは** 1k*16 **として組織されます。フラッシュメモリの耐久性は** 1000 **回の書きこみ/消去サイクルまでになっています。**

AT90S2323/2343 **プログラムカウンタ（**PC**）は** 10 **ビットの幅で、**1024 **のプログラムメモリアドレスのアドレッシングを行います。フラッシュメモリのプログラミングの詳細は** 47 **ページを見てください。**

定数はアドレス 0-2k **の中に割り当てられていなければなりません。(プ(**P**)ログラムメ(**M**)モリのロ（**L**）ードLPM 命令を参照してください。)いろいろなアドレッシングモードについては** 12 **ページを参照してください。**

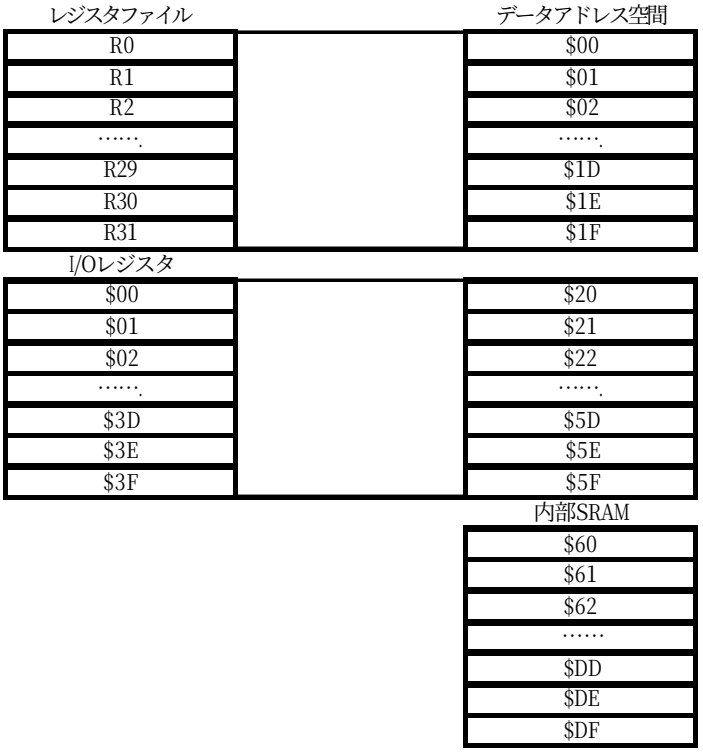
EEPROM データメモリ

AT90S2343 **は** 128 **バイトの** EEPROM **データメモリを持っています。単一のバイトの読み込みと書きこみができる別のデータスペースとして編成されています。**EEPROM **は最低** 100000 **回の読み込みまたは書きこみの耐久性があります。**EEPROM **と** CPU **のアクセスは** 35 **ページに説明されており、**EEPROM **アドレスレジスタ、**EEPROM **データレジスタ、**EEPROM **コントロールレジスタを指定します。**SPI **データのダウンロードについての詳細は、**47 **ページを参照してください。**

SRAM データメモリ

次の図は AT90S2323/2343 **でーためもりがどのような編成になっているかを表しています。**

図 9 SRAM **の編成**



224 **個のデータメモリの位置にはレジスタファイル、**I/O **レジスタ、内部** SRAM **が割り当てられています。始めの** 96 **個まではレジスタファイルと** I/O **メモリ、次の** 128 **個までは、データ** SRAM **が割り当てられています。**

5 **つの異なるデータメモリ用のアドレッシングモードには、直接、変位付き間接、間接、前減算付き間接、後減算付き間接モードがあります。レジスタファイルでは、**R26 **から** R31 **までは、間接アドレッシングポインタレジスタの機能があります。**

直接アドレッシングはデータアドレス空間全体にわたっています。

変位モードの間接アドレッシングは、Y,Z **レジスタによって与えられる基本アドレスから** 63 **アドレス分の範囲までとどきます。**

自動加・減算付きの間接アドレッシングモードを使う場合、アドレスレジスタ X,Y,Z **を使って、加・減算します。**

32 **の汎用レジスタ、**64 **の** I/O **レジスタ、**AT90S2323/2343 **の内部** SRAM128 **バイトは、これらのすべてのアドレッシングモードで直接アクセスできます。**

プログラム・データアドレッシングモード

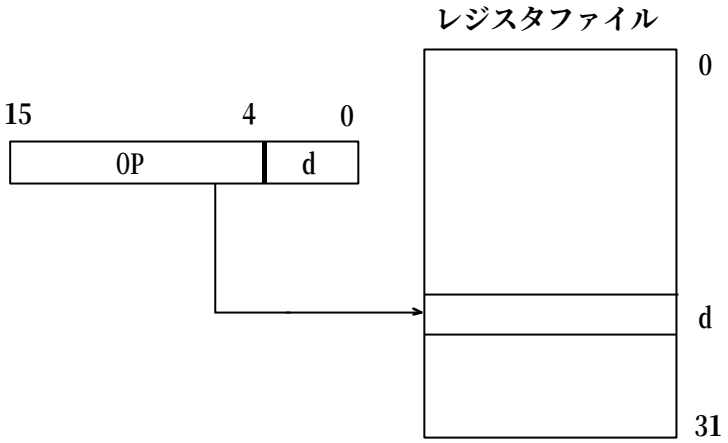
AT90S2323/2343 AVR RISC **マイクロコントローラはプログラムメモリ(フラッシュ)とデータメモリに強力で効率の良いアドレッシングモードをサポートしています。この節では、**AVR **アーキテクチャによるいろいろなアドレッシングモードについて説明しています。図において、**OP **は命令ワードに対する動作コードのことです。単純にいえば、すべての図が**

アドレッシングビットの正確な位置を示しているわけではありません。

直接レジスタ、単一レジスタ Rd

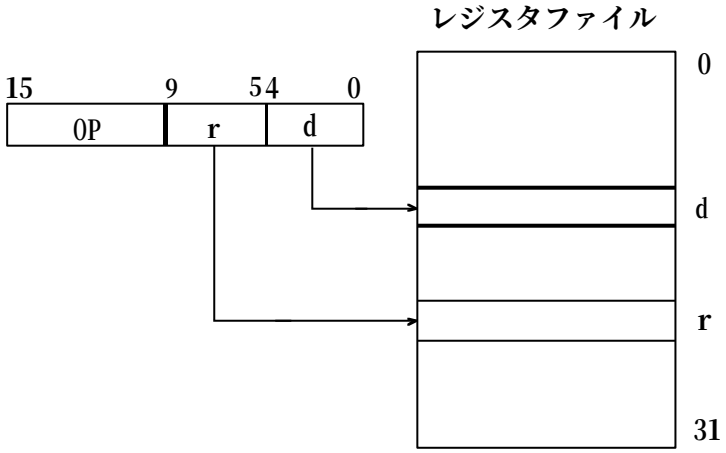
図 10 直接単一レジスタアドレッシング

オペランドはレジスタ d(Rd)に含まれています。



直接レジスタ、2 つのレジスタ Rd と Rr

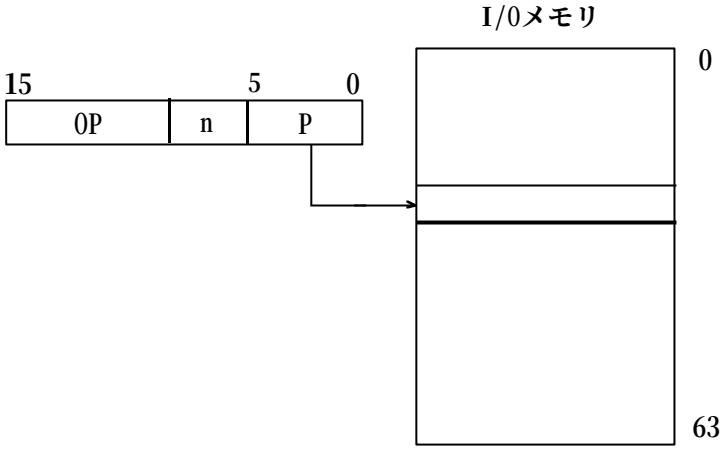
図 11　直接アドレッシング、2 つのレジスタ



オペランドはレジスタ r(Rr)と d(Rd)に含まれています。結果は d に蓄えられます。

直接 I/O

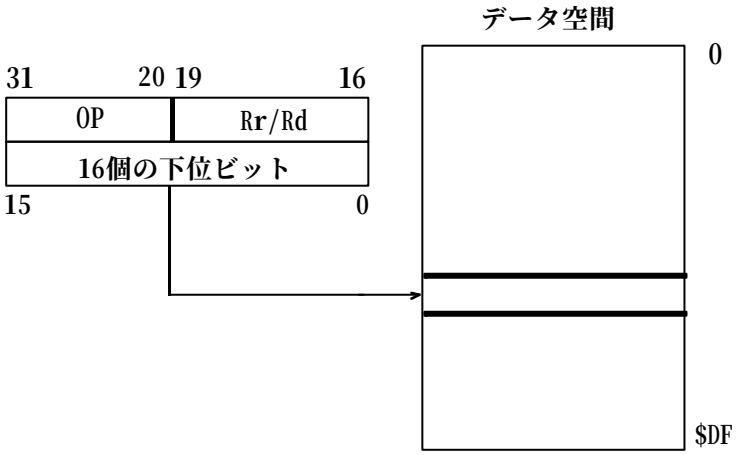
図 12　I/O **直接アドレッシング**



オペランドは命令ワード中の 6 **ビットに含まれています。**n **は行き先またはもとのレジスタアドレスです。**

直接データ

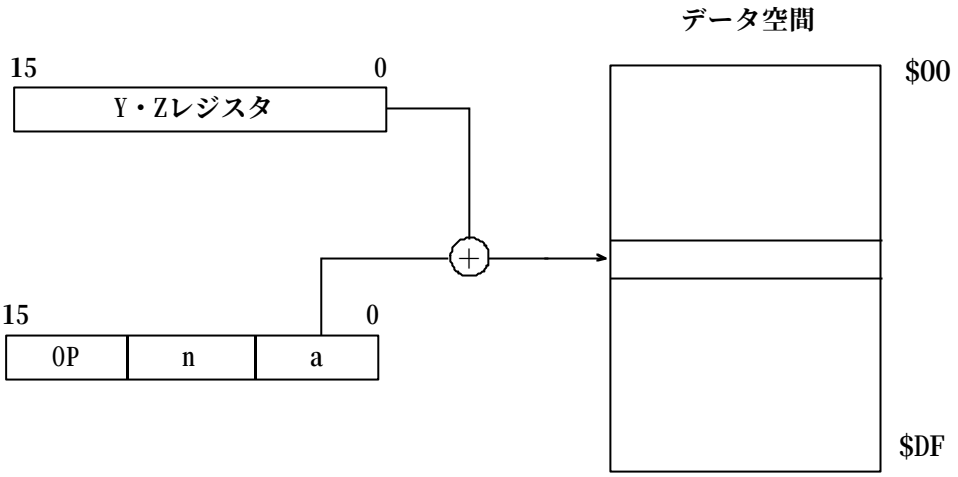
図 13　**直接データアドレッシング**



16 **ビットのデータアドレスは** 2 **ワード命令の** 16 **ビットの下位バイト中に含まれています。** Rd/Rr **は行き先レジスタ/元のレジスタを指定します。**

変位付き間接データ

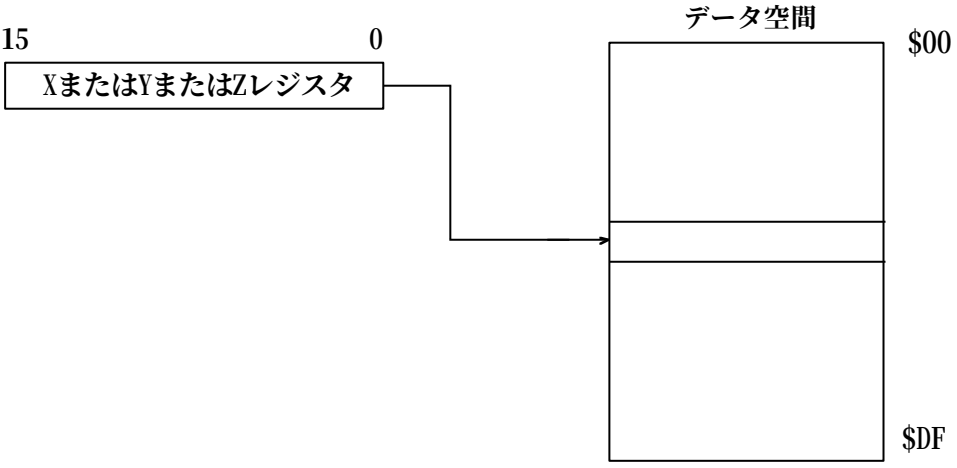
図 14　変位付き間接データ



オペランドアドレスは Y または Z レジスタの内容に命令ワード中の 6 ビットを加えた結果になります。

間接データ

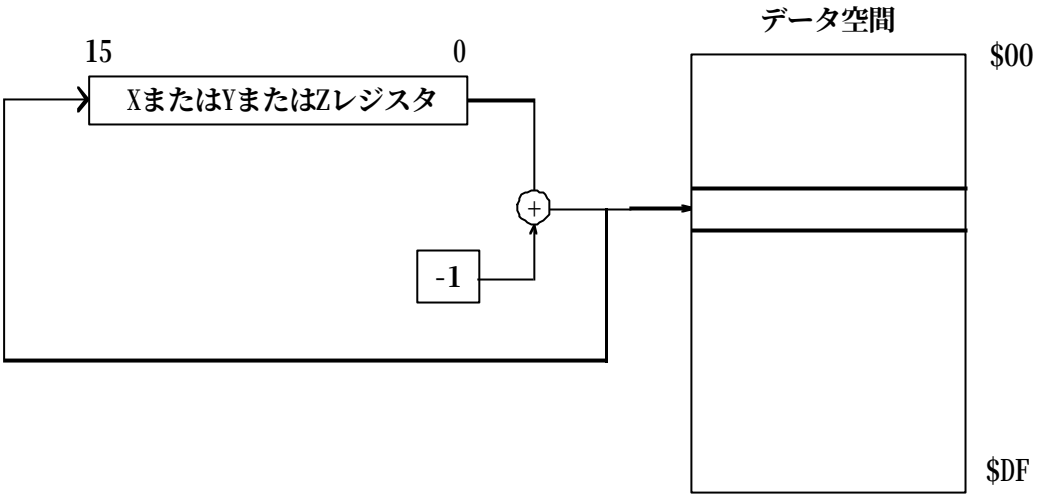
図 15　データ間接アドレッシング



オペランドアドレスが X,Y,Z レジスタの中身になります。

前減算付き間接データ

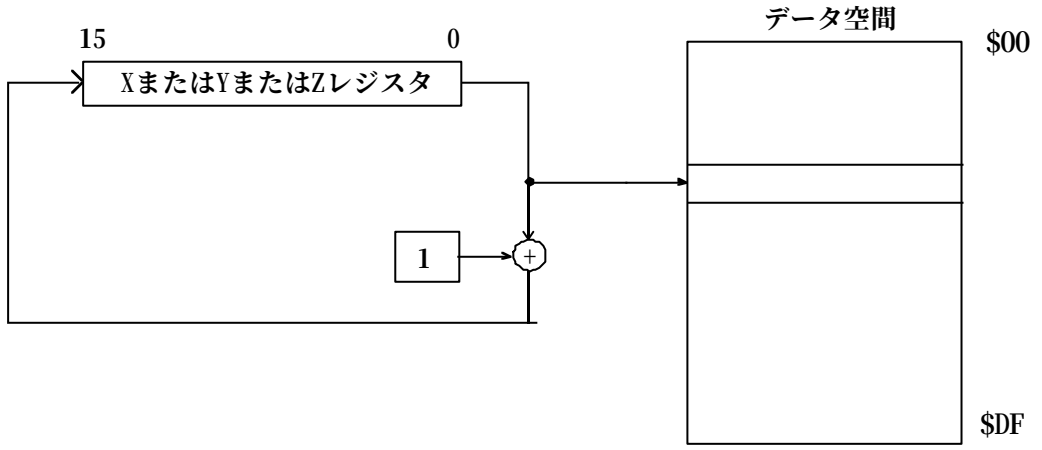
図 16　前減算付き間接データアドレッシング



X,Y,Z レジスタは演算前に減算されます。オペランドアドレスは、X,Y,Z レジスタの内容が減算されます。

後加算付き間接データ

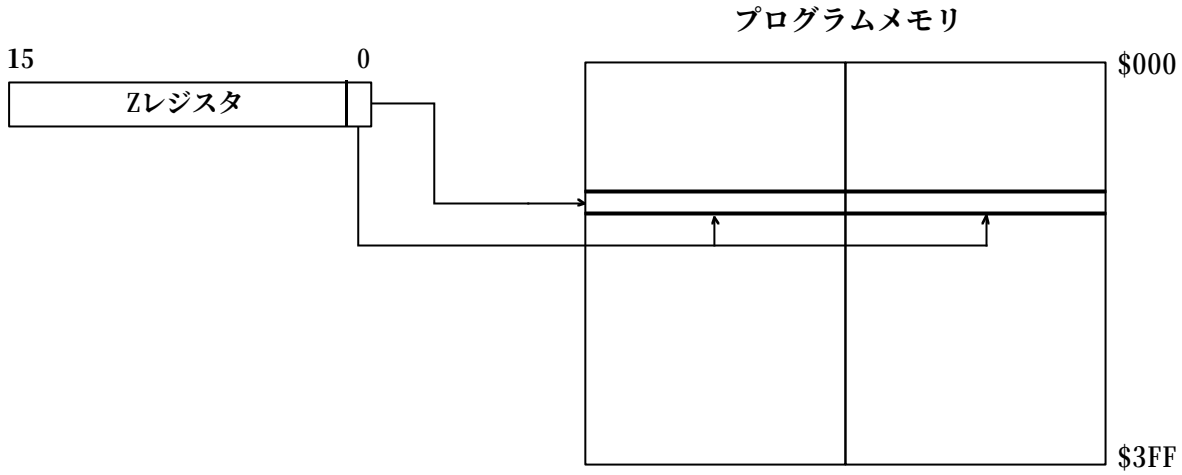
図 17　後加算付き間接データアドレッシング



X,Y,Z レジスタは演算後加算されます。オペランドアドレスは、インクリメントされる前の中身になります。

LPM 命令による定数アドレッシング

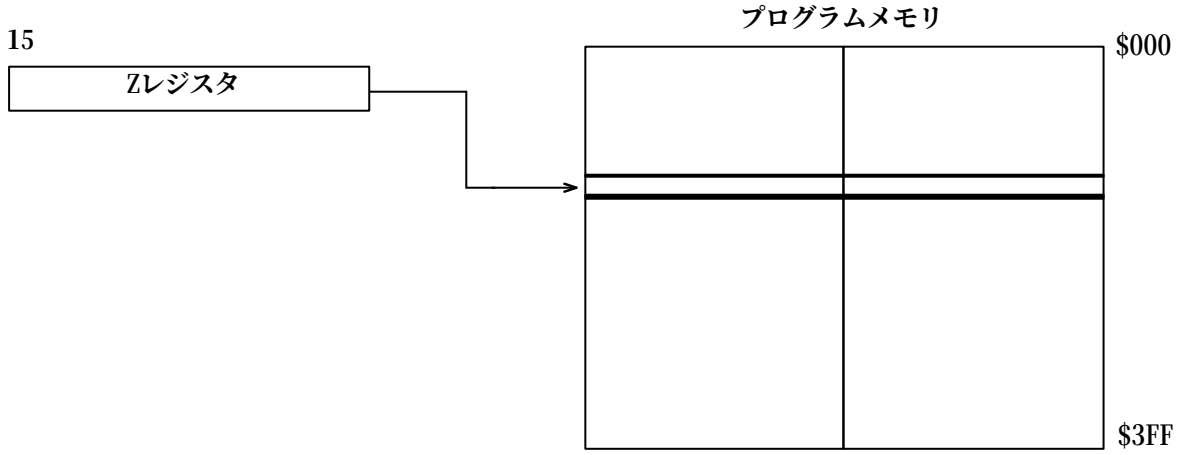
図 18　定数コードメモリアドレッシング



定数バイトは Z レジスタの中身によって指定されます。15 ビットの上位バイトがワードのアドレス(0-1k)選択し、LSB がクリア（0）で下位バイト、セット（1）で上位バイトを選択します。

間接プログラムアドレッシング

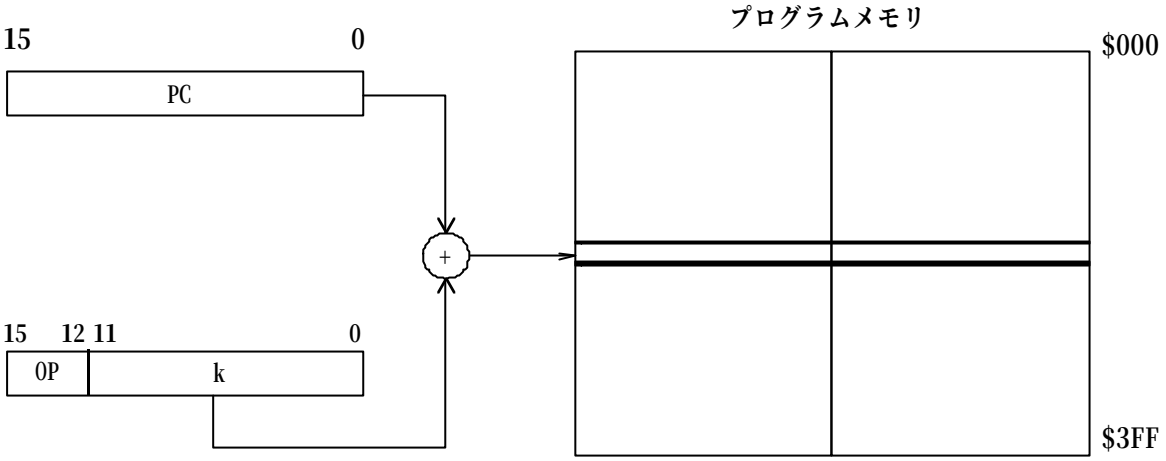
図 19　間接プログラムメモリアドレッシング



プログラムは Z レジスタに含まれているアドレスで続いて実行されます。（すなわち、PC(プログラムカウンタ)は Z レジスタの中身を持ってロードされます。）

相対プログラムアドレッシング、RJMP とICALL

図 20　**相対プログラムメモリアドレッシング**



プログラムは PC+k+1 **のアドレスで実行されます。相対アドレス** k **は**-2048～2047 **までになります。**

メモリアクセス・命令実行時間

この節では、命令の実行と内部のメモリアクセスについて、一般的なアクセスの概念を説明します。

AVR CPU **はシステムクロック** 0 **で駆動され、**CLOCK **ピンに加えられた外部信号から直接的に生成されます。内部クロックによる分周は行われていません。**

図 21　**並列命令フェッチ・命令の実行**

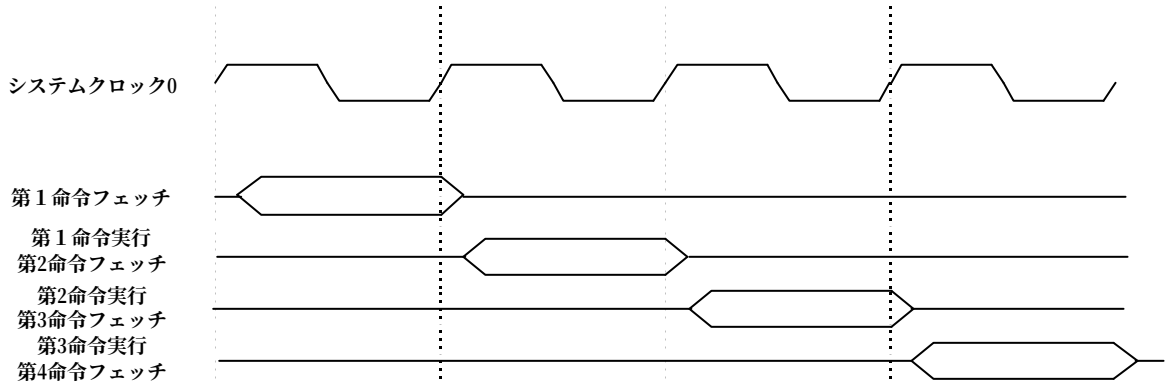


図 21 **はハーバードアーキテクチャと高速アクセスのレジスタファイルの概念によって可能になった並列的に命令フェッチと命令の実行をする様子をあらわしています。これが** MHz **あたり** 1MIPS **まで得ることのできる基本的なパイプラインの概念です。それに対応した時間コスト、クロック、電力単位あたりの動作結果を持ちます。**

図 22　単サイクルでの ALU 動作

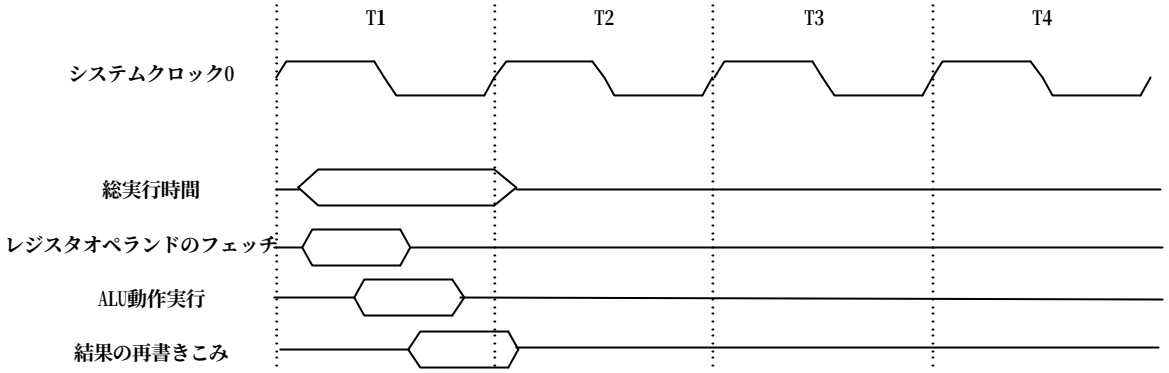
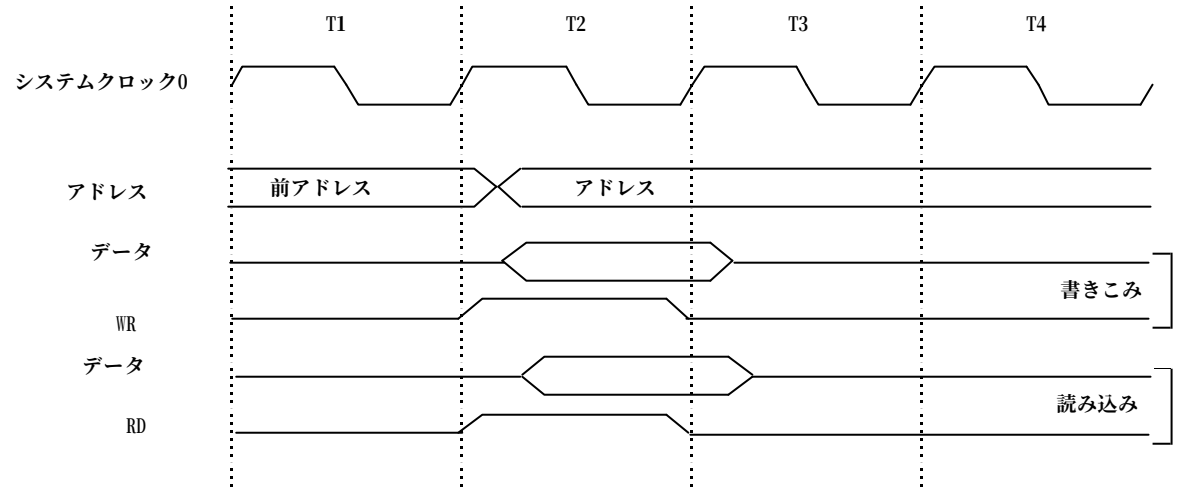


図 22 は、レジスタファイルの内部でのタイミングの概念を表しています。単クロックサイクルで、2 つのレジスタオペランドを使った ALU 演算が実行され、結果は行き先レジスタへ蓄えられます。

図 23　内部データ SRAM アクセスサイクル



内部データ SRAM は図 23 に定義されているような 2 つのシステムクロックサイクルで実行されます。

I/O メモリ

AT90S2323/2343 の I/O 空間の定義は次の表に示されています。

16進アドレス	名称	機能
$3F($5F)	SREG	ステータスレジスタ
$3D($5D)	SPL	スタックポインタ
$3B($5B)	GIMASK	一般割りこみマスクレジスタ
$3A($5A)	GIFR	一般割りこみフラッグレジスタ
$39($59)	TIMSK	タイマ/カウンタ割りこみマスクレジスタ
$38($58)	TIFR	タイマ/カウンタ割りこみフラッグレジスタ
$35($55)	MCUCR	MCUコントロールレジスタ
$34($54)	MCUSR	MCUステータスレジスタ
$33($53)	TCCR0	タイマ/カウンタ0コントロールレジスタ
$32($52)	TCNT0	タイマ/カウンタ0 (8ビット)
$21($41)	WDTCR	ウォッチドッグタイマコントロールレジスタ
$1E($3E)	EEAR	EEPROMアドレスレジスタ
$1D($3D)	EEDR	EEPROMデータレジスタ
$1C($3C)	EECR	EEPROMコントロールレジスタ
$18($38)	PORTB	PORTBデータレジスタ
$17($37)	DDRB	PORTBデータ方向レジスタ
$16($36)	PINB	PORTB入力ピン

表 2　AT90S2323/2343 の I/O 空間

注意：予約・不使用の位置については表には示していません。

AT90S2323/2343 の I/O と周辺は I/O 空間に置かれています。I/O は 32 の汎用レジスタと I/O 空間の間を転送する IN と OUT 命令で、アクセスします。アドレス範囲$00～$1F 内の I/O レジスタは SBI,CBI 命令を使うことにより直接ビットアクセスをすることができます。これらのレジスタにおいて、単一ビットの値は SBIS,SBIC 命令を使ってチェックすることができます。詳しくは、命令一覧の章を見てください。I/O 指定コマンド IN/OUT を使うとき I/O アドレスは$00～$3F までで使わなければなりません。I/O レジスタを SRAM のようにアドレッシングする場合 I/O アドレスに$20 を付け加えておいてください。全 I/O レジスタはこの文書全体をとおして、SRAM アドレスをカッコの中に入れて表示しています。

これからの、デバイスとの互換性のために、予約ビットはアクセスされた場合、0 で書きこまれていなければなりません。予約 I/O メモリのアドレスには書きこまないでください。

ステータスレジスタの中には、1 を書きこんでクリアできるものもあります。CBI と SBI 命令は I/O ビットの全ビットで動作し、セットで読まれているどのフラッグに対して 1 を再書きこみしても、フラッグがクリアされることに注意してください。CBI と SBI 命令は $00 から$1F のレジスタのみで動作します。

I/O レジスタと周辺コントロールレジスタは次の節で説明されています。

ステータスレジスタ　SREG

AVR ステータスレジスタ SREG は I/O 位置$3F($5F)にあり、次のように定義されます。

ビット	7	6	5	4	3	2	1	0	
$3F($5F)	I	T	H	S	V	N	Z	C	SREG
読み込み・書きこみ	読/書 Read) / (Write)	読/書 Read) / (Write)	読/書 Read) / (Write)	読/書 Read) / (Write)	読/書 Read) / (Write)	読/書 Read) / (Write)	読/書 Read) / (Write)	読/書 Read) / (Write)	
初期値	0	0	0	0	0	0	0	0	

ビット 7　I: グローバル割りこみ有効

グローバル割りこみビットを、割りこみを有効にさせるためには 1 に設定されなければなりません。このあと、個々の割りこみ有効コントロールは、別のコントロールレジスタで実行されます。グローバル割りこみ有効レジスタが 0 にクリアされると、割りこみは個々の割りこみイネーブルに無関係になり、割りこみが実行されることはありません。I ビット割りこみがハードウェアによってクリアされると、後に続く割りこみを有効にする RETI 命令によって I ビットが設定されます。

ビット 6　T: ビットコピーメモリ

ビットコピー命令 BLD(Bit LoaD ロード)と BST(Bit STore 保存)により、(レジスタ中の)ビットは T ビットがソースとして、T ビットへの保存先として演算されます。レジスタファイル中のビットは BST 命令によって T へコピーされ、T 中のビットは BLD 命令によりレジスタファイル中の(指定した)1 ビットへコピーされます。

ビット 5　H: ハーフキャリーフラッグ

ハーフキャリーフラッグ H は、ある算術演算のハーフキャリーフラッグを示しています。詳細については、命令一覧を参照してください。

ビット 4　S: サインビット

S ビットは負フラッグと 2 の補数オーバーフローフラッグの排他的 OR をとっています。詳しい情報については命令一覧を参照してください。

ビット 3　V:2 の補数オーバーフローフラッグ

2 の補数オーバーフローフラッグ V は、2 の補数算術演算ができます。詳細は命令一覧を見てください。

ビット 2　N:負フラッグ

負フラッグ N 算術・論理演算で負の結果が出たことを示します。詳しい情報については、命令一覧の説明を見てください。

ビット 1　Z:ゼロフラッグ

ゼロフラッグ Z は算術・論理演算でゼロの結果が出たことを示しています。詳しい情報については、命令一覧の説明を見てください。

ビット 0　C:キャリーフラッグ

キャリーフラッグは算術・論理演算でキャリー（桁上げ・桁下げ　訳者注）の結果が出たことを示しています。詳しい情報については、命令一覧の説明を見てください。

注意　ステータスレジスタは、割りこみルーチンに入ったときに自動的に蓄えられたり、返ってきたときに自動的に戻されることはありません。この処理は、ソフト上で行ってください。

スタックポインタ　SPL

I/O アドレス$3D($5D)の 8 ビットレジスタは、AT90S2323/2343 のスタックポインタとなります。8 ビットは 128 バイトの SRAM 位置$60～$DF をアドレスするのに使われます。

ビット	7	6	5	4	3	2	1	0	
$3D($5D)	SP7	SP6	SP5	SP4	SP3	SP2	SP1	SP0	SPL
読み込み・書きこみ	読/書 Read) / (Write)	読/書 Read) / (Write)	読/書 Read) / (Write)	読/書 Read) / (Write)	読/書 Read) / (Write)	読/書 Read) / (Write)	読/書 Read) / (Write)	読/書 Read) / (Write)	
初期値	0	0	0	0	0	0	0	0	

スタックポインタは、サブルーチンや割りこみスタックがおかれて、SRAM データのスタックポインタを指しています。データ SRAM 中のスタック空間は、サブルーチン呼び出しが実行されたり、割りこみが有効になる前にプログラムによって定義されていなければなりません。スタックポインタ$60 より上側に設定しておかなければなりません。スタックポインタは PUSH 命令によってスタックがデータが PUSH されたときに、1 減算されます。サブルーチンや割りこみがある場合 2 減算されます。POP 命令によりデータが POP されスタックポインタが 1 加算され、アドレスがサブルーチン RET から戻って来たり、割りこみ RETI で戻ってくる時 2 加算されます。

リセットと割りこみの扱い

AT90S2323/2343 は 2 つの割りこみソースがあります。これらの割りこみとリセットベクトルは、プログラムメモリ空間中に別のプログラムベクトルを持っています。どちらの割りこみも個々にイネーブルビットを持っており、割りこみを有効にするためにステータスレジスタ中の I ビットと一緒に設定します。

プログラムメモリ空間の最低アドレスは、リセットと割りこみベクトとして自動的に定義されます。ベクトルの完全な表は、表 3 に示してあります。リストでは割りこみの優先レベルが決まっています。低いアドレスほど優先順位が高くなります。RESET は最も優先順位が高く、次に外部割りこみ要求 0：INT0 などと続きます。

表 3　リセット・割りこみベクトル

ベクトル番号	プログラムアドレス	ソース	割りこみの定義
1	$000	RESET	ハードウェアのピン、パワーオンリセット、ウォッチドッグリセット
2	$001	INT0	外部割りこみ要求0
3	$002	TIMER0,OVF	タイマ/カウンタ0オーバーフロー

最も典型的なリセットと割りこみのアドレスは

```
アドレス　ラベル　コード　コメント
$000          rjmp reset              ;リセットのハンドラ
$001          rjmp EXT_INT0           ;外部割りこみ要求 0 のハンドラ
$002          rjmp TIM_OVF0           ;タイマ 0 オーバーフローのハンドラ
$003    MAIN: ldi r16,low(RAMEND)     ;メインプログラムのスタート
              out SPL,r16
              <命令>～
```

リセットソース

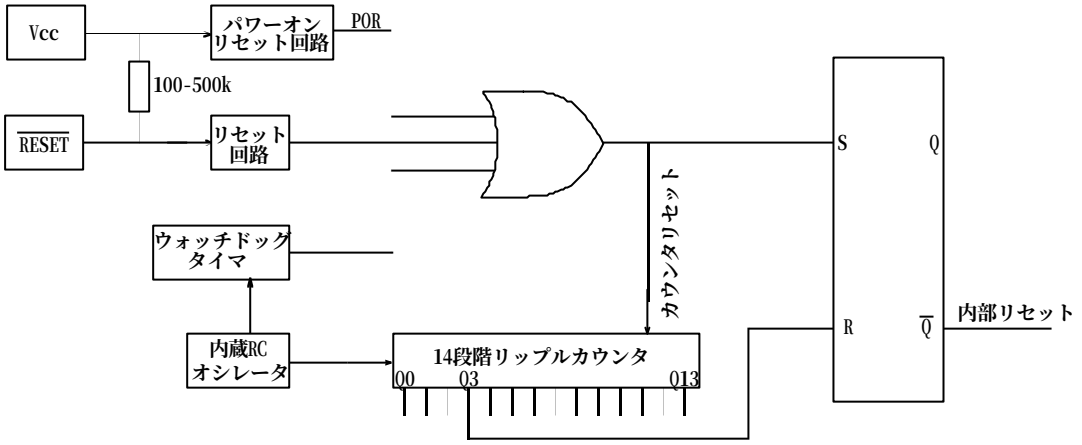
AT90S2323/2343 は 3 つのリセット源を持ちます。

・パワーON リセット　MCU は供給電源がパワーオンリセットスレッシュホールド Vpot を下回るときに、リセットされます。

・外部リセット　RESET ピンに 50ns 以上 L レベルがあると MCU がリセットされます。

・ウォッチドッグリセット　ウォッチドッグリセット期間が終了し、ウォッチドッグが有効になったときに MCU がリセットされます。
リセット期間中、すべての I/O レジスタが初期値に設定され、プログラムはアドレス$000 から実行を開始します。アドレス$000 に設定された命令は、扱っているルーチンをリセットするために RJMP 命令：相対ジャンプでなければなりません。プログラムが割込み源をイネーブルしない場合、割りこみベクトルは使われることはないので。そこに普通のプログラムコードを置くことができます。図 24 の回路図はリセットのロジックを表しています。表 4 でリセット回路の時間と電気的なパラメータを定義しています。

図 24 リセットの論理



AT90S/LS2323 はプログラム可能な立ち上がり時間があります。フラッシュメモリ中のヒューズビット FSTRT は、0 でプログラムされたときに立ち上がり時間がもっとも短くなります。AT90S/LS2323 はこのビットがプログラムされない状態で出荷されています。
AT90S/LS2343 は決まった立ち上がり時間があります。

表 4　リセットの特徴（Vcc=5.0）

記号	パラメータ	最小値	標準値	最大値	単位
V_{POT}	パワーオンリセットスレッシュホールド電圧（立ち上がり）	1.0	1.4	1.8	V
	パワーオンリセットスレッシュホールド電圧（立ち下がり）	0.4	0.6	0.8	V
V_{RST}	RESETピンスレッシュホールド電圧		0.6Vcc		V
t_{TOUT}	リセット遅延時間切れ期間At90S/LS2323FSTRTプログラム状態	1.0	1.1	1.2	ms
t_{TOUT}	リセット遅延時間切れ期間At90S/LS2323FSTRT未プログラム状態	11	16	21	ms
t_{TOUT}	リセット遅延時間切れ期間At90S/LS2323	11	16	21	us

注 1：パワーオンリセットは供給電圧が Vpot（立ち下がり）以下にならないばあい起こりません。

パワーオンリセット

AT90S2323/2343 は内部 RC 振動子(AT90S/LS2343　内蔵オシレーター)から動作するシステムで使う場合や外部クロックソースから生成されるクロック信号の応用のために設計されています。Vcc が Vpot に達するとデバイスは時間 Ttout をおいて開始します。（図 25）クロック信号が外部クロックソースによって作られると、Vcc は、加えられている周波数で

決まる最小電圧に達するまでクロックは加えないでください。
AT90S2323 に対して、通常のオシレータの立ち上がり時間に合わせて、立ち上がり時間を選択できます。WDT のオシレータサイクル数は表 6 で示されていおり、タイムアウト時間に使われています。AT90S2343 に対して立ち上がり時間はウォッチドッグサイクルのみです。ウォッチドッグオシレーターの周波数は 54 ページに示されている「標準的な特性」に示されているように電圧依存性があります。

表 6　ウォッチドッグオシレータサイクルの数

FSTRT	5Vでのタイムアウト	WDTサイクルの数
プログラム状態	1.1ms	1k
未プログラム状態	16.0ms	16k

図 25　MCU スタートアップ、Vcc に結びついた RESET

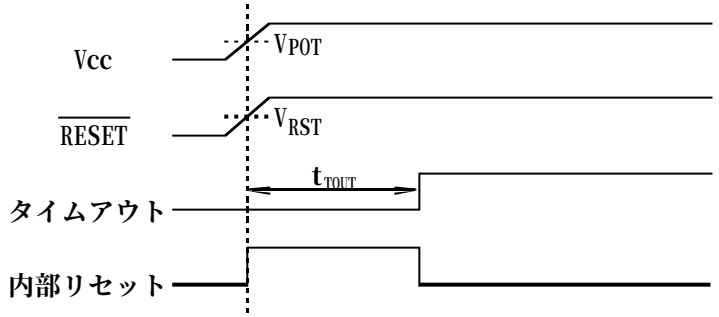
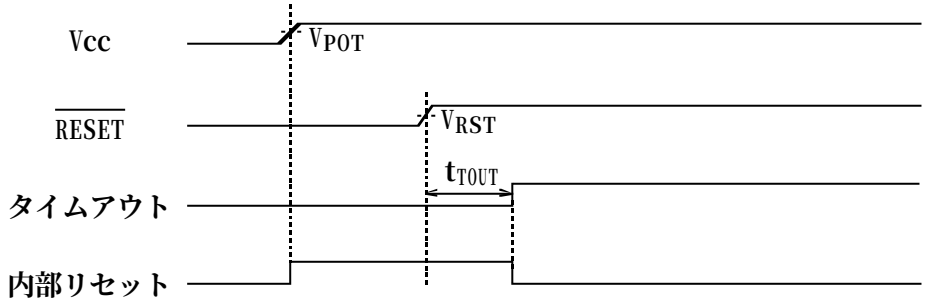


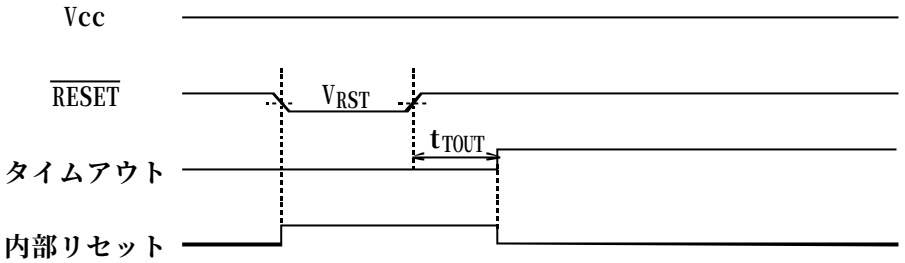
図 26　MCU の立ち上がり、外部からリセットをコントロールする



外部リセット

外部リセットは RESET ピン上の L レベルによって生成されます。50ns より長いリセットパルスがかかっていると、たとえクロックが動いていない場合でも、リセットが生成されます。これより短いパルスではリセットが生成される保証はありません。加えられた信号が立ち上がりでスレッシュホールド電圧 Vrst になるとき、タイムアウト時間 Ttout が終わった後、遅延タイマにより MCU 始動します。

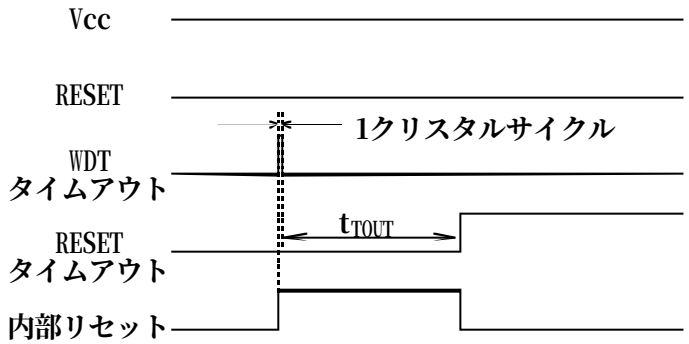
図 27　動作中の外部リセット



ウォッチドッグリセット

ウォッチドッグタイマが時間切れになると、1 XTAL のサイクルの継続時間の短いリセットパルスを生成します。このパルスの立ち下がりが起こると、遅延タイマが時間切れ時間 t_{TOUT} のカウントを開始します。ウォッチドッグの動作の詳細については 33 ページを参照してください。

図 28　動作中のウォッチドッグリセット



MCU ステータスレジスタ　MCUSR

MCU ステータスレジスタは、リセットソースから MCU リセットが起こるための情報を与えます。

ビット	7	6	5	4	3	2	1	0	
$34($54)	-	-	-	-	-	-	EXTRF	PORF	MCUSR
読み込み・書きこみ	読 (Read)	読 (Read)	読 (Read)	読 (Read)	読 (Read)	読 (Read)	読/書 (Read) / (Write)	読/書 (Read) / (Write)	
初期値	0	0	0	0	0	0	ビットの説明を参照		

ビット 7～2　Res：　予約ビットこれらのビットは AT90S2323/2343 **の予約ビットで、常に** 0 **として読み込まれます。**

ビット 1　EXTRF：外部リセットフラッグ

パワーオンリセットのあと、このビットは未定義（X**）になります。外部リセットによって設定されます。ウォッチドッグリセットでは、このリセットは変わりません。**

ビット 0　PORF：パワーオンリセットフラッグ

このビットはパワーオンリセットによって設定されます。ウォッチドッグリセット・外部

リセットではこのビットは変わりません。要約して、次の表で 3 モードのリセットの後のリセット値を示しています。

表 7　リセット後 PORF と EXTRF 値

リセット源	PORF	EXTRF
パワーオンリセット	1	未定義
外部リセット	変化無し	1
ウォッチドッグリセット	変化無し	変化無し

リセット状態の確認のためにこれらのビットを利用するためには、ソフト上で PORF と EXTRF ビットをなるべく早くクリアしておいてください。PORF と EXTRF の値をチェックはビットがクリアされる前にしておきます。外部・ウォッチドッグリセットが起こる前に、ビットがクリアされる場合、リセット源は次の真理値表を使うことができます。

表 8　リセットソースの確認

PORF	EXTRF	リセットソース
0	0	ウォッチドッグリセット
0	1	外部リセット
1	0	パワーオンリセット
1	1	パワーオンリセット

割りこみの扱い

AT90S2323/2343 は 2 つの 8 ビット割りこみマスクコントロールレジスタ GIMSK（汎用割りこみマスクレジスタ）と TIMSK（タイマ/カウンタ割りこみマスクレジスタ）を持っています。

割りこみが起こるとき、グローバル割り込み有効 I ビットがクリア(0)され、すべての割りこみが無効になります。ソフトウェア上で I ビットを 1 に設定でき、これによりネストされた割りこみが有効になります。割りこみからの帰還命令 RETI が実行されると、I ビットが 1 に設定されます。

割りこみルーチンを実行するためにプログラムカウンタが実際の割りこみベクトルのところに来ると、ハードウェア上で生成した割りこみに対応するフラッグを消去します。

割りこみフラッグのいくつかは、論理 1 をクリアするビットの位置に書きこむことによって、消去することができます。対応する割りこみ有効ビットが 0 になって、割りこみ状態が起こっている場合、割りこみフラッグは設定されて、割りこみが有効になるか、ソフト上でフラッグが消去されるまで記憶されます。

グローバル割りこみ有効ビットがクリアになったとき一つ以上の割りこみ状態起こっている場合、対応する割りこみフラッグが設定され、グローバル割り込みビットが有効になった後優先順位に従って実行されるまで、記憶されています。外部レベル割り込みではフラッグを持たないことに注意してください。このため、割りこみ状態がアクティブなときだけ、記憶されています。

ステータスレジスタは、割りこみルーチンに入るときに自動的に蓄えられたり、割りこみルーチンから帰ってきたときに、元に戻されることはありませんので注意してください。

これはソフト上で処理を行ってください。

一般割りこみマスクレジスタ　GIMSK

ビット	7	6	5	4	3	2	1	0	
$3B($5B)	-	INT0	-	-	-	-	-	-	GIMSK
読み込み・書きこみ	読 Read)	読/書 Read) / (Write)	読 Read)	読 Read)	読 Read)	読 Read)	読 Read)	読 Read)	
初期値	0	0	0	0	0	0	0	0	

ビット 7　Res：予約ビットこれらのビットは AT90S2323/2343 **の予約ビットで、常に** 0 **として読み込まれます。**

ビット 6　INT0：外部割りこみ要求 0 **有効ビット**

INT0 **が** 1 **に設定されていて、ステータスレジスタ(**SREG**)中の** I **ビットが** 1 **に設定されている場合、外部ピン割りこみが有効になります。**MCU **コントロールレジスタ** MCUCR **中の割り込み感度コントロール** 0 **ビットは** 1/0(ISC01 **と** ISC00)**は外部割りこみが、立ち上がり、立ち下がり、レベル変化でアクティブになるかどうかを定義しています。出力として** INT0 **ピンが構成されている場合でも、ピン上にくわわる変化で割りこみが生じます。外部割りこみ要求** 0 **に対応する割りこみはプログラムメモリの**$001 **アドレスから実行されます。「外部割りこみ」も参照してください。**

ビット 5～0　Res：予約ビットこれらのビットは AT90S2323/2343 **の予約ビットで、常に** 0 **として読み込まれます。**

グローバル割りこみフラッグレジスタ　GIFR

ビット	7	6	5	4	3	2	1	0	
$3A($5A)	-	INTF0	-	-	-	-	-	-	GIFR
読み込み・書きこみ	読 Read)	読/書 Read) / (Write)	読 Read)	読 Read)	読 Read)	読 Read)	読 Read)	読 Read)	
初期値	0	0	0	0	0	0	0	0	

ビット 7　Res：予約ビットこれらのビットは AT90S2323/2343 **の予約ビットで、常に** 0 **として読み込まれます。**

ビット 6　INTF0：外部割りこみフラッグ 0

INT0 **ピン上の変化で割りこみ要求がトリガされ、**INTF0 **が** 1 **に設定されます。**SREG **中の** I **ビットと** GIMSK **中の** INT0 **ビットが** 1 **に設定されている場合、**MCU **はアドレス**$001 **の割りこみベクトルへジャンプします。割りこみルーチンが実行されるとフラッグがクリアされます。その代わりに論理** 1 **を書きこむことによって消去することもあります。**

ビット 5～0　Res：予約ビットこれらのビットは AT90S2323/2343 **の予約ビットで、常に** 0 **として読み込まれます。**

タイマ/カウンタ割りこみマスクレジスタ　TIMSK

ビット	7	6	5	4	3	2	1	0	
$39($59)	-	-	-	-	-	-	TOIE0	-	TIMSK
読み込み・書きこみ	読 Read)	読 Read)	読 Read)	読 Read)	読 Read)	読 Read)	読/書 Read) / (Write)	読 Read)	
初期値	0	0	0	0	0	0	0	0	

ビット 7～2　Res：予約ビット

これらのビットは AT90S2323/2343 **の予約ビットで、常に** 0 **として読み込まれます。**

ビット 1　TOIE0：タイマ/カウンタオーバーフロー割りこみ有効

TOIE0 **ビットが** 1 **に設定されていて、ステータスレジスタ中の** I **ビットが** 1 **に設定されている場合、タイマ/カウンタ** 0 **オーバーフロー割りこみが有効になります。タイマ** 0 **カウンタの中でオーバーフローが起こったとき対応する割りこみ(アドレス$002)が実行されます。このとき、タイマ/カウンタ割りこみフラッグレジスタ** TIFR **中の** TOV0 **ビットが** 1 **に設定されます。**

ビット 0　Res：予約ビットこのビットは AT90S2323/2343 **の予約ビットで、常に** 0 **として読み込まれます。**

タイマ/カウンタ割りこみフラッグレジスタ　TIFR

ビット	7	6	5	4	3	2	1	0	
$38($58)	-	-	-	-	-	-	TOV0	-	TIFR
読み込み・書きこみ	読 Read)	読 Read)	読 Read)	読 Read)	読 Read)	読 Read)	読/書 Read) / (Write)	読 Read)	
初期値	0	0	0	0	0	0	0	0	

ビット 7～2　Res：予約ビットこれらのビットは AT90S2323/2343 **の予約ビットで、常に** 0 **として読み込まれます。**

ビット 1　TOV0：タイマ/カウンタオーバーフローフラッグ

タイマ/カウンタ 0 **でオーバーフローフローが起こるとき、**TOV0 **が** 1 **に設定されます。**TOV0 **は、対応する割りこみベクトルが実行されるときに、ハードウェアによってクリアされます。代わりに、**TOV0 **は論理** 1 **をフラッグへ書きこむことにより、クリアされます。**SREG **の** I **ビット、**TOIE(**タイマ/カウンタオーバーフロー割りこみイネーブル)と** TOV0 **が** 1 **に設定されているとき、タイマ/カウンタ** 0 **オーバーフロー割り込みが実行されます。**

ビット 0　Res：予約ビットこのビットは AT90S2323/2343 **の予約ビットで、常に** 0 **として読み込まれます。**

外部割りこみ

外部割りこみは INT0 **ピンによってトリガされます。有効になっている場合、**INT0 **ピンが出力になっている場合でも、割りこみがおこります。観察してみてください。これにより、ソフトウェア上で割りこみを生成することができます。外部割りこみは、立ち上がり・立**

ち下がりまたは L レベルによってトリガすることができます。これは、MCU コントロールレジスタ MCUCR の仕様で示されているようにして設定することができます。外部割りこみがトリガされていて、レベルトリガになっている場合、ピンが L レベルになっている限り割り込みがトリガされます。
MCU コントロールレジスタ MCUCR で指定されたとおりに設定されます。

割りこみ応答時間

有効になった AVR の割り込みに対する割りこみ実行応答時間は、最小で 4 クロックサイクルです。割りこみフラッグが設定されてから、4 クロックサイクルで、実際に動いている割りこみルーチンのプログラムベクトルのアドレスが実行されます。これらの 4 サイクルのうち、プログラムカウンタ（2 バイト）はスタックから POP され、スタックポインタは 2 加算され SREG の I フラッグが設定されます。ベクトルは割りこみルーチンへの相対ジャンプで、ジャンプは 2 クロックかかります。マルチサイクル命令が実行されている間に割り込みが起こった場合、この命令は割りこみが働くまでに完了します。
割りこみルーチンから帰ってくる（サブルーチンの呼び出しも同様）のには 4 サイクルかかります。これらの 4 サイクルの間、プログラムカウンタ（2 バイト）が POP でスタックから戻され、スタックポインタは 2 加算されます。AVR が割りこみから抜け出すとき、常にメインプログラムへもどり、未実行の割りこみが実行される前に１つ命令を実行します。

MCU コントロールレジスタ　MCUCR

MCU コントロールレジスタは、一般の MCU 機能に対するコントロールのためのビットを含んでいます。

ビット	7	6	5	4	3	2	1	0	
$35($55)	-	-	SE	SM	-	-	ISC01	ISC00	MCUCR
読み込み・書きこみ	読 Read)	読 Read)	読/書 Read) / (Write)	読/書 Read) / (Write)	読 Read)	読 Read)	読/書 Read) / (Write)	読/書 Read) / (Write)	
初期値	0	0	0	0	0	0	0	0	

ビット 7,6　Res：予約ビットこれらのビットは AT90S2323/2343 の予約ビットで、常に 0 として読み込まれます。

ビット 5　SE：スリープ有効

スリープ命令が実行されるときに MCU をスリープモードに入らせるために、SE ビットは 1 に設定されていなければなりません。プログラム上の意図でない限りは、MCU がスリープモードに入ってしまわないようにするために、SLEEP 命令の実行する直前にスリープモードを設定することをお勧めします。

ビット 4　SM：スリープモード

このビットで２つのスリープモードを選択します。SM が 0 になっていると、スリープモードとしてアイドルモードが選択されます。SM が 1 に設定されると、スリープモードとして

パワーダウンモードが選択されます。詳しくは 30 ページの「スリープモード」を参照してください。

ビット 3,2　Res：予約ビットこれらのビットは AT90S2323/2343 の予約ビットで、常に 0 として読み込まれます。

ビット 1,0　ISC01,ISC00：割りこみ感度コントロール 0　ビット 1、ビット 0

外部割りこみ 0 は、SREG の I フラッグと対応する割りこみマスクが設定されている場合、外部ピン INT0 によって、アクティブになります。割りこみがアクティブになる外部 INT0 ピンのレベル、エッジは表 9 で定義されています。INT01 ピンの値がエッジを検知する前にサンプリングされます。エッジまたはトグル割り込みが選択されていると、1 クロック周期より長いパルスにより割りこみが生成されます。L レベル割りこみが選択されている場合、割りこみを生成するために今実行している命令が完結するまで L レベルが保たれていなければなりません。

表 9　割りこみ 0 感度コントロール

ISC01	ISC00	説明
0	0	INT0 上でLレベルになると割りこみ要求が起こります。
0	1	予約
1	0	INT0 上で立ち下がりエッジがあると割りこみ要求が起こります。
1	1	INT0 上で立ち上がりエッジがあると割りこみ要求が起こります。

注意：　ISC01/ISC00 ビットを変えるとき、INT0 は GIMSK レジスタ中の割りこみイネーブルビットをクリアすることにより無効にしておかなければなりません。そうしないと、ビットを変えた時に割りこみが起こることがあります。

スリープモード

スリープモードに入るためには、MCUCR 中の SE ビットを 1 に設定し、SLEEP 命令が実行されなければなりません。スリープモードの MCU が入っている間に、有効になった割りこみが起こった場合、MCU が目を覚まし、割りこみルーチンを実行し、SLEEP から続く命令から実行を再開します。レジスタファイル、SRAM、I/O メモリの内容が変わることはありません。スリープモード時にリセットが起こった場合は、MCU は目覚めて、リセットベクトルから実行していきます。

アイドルモード

SM ビットが 0 にクリアされると、SLEEP 命令で MCU は強制的にアイドリングモードに入って、CPU は止まりますが、タイマ/カウンタ、ウオッチドッグタイマ、割りこみシステムが動きつづけています。これにより、MCU は、タイマオーバーフローやウオッチドッグリセットなどのような内部割込みだけではなく、外部トリガによる割りこみで目覚めます。

パワーダウンモード

SM ビットが 1 に設定されていると、SLEEP 命令で MCU が強制的にパワーダウンモードに入ります。このモードでは、外部割りこみや（有効になっている場合）ウオッチドッグが動作しつづけている一方で、外部オシレーターは停止します。外部リセット、ウオッチ

ドッグリセット、INT0 ピン上の外部レベル割りこみだけが、MCU を目覚めさせることができます。

レベルトリガ割りこみがパワーダウンモードからの起動に使われている場合、変化したレベルは MCU を起動するのにしばらく保持されていなければなりません。これにより、MCU はノイズに対して反応しにくくなります。変わったレベルは、ウオッチドッグタイマの振動クロックにより 2 回サンプリングされ、この間に入力が要求されているレベルになっている場合 MCU が起動します。ウオッチドッグ振動子の周期は 5.0V、25℃で（通常）5.0us になります。ウォッチドッグの周波数は 54 ページ「標準的な特性」の示されているように、電圧依存性があります。

パワーダウンモードから起動するときに、起動が有効になるまで、起動状態の遅れが生じます。これによりクロックが再スタート後安定に動くことができます。表 4,5 に示されているように、起動時間はクロックリセット周期と等しくなります。

MCU が起動して、実行を始める前に起動条件がなくなってしまう場合、例えば、L レベルが十分長く保たれなかった場合、は起動するための割りこみが実行されなくなります。

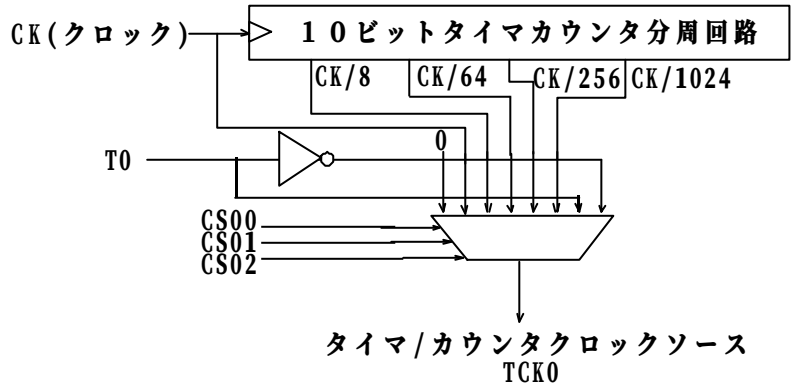
タイマ/カウンタ 0

AT90S2323/2343 には、汎用 8 ビットタイマカウンタ　タイマカウンタ 0 があります。タイマ/カウンタ 10 ビット分周タイマから分周の選択ができます。タイマ/カウンタは内部クロックベースのタイマとしても、外部ピンを接続して、カウンタをトリガしていくようにも使うことができます。

タイマ/カウンタ 0 分周器

図 29 はタイマカウンタの分周器を示しています。

図 29　タイマカウンタ分周器



4 つの分周選択は：1/8 CK、1/64 CK、1/256 CK、1/1024 CK で、CK は振動子のクロックになります。CK、外部ソース、STOP がクロック源として選択できます。

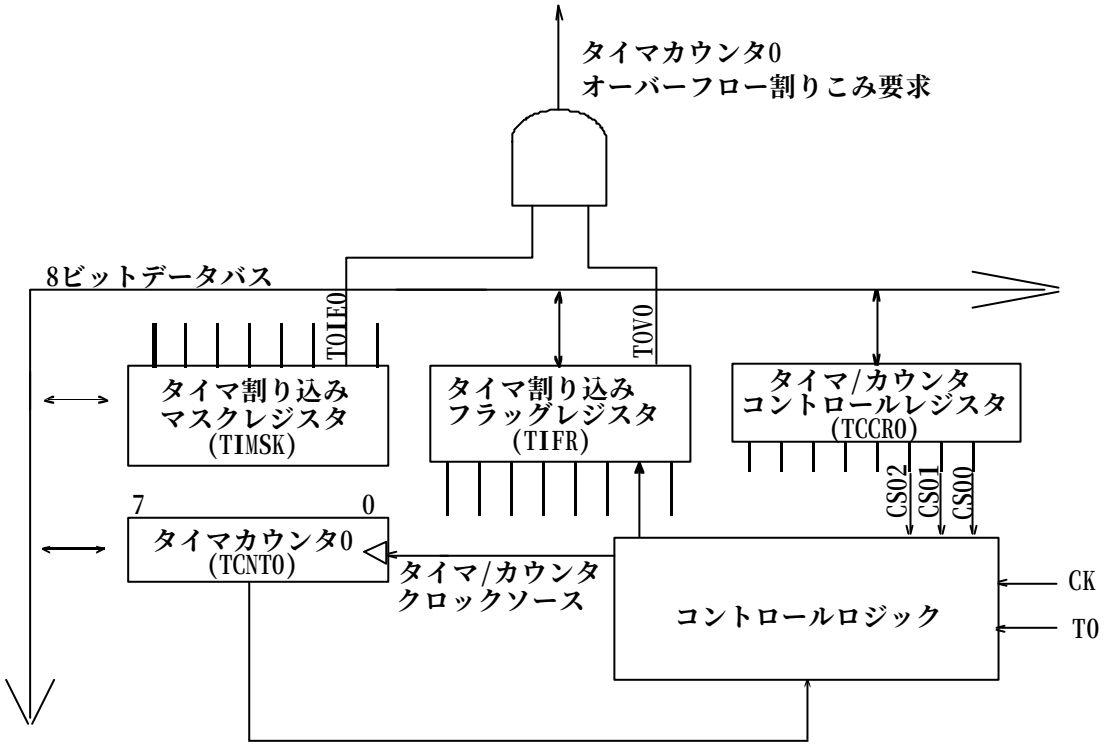
8 ビットタイマ/カウンタ 0

図 30 はタイマ/カウンタ 0 のブロックダイアグラムを示してあります。

8 ビットタイマ/カウンタは CK からクロックソース、分周されたクロック、外部クロックから選択されています。加えて、タイマ/カウンタ 0 コントロールレジスタ TCCR0 に指定

された通りに、とめることが出来ます。オーバーフローステータスフラッグは、タイマ/カウンタ割りこみフラッグレジスタ TIFR 中で見られます。
コントロール信号は、タイマ/カウンタ 0 コントロールレジスタ TCCR0 の中にあります。タイマ/カウンタ 0 の割りこみの有効・無効設定は、タイマ/カウンタ 0 割り込みコントロールレジスタ TIMSK 中に見られます。タイマ/カウンタ 0 が外部的にクロックされている時、外部信号は CPU のオシレータ周波数に同期しています。外部クロックが正しくサンプリングされるようにするために、外部クロック信号変化の最小時間幅は少なくとも内部 CPU 1 クロック分なければなりません。外部信号は内部 CPU クロックの立ち上がりでサンプリングされます。
8 ビットタイマ/カウンタ 0 は、低分周率で使う場合には、高精度、高分解能になります。同様に、高い分周率での用途では、低いスピードの機能、非周期的な動作に対して正確な計時機能に有用です。

図 30　ブロックダイアグラム



タイマ/カウンタ 0 コントロールレジスタ　TCCR0

ビット	7	6	5	4	3	2	1	0	
$33($53)	-	-	-	-	-	CS02	CS01	CS00	TCCR0
読み込み・書きこみ	読 Read)	読 Read)	読 Read)	読 Read)	読 Read)	読/書 Read) / (Write)	読/書 Read) / (Write)	読/書 Read) / (Write)	
初期値	0	0	0	0	0	0	0	0	

ビット 7～3　Res：予約ビットこれらのビットは AT90S2323/2343 の予約ビットで、常に 0 として読み込まれます。

ビット 2,1,0　CS02,CS01,CS00：クロック選択ビット 2,1,0

表 10　クロック分周選択

CS02	CS01	CS00	説明
0	0	0	ストップ・タイマ/カウンタ0が止まります。
0	0	1	CK
0	1	0	CK/8
0	1	1	CK/64
1	0	0	CK/256
1	0	1	CK/1024
1	1	0	外部ピンT0立ち下がりエッジ
1	1	1	外部ピンT0立ち上がりエッジ

停止状態で、タイマ有効・無効のコントロールができます。クロック分割モードではオシレータクロックが直接使われます。外部ピンモードはタイマ/カウンタ 0 用に使われる場合、T0 ピンが出力設定になっていても、PB2/(T0)での変化でカウンタが回ります。これにより、ユーザーがカウントの切り替えを行います。

タイマ/カウンタ 0　TCNT0

ビット	7	6	5	4	3	2	1	0	
$32($52)	MSB							LSB	TCNT0
読み込み・書きこみ	読/書 Read) / (Write)	読/書 Read) / (Write)	読/書 Read) / (Write)	読/書 Read) / (Write)	読/書 Read) / (Write)	読/書 Read) / (Write)	読/書 Read) / (Write)	読/書 Read) / (Write)	
初期値	0	0	0	0	0	0	0	0	

タイマ/カウンタ 0 は読み込み・書きこみ可能な数え上げカウンタです。タイマ・カウンタ 0 が書きこまれていて、クロック源がある場合は書きこみ動作に続いて、タイマクロックサイクルでカウントを続けます。

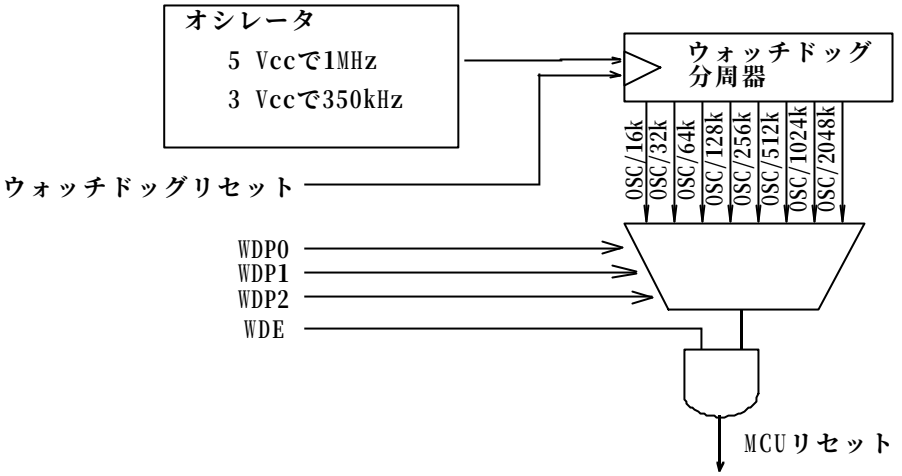
ウォッチドッグタイマ

ウォッチドッグタイマは、別の内臓オシレータ（RC オシレータを使用：訳者注）からクロックされます。ウォッチドッグタイマのプリスケーラーをコントロールすることによって、表 11 に示されているように、ウォッチドッグリセット間隔が調節できます。他の Vcc レベルで特性データを見てください。WDR 命令（ウォッチドッグリセット）はウォッチドッグタイマをリセットします。8 つのクロック周期が選択されると、リセット周期が決定されます。ウォッチドッグリセットなしでリセット周期が過ぎると、AT90S2323/2343 はリセットになり、リセットベクトルから実行します。ウォッチドッグリセットの計時の詳細については、24 ページを参照してください。

ウォッチドッグを意図しないで無効になっているのを防ぐために、ウォッチドッグリセッ

トが無効になっているとき特別な切断シーケンスが必要です。詳しくは、ウォッチドッグタイマコントロールレジスタの説明を参照してください。

図 31　ウォッチドッグタイマ



ウォッチドッグタイマコントロールレジスタ　WDTCR

ビット	7	6	5	4	3	2	1	0	
$21($41)	-	-	-	WDTOE	WDE	WDP2	WDP1	WDP0	WDTCR
読み込み・書きこみ	読 (Read)	読 (Read)	読 (Read)	読/書 (Read) / (Write)	読/書 (Read) / (Write)	読/書 (Read) / (Write)	読/書 (Read) / (Write)	読/書 (Read) / (Write)	
初期値	0	0	0	0	0	0	0	0	

ビット 7～5　Res：予約ビットこれらのビットは AT90S2323/2343 **の予約ビットで、常に** 0 **として読み込まれます。**

ビット 4　WDTOE：ウォッチドッグ切断イネーブル

WDE **ビットがクリアされるときこのビットは** 1 **に設定されなければなりません。そうでない場合、ウォッチドッグが無効になることはありません。一旦設定されると、ハードウェアで** 4 **サイクル後、このビットがクリアになります。ウォッチドッグ無効の手続き用の** WDE **ビットの説明を参照してください。**

ビット 3　WDE：ウォッチドッグイネーブル

WDE **が** 1 **に設定されて、ウォッチドッグタイマが有効になり、**WDE **が** 0 **にクリアされているとウォッチドッグタイマ機能が無効になります。**WDTOE **ビットが** 1 **に設定されている場合、**WDE **がクリアだけされます。有効になったウォッチドッグタイマを無効にするために、次の手続きに従って下さい。**

1. **同じ演算で、**WDTOE **と** WDE **に論理** 1 **を書きこんでください。無効動作が始まる前に** 1 **に設定されたとしても** WDE **に論理** 1 **が書きこまれなければなりません。**
2. **次の** 4 **クロックサイクル以内で、論理** 0 **を** WDE **へ書きこんでください。これによりウォッチドッグが無効になります。**

ビット 2～0　WDP2,WDP1,WDP0：ウォッチドッグタイマ分周 1 と 0

WDP2,WDP1 と WDP0 ビットは、ウォッチドッグタイマが有効になるとき、ウォッチドッグタイマの分周が決まります。分周値と対応する時間切れ周期が表 11 に示されています。

表 11　ウォッチドッグタイマ分周選択

WDP2	WDP1	WDP0	ウォッチドッグタイマオシレータサイクル	Vcc=3.0V での標準タイムアウト	Vcc=5V での標準タイムアウト
0	0	0	16kサイクル	47ms	15ms
0	0	1	32kサイクル	94ms	30ms
0	1	0	64kサイクル	0.19s	60ms
0	1	1	128kサイクル	0.38s	0.12s
1	0	0	256kサイクル	0.75s	0.24s
1	0	1	512kサイクル	1.5s	0.49s
1	1	0	1024kサイクル	3.0s	0.97s
1	1	1	2048kサイクル	6.0s	1.9s

注意：　ウォッチドッグタイマのオシレータ周波数は、（RC オシレータのため：訳者注）電気的特性の節にあるように電圧依存性があります。WDR（ウォッチドッグリセット）命令はウォッチドッグタイマが有効になる前に常に実行されています。これにより、リセット周期がウオッチドッグタイマの分周設定と確実に一致するようになります。ウォッチドッグタイマがリセットなしに有効になると、ウォッチドッグタイマはゼロからカウントが始まらないことがあります。

EEPROM 書きこみ・読み込みアクセス

EEPROM アクセスレジスタは I/O 空間でアクセスできます。書き込みアクセス時間は、2.5～4ms にわたり、Vcc の電圧に依存しています。しかし、セルフタイマ機能により、ユーザーソフトウェアに、いつ次のバイトを書きこむことができるかを検出させます。意図せず EEPROM の書きこまれてしまうことを防ぐために、所定の書きこみ手続きに従わなければなりません。これについての詳細は EEPROM コントロールレジスタの説明を参照してください。EEPROM が読み込みまたは書きこまれるとき、CPU は次の命令が実行されるまでに 2 クロックサイクル止まっています。

EEPROM アドレスレジスタ　EEAR

ビット 7　Res：予約ビットこのビットは AT90S2323/2343 の予約ビットで、常に 0 として読み込まれます。

ビット	7	6	5	4	3	2	1	0	
$1E($3E)	-	EEAR6	EEAR5	EEAR4	EEAR3	EEAR2	EEAR1	EEAR0	EEAR
読み込み・書きこみ	読 (Read)	読/書 (Read) / (Write)	読/書 (Read) / (Write)	読/書 (Read) / (Write)	読/書 (Read) / (Write)	読/書 (Read) / (Write)	読/書 (Read) / (Write)	読/書 (Read) / (Write)	
初期値	0	0	0	0	0	0	0	0	

ビット 6～0　EEAR6～0：EEPROM アドレス

EEPROM アドレスレジスタ EEAR6～0 は 128 バイト EEPROM 空間中で EEPROM アドレスを指定します。EEPROM データバイトは 0～127 をリニアに割り当てられていきます。

EEPROM データレジスタ　EEDR

$1D($3D)	MSB							LSB	EEDR
読み込み・書きこみ	読/書 (Read) / (Write)	読/書 (Read) / (Write)	読/書 (Read) / (Write)	読/書 (Read) / (Write)	読/書 (Read) / (Write)	読/書 (Read) / (Write)	読/書 (Read) / (Write)	読/書 (Read) / (Write)	
初期値	0	0	0	0	0	0	0	0	

ビット 7～0　EEPROM データ

EEPROM 書きこみ動作に対して、EEDR レジスタは、データを含んでおり、EEAR によって与えられるアドレスに書きこまれます。読込み動作にたいしては、EEPROM から読み出されるデータが含まれており、読み出しアドレスは EEAR で指定されます。

EEPROM コントロールレジスタ　EECR

ビット	7	6	5	4	3	2	1	0	
$1C($3C)	-	-	-	-	-	EEMWE	EEWE	EERE	EECR
読み込み・書きこみ	読 (Read)	読 (Read)	読 (Read)	読 (Read)	読 (Read)	読/書 (Read) / (Write)	読/書 (Read) / (Write)	読/書 (Read) / (Write)	
初期値	0	0	0	0	0	0	0	0	

ビット 7～3　Res：予約ビットこれらのビットは AT90S2323/2343 **の予約ビットで、常に** 0 **として読み込まれます。**

ビット 2　EEMWE：EEPROM マスタ書きこみイネーブル

EEMWE ビットは、EEWE を 1 に設定すると EEPROM が書きこまれるかどうかを決めます。EEMWE が 1 に設定されているとき、EEWE を設定すると指定したアドレスで EEPROM へデータが書きこまれます。EEMWE が 0 の場合、EEWE を設定しても、何も起こりません。EEMWE がソフトによって 1 に設定されると、4 クロックサイクル後ハードウェアによりビットが 0 にクリアされます。EEPROM の書きこみ手続きについては、EEWE ビットの説明を参照してください。

ビット 1　EEWE：EEPROM 書きこみ有効

EEPROM 書きこみイネーブル信号 EEWE は EEPROM への書きこみストロボになっています。アドレスとデータを正しく設定した時に、EEPROM へ値を書きこむために設定しなければなりません。論理 1 が EEWE へ書きこまれるときに、EEMWE ビットが設定されていなければなりません。そうしないと、EEPROM の書き込みは起こりません。EEPROM に書きこむのに次の手順に従って下さい。（ステップ 2 と 3 は、必須ではありません。）

1. EEWE ビットが 0 になるのを待ってください。
2. 新しい EEPROM アドレスを EEAR に書きこんでください。（オプション）
3. 新しい EEPROM データを EEDR へ書きこんでください。（オプション）
4. EECR 中の EEMWE に論理 1 を書きこんでください。
5. EEMWE の設定から 4 クロックサイクル以内に論理 1 を EEWE に書きこんでください。

警告：ステップ 4 と 5 の間に割りこみが起こると、EEPROM 書きこみイネーブルが時間切れになるため、書きこみサイクルが失敗になります。EEPROM にアクセスしている割りこ

みルーチンが他の EEPROM アクセスを妨害している場合、EEAR と EEDR レジスタが修正され、割りこまれた EEPROM のアクセスの失敗の原因になります。この問題を避けるために、最後の 4 ステップはグローバル割りこみフラッグをクリアにしておくことをお勧めします。書き込みアクセス時間（通常 Vcc=5V で 2.5ms、Vcc=2.7V で 4ms）が過ぎると、EEWE ビットはハードウェアによりクリアされます。ソフト上でこのビットが 0 になるのをみることができるので、0 になるのを待ってから次のバイトを書きこむようにしてください。EEWE ビットが設定されると、2 サイクル止まってから次の命令が実行されます。

ビット 0　EERE：EEPROM 読み込みイネーブル

EEPROM 読み込みイネーブル信号 EERE は EEPROM への読み込みストロボです。（このビットが 1 になったタイミングで読み込まれ、自動的に 0 に戻されます。ダイナミック。）正しいアドレスが EEAR レジスタ中で設定されているときに、EERE ビットが設定されなければなりません。EEPROM 読み込みアクセスには 1 命令かかり、EERE ビットを調べておく必要はありません。EERE ビットが設定されると、2 サイクル止まってから次の命令が実行されます。読み込み動作を始める前に EEWE ビットを調べておく必要があります。新しいデータ・アドレスが EEPROM　I/O レジスタへ書きこまれるときに、書きこみ動作が進行中である場合、書きこみ動作が中断され、結果が定義されなくなります。

EEPROM データ崩壊を防ぐ

Vcc が低くなっている間、供給電源が低すぎるために CPU と EEPROM が正しく動作しない場合があります。この問題は、EEPROM を使った基板レベルのシステムと同じで、同様の設計上の解決策を適用しなければなりません。EEPROM のデータ崩壊は電源が低すぎる場合 2 つの状況で起こることがあります。まず、正規に書きこみシーケンスが行われるためには正しく動作するための最低電圧が必要です。次に、CPU は電源電圧が低すぎると、命令を間違って実行してしまうことがあります。

EEPROM データ崩壊は、以下の設計上の忠告に従うことによって簡単に避けることができます。（1 つで十分です。）

1. AVR のリセットを電源が不充分な間アクティブ（L レベル）にしておいてください。これは、ブラウンアウト検出器（BOD）としてよく引き合いに出される外部の低 Vcc リセット保護回路により最もうまく行うことができます。パワーオンリセットと低電圧検出に関する考察、アプリケーションノート AVR180 を参照してください。
2. Vcc が低くなっている間に AVR のコアをパワーダウンスリープモードにしておいてください。これにより、CPU が命令の解読・実行を行えなくなり、意図しない書きこみから EEPROM を十分に保護することができます。
3. ソフトでメモリ内容を変える機能が必要ではなくても、フラッシュメモリ中に定数を蓄えてください。フラッシュメモリは CPU によって更新されることはなく、データ崩壊の影響を受けなくなります。

I/O ポートB

デジタル I/O ポートとして使われる場合、全 AVR ポートは、読み込み・修正・書きこみ機能を持っています。他のピンの方向を意図せず変えてしまうことなく、1 つのポートピンの方向を、SBI,CBI 命令で変更できることを意味しています。同様に（出力として構成されている場合）ドライブ値の変更、（入力設定の場合）プルアップ抵抗の有効・無効についてもいえます。

AT90S/LS2323 に対してポートBピンは 3 ビット双方向 I/O ポートです。AT90S/LS2343 では、ポートBは 5 ビットの双方向 I/O ポートです。

注意：PORTB,DDRB,PINB の説明は、AT90S/LS2323 には当てはまりません。これらは、すべて、0 として読み込まれます。

3 つの I/O メモリアドレスの位置は、それぞれ、データレジスタ PORTB に対しては$18($38)、データ方向レジスタ DDRB$17($37)、ポート B 入力ピン PINB は$16($36)になります。データレジスタとデータ方向レジスタが読み込み・書きこみができるのに対し、ポートB入力ピンアドレスは、読み込み専用です。

全ポートピンは個々にプルアップ抵抗を選択可能です。ポートB出力バッファは 20mA まで流し込むことができるので、LED ディスプレイを直接駆動できます。PB0～PB4 は入力として使うことができ、外部的に L レベルにしてあるとき、内部レジスタが有効になると電流を流すことができます。

ポート B ピンは次の表に示されているような機能選択ができます。

表 12　ポート B ピンの選択機能

ポート端子	選択機能
PB0	MOSI(メモリのダウンロードのためのデータ入力線)
PB1	MISO(メモリの更新のためのデータ出力線)
	INT0(外部割りこみ要求入力)
PB2	SCK(シリアルプログラミング用のシリアルクロック入力)
	T0()タイマ/カウンタ0クロック入力)
PB3	クロック（AT90S/LS2143専用クロック入力）

ピンが選択機能を使うためには、DDRB と PORTB レジスタは、選択機能の説明に従って設定されなければなりません。

ポートB データレジスタ　PORTB

ビット	7	6	5	4	3	2	1	0	
$18($38)	-	-	-	PORTB4	PORTB3	PORTB2	PORTB1	PORTB0	PORTB
読み込み・書きこみ	読 Read)	読 Read)	読 Read)	読/書 Read) / (Write)	読/書 Read) / (Write)	読/書 Read) / (Write)	読/書 Read) / (Write)	読/書 Read) / (Write)	
初期値	0	0	0	0	0	0	0	0	

ポート B 方向レジスタ　DDRB

ビット	7	6	5	4	3	2	1	0	
$17($37)	-	-	-	DDRB4	DDRB3	DDRB2	DDRB1	DDRB0	DDRB
読み込み・書きこみ	読 Read)	読 Read)	読 Read)	読/書 Read) / (Write)	読/書 Read) / (Write)	読/書 Read) / (Write)	読/書 Read) / (Write)	読/書 Read) / (Write)	
初期値	0	0	0	0	0	0	0	0	

ポート B 入力アドレス　PINB

ビット	7	6	5	4	3	2	1	0	
$16($36)	-	-	-	PINB4	PINB3	PINB2	PINB1	PINB0	PINB
読み込み・書きこみ	読 Read)	読 Read)	読 Read)	読 Read)	読 Read)	読 Read)	読 Read)	読 Read)	
初期値	0	0	0	0	0	0	0	0	

ポート B 入力ピンアドレスは PINB はレジスタではありません。このアドレスでポート B ピンの物理値のアクセスが有効になります。PORTB を読み込むとき、ポート B データラッチが読み込まれ、PINB を読み込むときは、ピン上の物理値が読みこまれます。

一般デジタル I/O としてのポート B

ポート B ピンの全部のピンが、デジタル I/O ピンとして使われているとき、同じ機能を持っています。

PBn、汎用 I/O ピン：DDRB レジスタ中の DDBn レジスタピンの方向が決まります。DDBn が 1 に設定されている時、PBn は出力ピンとして構成されます。DDBn がクリアされている場合、PBn は入力ピンとして構成されます。入力ピンとして構成されている時で、PORTBn が 1 に設定されている場合 MOS プルアップ抵抗がアクティブになります。プルアップ抵抗を OFF にするために、PORTB をクリアにするか、出力ピンとして構成してください。リセット状態がアクティブになったとき、クロックが動いていなくても、トライステートになっています。

表 13　ポート B ピンの DDBn の効果

DDBn	PORTB	I/O	プルアップ抵抗	コメント
0	0	入力	OFF	トライステート（ハイインピーダンス状態）
0	1	入力	ON	Lレベルにプルダウンされている場合、電流が流れ出ます
1	0	出力	OFF	プッシュプルゼロ出力
1	1	出力	OFF	プッシュプル1出力

ポート B ピンの選択機能

ポート B ピンの選択機能は：

CLOCK ポート B　ビット 3

クロック入力、AT90S/LS2343 **専用です。**RCEN **ヒューズがプログラムされていて、デバイスが内部** RC **オシレータで動いているときは、このピンは汎用の** I/O **ピンになります。**RCEN **ヒューズがプログラムされない場合、外部クロックソースを** CLOCK **につなげておかなければなりません。**

SCK ポート B、ビット 2

シリアルプログラミングモードにおいて、このビットはシリアルクロック入力 SCK **として働きます。**

通常動作の間は、外部カウンタクロック入力として働きます。詳細は、タイマ/カウンタの説明を見てください。外部タイマ/カウンタクロックが選択されている場合、ピンが出力設定になっていたとしても、このピンでの変化で、カウンタがクロックされます。

MISO ポート B、ビット 1

シリアルプログラミングモードにおいて、このビットはシリアルデータ出力ピン MISO **として働きます。**

通常動作では、このピンは外部入力として働きます。この割りこみを有効にする方法についての詳細は割りこみの説明を見てください。このピンでの変化は、ピンが出力として構成されていても割りこみがトリガされます。

MOSI ポート B、ビット 0

シリアルプログラミングモードにおいて、このピンはデータ入力 MOSI **として働きます。**

メモリのプログラミング

AT90S2323/2343 **は２つのロックビットを持っており、非プログラム「**0**」、プログラム「１」状態にして表** 14 **のような特性を得ることができます。ロックビットはチップ消去動作でのみ消去することができます。**

表 14　**ロックビット保護モード**

メモリロックビット			
モード	LB1	LB2	保護の種類
1	1	1	メモリロック機能は有効になっていません
2	0	1	追加でフラッシュとメモリのプログラミングが無効になっていま
3	0	0	モード２と同じです。ベリファイもできません。

注意：

1. **シリアルプログラミングモード（高い電圧）において、ヒューズビットを何度もプログラムすると無効になります。ロックビットをプログラムする前にヒューズビットをかけてください。**

AT90S/LS2323 のヒューズビット

・AT90S/LS2323 **は** 2 **つのヒューズビット** SPIEN **と** FSTRT **を持っています。**

SPIEN **ヒューズがプログラム「**0**」されている時、シリアルプログラムのデータがダウ**

ンロードが有効になります。標準値は「0」です。このビットはシリアルプログラミングモード（低い電圧）でアクセスできます。

- FSTRT ヒューズがプログラムされるとき、最短の立ち上がり時間が表 6 のように示されています。標準値は「0」です。FSTRT ヒューズの変更しても、次のパワーオンリセットまで、効果がありません。AT90S/LS2343 において、立ち上がり時間は固定されています。

ヒューズビットの状態ではチップ消去でも変わりません。

AT90S/LS2343 のヒューズビット

・AT90S/LS2343 は 2 つのヒューズビット SPIEN と RCEN を持っています。

SPIEN ヒューズがプログラム「0」されている時、シリアルプログラムのデータがダウンロードされます。標準値は「0」です。このビットはシリアルプログラミングモード（低い電圧）でアクセスできます。

- RCEN ヒューズがプログラム（「0」）されていると、内部 RC オシレータが MCU のクロックソースとして選択されます。標準値は「0」です。RCEN ビットを変えても、次のパワーオンリセットまで効果がありません。AT90S/LS2323 は MCU ソースとして RC オシレータを選択することができません。

ヒューズビットの状態ではチップ消去でも変わりません。

署名バイト

全 Atmel マイクロコントローラは 3 バイトの署名バイトを持っており、デバイスの ID として使います。3 つのバイトは、アドレス空間に分かれます。

AT90S/LS2323 に対し、

1. $000：$1E（Atmel 製品であることを示します。）
2. $001：$91（2k バイトのフラッシュメモリを示します。）
3. $002：$02（署名バイト$001 は$91 になっている場合、AT90S/LS2323 であることを示します）

AT90S/LS2343 に対しては

1. $000：$1E（Atmel 製品であることを示します。）
2. $001：$91（2k バイトのフラッシュメモリを示します。）
3. $002：$03（署名バイト$001 は$91 になっている場合、AT90S/LS2343 であることを示します）

1. ロックビットがプログラムされる（ロックモード 3）とき、署名バイトは、シリアルプログラミングモード（低い電圧）で読み込むことができません。署名ビットを読み込むと次の値を返します。：$01,$02,$03

フラッシュと EEPROM のプログラミング

Atmel の AT90S2323/2343 には 2k バイトのシステム内蔵プログラム可能フラッシュプロ

グラムメモリと 128 バイトの EEPROM データメモリがあります。
AT90S2323/2343 は内蔵フラッシュプログラムと EEPROM データメモリ消去された状態（すなわち中身＝$FF）で並んでおり、プログラムする準備ができています。
デバイスは、高電圧（12V）シリアルプログラミングモードとシリアルプログラミングモード（低い電圧）があります。+12V はプログラミング有効にするためにだけ使われ、このピンからは重要な電流が流れてくることはありません。シリアルプログラミングモード（低い電圧）では、ユーザのシステム中にあるデバイスへプログラムやデータのダウンロードができます。
AT90S2323/2343 中の EEPROM と PROGRAM メモリはどのプログラミングモードでもバイトごとにプログラムされます。EEPROM に対して、シリアルプログラミングモード（低い電圧）のセルフタイム書きこみ命令の中で自動消去サイクルが作られます。

プログラミング中に供給電圧は、表と一致していなければなりません。

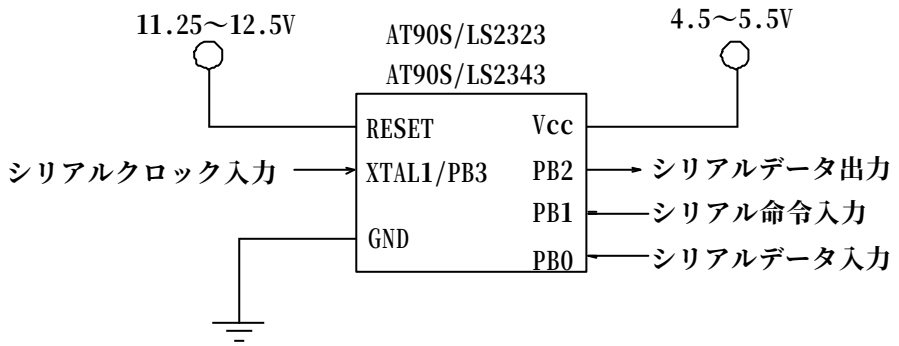
表 15　プログラミング中の供給電圧

型番	低い電圧でのシリアルプログラミング	高い電圧でのシリアルプログラミング
AT90S2323	4.0～6.0V	4.5～5.5V
AT90LS2323	2.7～6.0V	4.5～5.5V
AT90S2343	4.0～6.0V	4.5～5.5V
AT90LS2343	2.7～6.0V	4.5～5.5V

シリアルプログラミング（高い電圧）

この節では、AT90S2323/2343 のフラッシュプログラムメモリ、EEPROM データメモリ、ロックビット、ヒューズビットのプログラム・ベリファイの方法を説明しています。

図 32　高電圧プログラミング



シリアルプログラミング（高い電圧）のアルゴリズム

シリアルプログラミングモード（高い電圧）で AT90S/LS2323 と AT90S/LS2343 をプログラム・ベリファイするために、次の手順を推奨しています。（表 16 の命令フォーマットを参照してください。）

1．パワーアップシーケンス：Vcc と GND 間の 4.5～5.5V をかけてください。PB5 と PB0

を 0 に設定して少なくとも 100ns 待ってください。PB3 を最小で 100ns のパルス幅で最低 4 回 PB3 をトグルしてください。PB3 を 0 に設定してください。少なくとも、100ns 待ってください。PB5 に 12V をかけて、PB5 へ加えて、PB0 の値がクリアされるまで少なくとも 100ns 待ってください。命令を与える前に 8 us 待ってください。

2. フラッシュの配列は、1 度に 1 バイトプログラムされ、まず、アドレス、次に、下位バイトデータ、上位バイトデータが供給されます。書きこみサイクルは自己計時になっていて、PB2(RDY/BSY)ピンが H レベルになるまで待ってください。
3. EEPROM の配列は 1 度に 1 バイトプログラムされ、まず、アドレス、次に、下位バイトデータ、上位バイトデータが供給されます。書きこみサイクルは自己計時になっていて、PB2(RDY/BSY)ピンが H レベルになるまで待ってください。
4. メモリ位置は読み込み命令によってベリファイでき、シリアル出力 PB2 に選択されたアドレスの値を返します。

5. パワーオフシーケンス：　　PB3 が「0」に設定
　　PB5 を「1」に設定

シリアルデータをデバイスに書きこみ・読み込みするとき、データはシリアルクロックの立ち上がりエッジでクロックされます。詳しくは、図 33、図 34、表 17 を参照してください。

図 33　シリアルプログラミング（高い電圧）中の波形

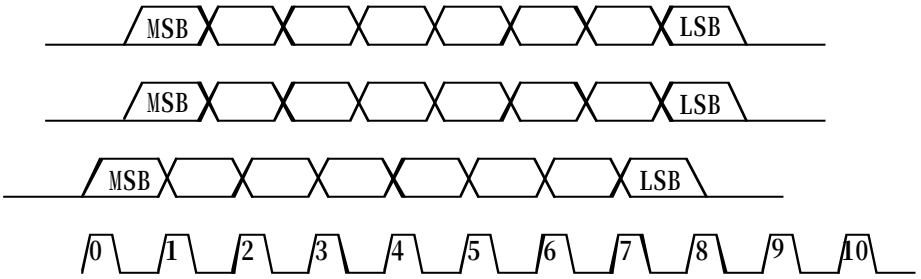


表 16　シリアルプログラミング（高い電圧）命令一覧

Instruction		Instruction Format				Operation Remarks
		Instr.1	Instr.2	Instr.3	Instr.4	
Chip Erase	PB0 PB1 PB2	0_1000_0000_00 0_0100_1100_00 x_xxxx_xxxx_xx	0_0000_0000_00 0_0110_0100_00 x_xxxx_xxxx_xx	0_0000_0000_00 0_0110_1100_00 x_xxxx_xxxx_xx	0_0000_0000_00 0_0100_1100_00 x_xxxx_xxxx_xx	Wait t_{WLWH_CE} after Instr.3 for the Chip Erase cycle to finish.
Write Flash High and Low Address	PB0 PB1 PB2	0_0001_0000_00 0_0100_1100_00 x_xxxx_xxxx_xx	0_0000_00**aa**_00 0_0001_1100_00 x_xxxx_xxxx_xx	0_**bbbb_bbbb**_00 0_0000_1100_00 x_xxxx_xxxx_xx		Repeat Instr.2 for a new 256 byte page. Repeat Instr.3 for each new address.
Write Flash Low byte	PB0 PB1 PB2	0_**iiii_iiii**_00 0_0010_1100_00 x_xxxx_xxxx_xx	0_0000_0000_00 0_0110_0100_00 x_xxxx_xxxx_xx	0_0000_0000_00 0_0110_1100_00 0_0000_0000_00		Wait after Instr.3 until PB2 goes high. Repeat Instr.1, Instr. 2 and Instr.3 for each new address.
Write Flash High byte	PB0 PB1 PB2	0_**iiii_iiii**_00 0_0010_1100_00 x_xxxx_xxxx_xx	0_0000_0000_00 0_0111_0100_00 x_xxxx_xxxx_xx	0_0000_0000_00 0_0111_1100_00 0_0000_0000_00		Wait after Instr.3 until PB2 goes high. Repeat Instr.1, Instr. 2 and Instr.3 for each new address.
Read Flash High and Low Address	PB0 PB1 PB2	0_0000_0010_00 0_0100_1100_00 x_xxxx_xxxx_xx	0_0000_00**aa**_00 0_0001_1100_00 x_xxxx_xxxx_xx	0_**bbbb_bbbb**_00 0_0000_1100_00 x_xxxx_xxxx_xx		Repeat Instr.2 and Instr.3 for each new address.
Read Flash Low byte	PB0 PB1 PB2	0_0000_0000_00 0_0110_1000_00 x_xxxx_xxxx_xx	0_0000_0000_00 0_0110_1100_00 **o_oooo_ooox**_xx			Repeat Instr.1 and Instr.2 for each new address.
Read Flash High byte	PB0 PB1PB2	0_0000_0000_00 0_0111_1000_00 x_xxxx_xxxx_xx	0_0000_0000_00 0_0111_1100_00 **o_oooo_ooox**_xx			Repeat Instr.1 and Instr.2 for each new address.
Write EEPROM Low Address	PB0 PB1 PB2	0_0001_0001_00 0_0100_1100_00 x_xxxx_xxxx_xx	0_0**bbb_bbbb**_00 0_0000_1100_00 x_xxxx_xxxx_xx			Repeat Instr.2 for each new address.
Write EEPROM byte	PB0 PB1 PB2	0_**iiii_iiii**_00 0_0010_1100_00 x_xxxx_xxxx_xx	0_0000_0000_00 0_0110_0100_00 x_xxxx_xxxx_xx	0_0000_0000_00 0_0110_1100_00 0_0000_0000_00		Wait after Instr.3 until PB2 goes high
Read EEPROM Low Address	PB0 PB1 PB2	0_0000_0011_00 0_0100_1100_00 x_xxxx_xxxx_xx	0_0**bbb_bbbb**_00 0_0000_1100_00 x_xxxx_xxxx_xx			Repeat Instr.2 for each new address.
Read EEPROM byte	PB0 PB1 PB2	0_0000_0000_00 0_0110_1000_00 x_xxxx_xxxx_xx	0_0000_0000_00 0_0110_1100_00 **o_oooo_ooox**_xx			Repeat Instr.2 for each new address
Write Fuse bits (AT90S/ LS2323)	PB0 PB1 PB2	0_0100_0000_00 0_0100_1100_00 x_xxxx_xxxx_xx	0_11**S**1_111**F**_00 0_0010_1100_00 x_xxxx_xxxx_xx	0_0000_0000_00 0_0110_0100_00 x_xxxx_xxxx_xx	0_0000_0000_00 0_0110_1100_00 x_xxxx_xxxx_xx	Wait t_{WLWH_PFB} after Instr.3 for the Write Fuse bits cycle to finish. Set **S**,**F** = '0' to program, '1' to unprogram.
Write Fuse bits (AT90S/ LS2343)	PB0 PB1 PB2	0_0100_0000_00 0_0100_1100_00 x_xxxx_xxxx_xx	0_11**S**1_111**R**_00 0_0010_1100_00 x_xxxx_xxxx_xx	0_0000_0000_00 0_0110_0100_00 x_xxxx_xxxx_xx	0_0000_0000_00 0_0110_1100_00 x_xxxx_xxxx_xx	Wait t_{WLWH_PFB} after Instr.3 for the Write Fuse bits cycle to finish. Set **S**,**R** = '0' to program, '1' to unprogram.
Write Lock bits	PB0 PB1 PB2	0_0010_0000_00 0_0100_1100_00 x_xxxx_xxxx_xx	0_1111_1***21***1_00 0_0010_1100_00 x_xxxx_xxxx_xx	0_0000_0000_00 0_0110_0100_00 x_xxxx_xxxx_xx	0_0000_0000_00 0_0110_1100_00 0_0000_0000_00	Wait after Instr.4 until PB2 goes high. Write ***2***, ***1*** = '0' to program the Lock bit.
Read Fuse and Lock bits (AT90S/ LS2323)	PB0 PB1 PB2	0_0000_0100_00 0_0100_1100_00 x_xxxx_xxxx_xx	0_0000_0000_00 0_0110_1000_00 x_xxxx_xxxx_xx	0_0000_0000_00 0_0110_1100_00 ***1_2***Sxx_xx**F**x_xx		Reading ***1***, ***2***, **S**, **F** =' 0' means the Fuse/Lock bit is programmed.
Read Fuse and Lock bits (AT90S/ LS2343)	PB0 PB1 PB2	0_0000_0100_00 0_0100_1100_00 x_xxxx_xxxx_xx	0_0000_0000_00 0_0110_1000_00 x_xxxx_xxxx_xx	0_0000_0000_00 0_0110_1100_00 ***1_2***Sxx_xx**R**x_xx		Reading ***1***, ***2***, **S**, **R** =' 0' means the Fuse/Lock bit is programmed.
Read Signature Bytes	PB0 PB1 PB2	0_0000_1000_00 0_0100_1100_00 x_xxxx_xxxx_xx	0_0000_00**bb**_00 0_0000_1100_00 x_xxxx_xxxx_xx	0_0000_0000_00 0_0110_1000_00 x_xxxx_xxxx_xx	0_0000_0000_00 0_0110_1100_00 **o_oooo_ooox**_xx	Repeat Instr.2 - Instr.4 for each Signature byte address

Note: o = address high bits

注意

a：上位アドレスバイト
b：下位アドレスバイト
i：データ入力
o：データ出力
×：値に依存しない
1：ロックビット 1
2：ロックビット 2
F：FSTRT ヒューズ
R：RCEN ヒューズ
S：SPIEN ヒューズ

図 34　シリアルプログラミング（高い電圧）の時間間隔

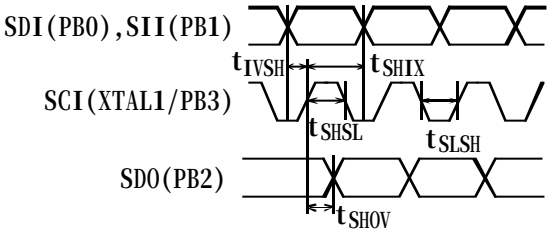


表 17　シリアルプログラミング（高い電圧）の特性

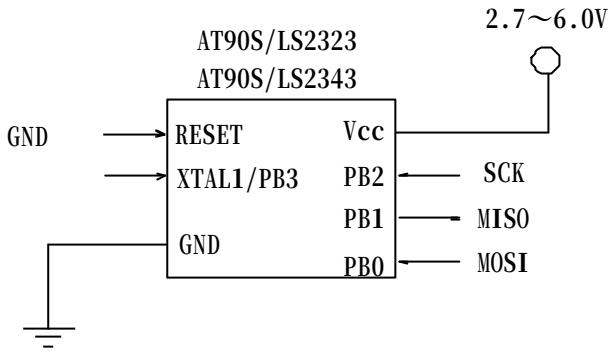
記号	パラメータ	最小値	標準値	最大値	単位
t_{SHSL}	SCI(XTAL1/PB3)の H レベルパルス幅	100			ns
t_{SLSH}	SCI(XTAL1/PB3)の L レベルパルス幅	100			ns
t_{IVSH}	SCI(XTAL1/PB3)の H レベルが有効な場合の SDI(PB0),SII(PB1)	50			ns
t_{SHIX}	SCI(XTAL1/PB3) が H レベルになったと保持される SDI(PB0),SII(PB1)	50			ns
t_{SHOV}	SDO(PB2)が有効である間の SCI(XTAL!/PB3)の H レベルになっている期間	10	16	32	ns
t_{WLWH_CE}	チップ消去命令 3 のあとの待ち時間	5	10	15	ms
t_{WLWH_PFB}	書きこみヒューズビットの命令 3 の後の待ち時間	1	1.5	1.8	ms

T_A=25℃±10%、Vcc=5V±10%(とくに断りのない場合)

低電圧シリアルダウンロード

プログラムデータとメモリ配列は RESET **がグランドに落ちている間、シリアル** SPI **を使ってプログラムすることができます。シリアルインターフェイスは** SCK**、**MOSI**（入力）,** MISO**（出力）ピンからなります。図** 35 **を参照してください。**RESET **が** L **レベルになったあと、プログラミングイネーブル命令は、プログラム/消去命令が実行されるまでに、最初に実行しておく必要があります。**

図 35　**低電圧シリアルプログラミングとベリファイ**



EEPROM **では、自動消去サイクルがセルフタイマ書きこみ命令で作られるので、最初にチップ消去命令を行う必要はありません。チップ消去命令は、プログラムと** EEPROM **配列中のすべてのメモリ位置の内容がすべて**$FF **に変わります。**

プログラムと EEPROM **メモリ配列別々のアドレス空間を持っており、フラッシュメモリは**$0000～$03FF**、**EEPROM **データメモリでは**$000～$07F **まであります。**

外部クロックを XTAL1/PB3 **ピンに加えるか、内部** RC **オシレータからデバイスを駆動するかしてください。(**AT90S/LS2343 **専用)シリアル入力のための** L **レベルと** H **レベルの最小周期が次のように定義されます。**

L **レベル：**2MCU **クロックサイクル**

H **レベル：**2MCU **クロックサイクル**

低電圧シリアルプログラミングのアルゴリズム

シリアルデータを AT90S2323/2343 **を書きこむとき、データは** SCK **の立ち上がりエッジでクロックされます。**

AT90S2323/2343 **から読み込むとき、データは** SCK **の立ち下がりでクロックされます。タイミングの詳細は、図** 36**、図** 37**、表** 20 **を参照してください。**

シリアルプログラミングモード（低い電圧）において、AT90S2323/2343 **をプログラム・ベリファイするためには、次のシーケンスを推奨しています。（表** 19 **の** 4 **バイト命令の形式を参照してください。）**

1.　**パワーアップシーケンス**

RESET **と** SCK **が** 0 **に設定されている場合、**Vcc **と** GND **の間に電源を加えてください。(パ**

ワーアップ中に SCK が L に保持されていることが保証できない場合、SCK が 0 に設定されたあと、リセットには正パルスを加えておく必要があります。）外部クロックのためにデバイスをプログラムする場合、XTAL1/PB3 ピンへ 0～8MHz を加えてください。クロック源として RC オシレータが選択されている場合、外部クロックを加える必要はありません。(AT90S/LS2343 のみ)

2. 最低 20ms 待って、MOSI（PB0）ピンへプログラムイネーブル命令を送ることによってシリアルプログラミングが有効になります。シリアルクロック入力 SCK への L レベル、H レベル最小時間については、上の節を参照してください。

3. プログラム命令は通信が同期できなくなると働かなくなります。同期しているとき、2 番目のバイト($53)が、3 番目のプログラムイネーブル命令が出てくるときに、返ってきます。エコーバックが正しいか間違っているかにかかわらず、全部で 4 バイトの命令が送信されます。$53 が 32 の試行内でエコーバックしてこない場合、機能を持ったデバイスがありません。

4. チップ消去が実行された場合（フラッシュの消去がなされなければなりません。)、命令のあと t_{WD_ERASE} の間待って、RESET に正のパルスを加えて、ステップ 2 からスタートしてください。t_{WD_ERASE} の値に付いて 51 ページの表 21 を参照してください。

5. フラッシュまたは EEPROM1 度に 1 バイトプログラムされ、アドレスとデータを適当な書きこみ命令で一緒に供給します。EEPROM メモリ位置は、データが書きこまれる前に最初に自動消去されます。いつ、フラッシュ・EEPROM 中の次のバイトが書きこまれたかを検出するために DATA POLLING を使ってください。このチェックを使わない場合、次の命令を送信するまえに、t_{WD_PROG} の時間待ってください。t_{WD_PROG} の値については 51 ページの表 22 を参照してください。消去されるデバイスでは、データファイルに$FF をプログラムしておく必要がありません。

6. 読み込み命令を使ってメモリの位置がベリファイできます。シリアル出力 MISO（PB1）ピンに選択されたアドレスの定数を返します。

7. プログラミングの終わりに、通常動作に戻すために RESET を H レベルに設定しておきます。

8. パワーオフシーケンス（必要な場合）

CLOCK/XTAL1 を 0 に設定してください。

RESET を 1 に設定して下さい。

Vcc を OFF にしてください。

EEPROM データポーリング

1 バイトが EEPROM へプログラムされる場合、プログラムされているアドレスを読み込んでいる間は、自動消去が終わるまで P1 の値になり、そのあと P2 の値になります。P1 と P2 の値については、表 18 を参照してください。

デバイスが新しい EEPROM バイトに対して準備ができている時には、プログラム値が正しく読み込まれます。これは、いつ次のバイトを書きこむことができるかを決めるために使います。これは P1 と P2 の値に対して働かないため、これらの値をプログラムするときは、次のバイトをプログラムするまで、少なくとも規定の時間 t_{WD_PROG} だけ待たなければいけません。t_{WD_PROG} の値については表 22 を参照してください。チップ消去されたデバイスは全ロケーションで$FF になっているので、$FF を含んでいるアドレスのプログラミングはスキップされます。最初にチップ消去されたデバイス以外では EEPROM が再プログラムされてもこれは、適用されません。

表 18　EEPROM を調べている間の読み返し値

型番	P1	P2
AT90S2323	$00	$FF
AT90S2343	$00	$FF

フラッシュのデータポーリング

フラッシュにバイトがプログラムされている場合､プログラムされているアドレスを読み込むと$FF になります｡、自動消去が終わるまで P1 の値になり、そのあと P2 の値になります。P1 と P2 の値については、表 18 を参照してください。デバイスが新しい EEPROM バイトに対して準備ができている時には、プログラム値が正しく読み込まれます。これは、いつ次のバイトを書きこむことができるかを決めるために使います。これは値$FF に対しては働かないため、これらの値をプログラムするときは、次のバイトをプログラムするまで、少なくとも規定の時間 t_{WD_PROG} だけ待たなければいけません。チップ消去されたデバイスは全ロケーションで$FF になっているので、$FF を含んでいるアドレスのプログラミングはスキップされます。

図 36　低電圧シリアルダウンロード波形

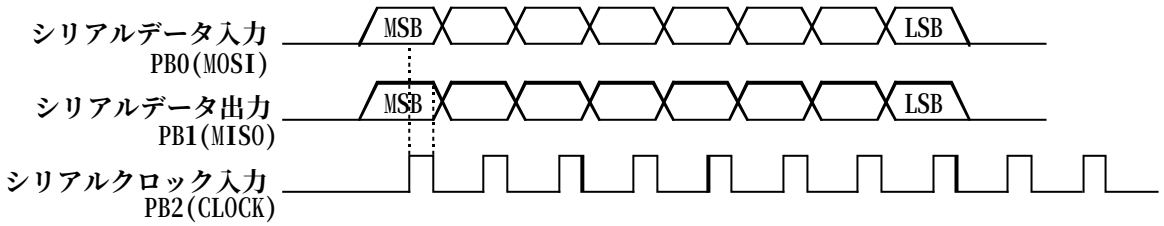


表 19　AT90S2323/3343 低電圧シリアルプログラミング一覧

Instruction	Instruction Format				Operation
	Byte 1	Byte 2	Byte 3	Byte 4	
Programming Enable	1010 1100	0101 0011	xxxx xxxx	xxxx xxxx	Enable Serial Programming while RESET is low.
Chip Erase	1010 1100	100x xxxx	xxxx xxxx	xxxx xxxx	Chip erase both Flash and EEPROM memory arrays.
Read Program Memory	0010 H000	0000 00aa	bbbb bbbb	oooo oooo	Read **H** (high or low) data **o** from Program memory at word address **a**:**b**.
Write Program Memory	0100 H000	0000 00aa	bbbb bbbb	iiii iiii	Write **H** (high or low) data **i** to Program memory at word address **a**:**b**.
Read EEPROM Memory	1010 0000	0000 0000	xbbb bbbb	oooo oooo	Read data **o** from EEPROM memory at address **b**.
Write EEPROM Memory	1100 0000	0000 0000	xbbb bbbb	iiii iiii	Write data **i** to EEPROM memory at address **b**.
Read Lock and Fuse Bits (AT90S/LS2323)	0101 1000	xxxx xxxx	xxxx xxxx	*12*Sx xxxF	Read Lock and Fuse bits. '0' = programmed, '1' = unprogrammed.
Read Lock and Fuse Bits (AT90S/LS2343)	0101 1000	xxxx xxxx	xxxx xxxx	*12*Sx xxxR	Read Lock and Fuse bits. '0' = programmed, '1' = unprogrammed.
Write Lock Bits	1010 1100	1111 1*21*1	xxxx xxxx	xxxx xxxx	Write Lock bits. Set bits ***1,2*** = '0' to program Lock bits.
Write FSTRT Bit (AT90S/LS2323)	1010 1100	1011 111F	xxxx xxxx	xxxx xxxx	Write FSTRT Fuse. Set bit **F** = '0' to program, '1' to unprogram.(2)
Write RCEN Bit (AT90S/LS2343)	1010 1100	1011 111R	xxxx xxxx	xxxx xxxx	Write RCEN Fuse. Set bit **R** = '0' to program, '1' to unprogram.(2)
Read Signature Bytes	0011 0000	xxxx xxxx	xxxx xxbb	oooo oooo	Read Signature byte **o** from address **b**(3)

注意 1.

a：上位アドレスバイト

b：下位アドレスバイト

i：データ入力

o：データ出力

×：値に依存しない

1：ロックビット 1

2：ロックビット 2

F：FSTRT ヒューズ

R：RCEN ヒューズ

S：SPIEN ヒューズ

注意 2.　RCEN/FSTRT ビットの状態が変わった場合全てにその効果を持たせるためにパワーサイクルから行わなければなりません。

注意 3.　ロックビット 3 モードにおいて、すなわち、両ロックビットがプログラムされている状態において、署名バイトは読みこむことはできません。

低電圧シリアルプログラミングの特徴

図 37　低電圧シリアルプログラミングのタイミング

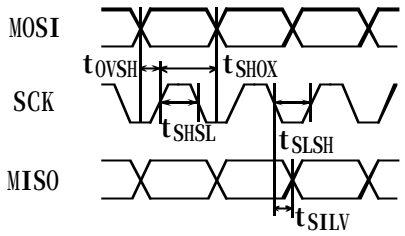


表 20　低電圧シリアルプログラミングの特性

T_A=-40℃～85℃、Vcc=2.7～6.0V（とくに断りがない場合）

記号	パラメータ	最小値	標準値	最大値	単位
$1/t_{CLCL}$	振動周波数(Vcc=2.7～4.0V)	0		4	MHz
t_{CLCL}	振動周期(Vcc=2.7～4.0V)	250			ns
$1/t_{CLCL}$	振動周波数(Vcc=4.0～6.0V)	0		8	MHz
t_{CLCL}	振動周期(Vcc=4.0～6.0V)	125			ns
t_{SHSL}	SCK の H レベルのパルス幅	$2*t_{CLCL}$			ns
t_{SLSH}	SCK の L レベルのパルス幅	$2*t_{CLCL}$			ns
t_{OVSH}	SCK が H レベルに対する MOSI の設定時間	t_{CLCL}			ns
t_{SHOX}	SCK が H レベルになった後の MOSI のホールド時間	$2*t_{CLCL}$			ns
t_{SILV}	有効な MOSI に対する SCK の L レベル時間	10	16	32	ns

表 21　チップ消去命令の後の最小待ち時間

記号	3.2V	3.6V	4.0V	5.0V
t_{WD_ERASE}	18ms	14ms	12ms	8ms

表 22　フラッシュか EEPROM に書きこんだ後の最小待ち時間

記号	3.2V	3.6V	4.0V	5.0V
t_{WD_PROG}	9ms	7ms	6ms	4ms

電気的特性

最大定格

動作温度	-55°C～+125°C
耐久温度	-65°C～+150°C
RESET端子以外のGNDに対する電圧	-1.0V～Vcc+0.5V
RESET端子のGNDに対する電圧	-1.0V～+13.0V
最大動作電圧	6.6V
I/Oピン1本あたりの直流電流	40.0mA
VccとGNDピンの直流電流	200.0mA

注意：最大定格を超える値を加えると、デバイスに致命的な損傷を与えることがあります。この定格は、内部破壊のおこる定格であって、この値での動作を保証するものではありません。この仕様の動作の節に示されている値を超える他の条件でデバイスが動作することは保証していません。最大定格に長くさらされると、デバイスの信頼性に影響を与えることがあります。

DC 特性

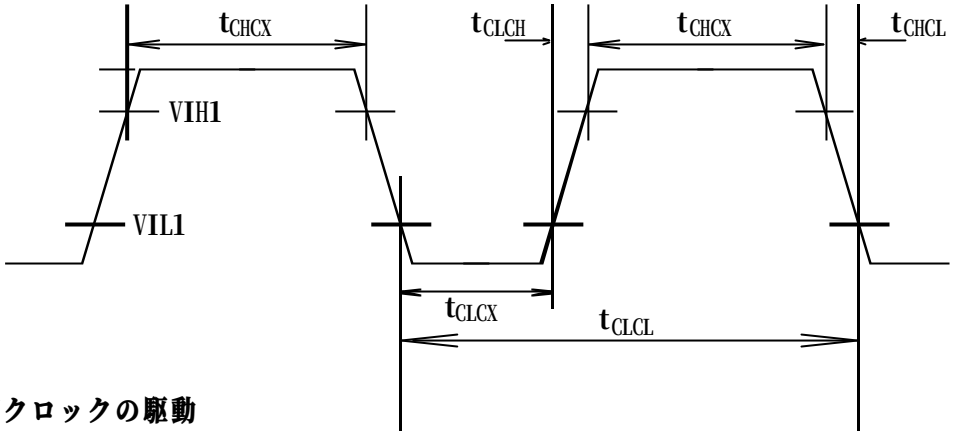
T_A=-40℃～85℃、Vcc=2.7～6.0V（とくに断りがない場合）

記号	パラメータ	条件	最小値	標準値	最大値	単位
V_{IL}	L レベル入力電圧	(XTAL ピンを除く)	-0.5v		0.3Vcc(1)	V
V_{IL1}	L レベル入力電圧	XTAL ピン	-0.5V		0.1(1)	V
V_{IH}	H レベル入力電圧	(XTAL,RESET を除く)	0.6Vcc		Vcc+0.5	V
V_{IH1}	H レベル入力電圧	XTAL ピン	0.7Vcc		Vcc+0.5	V
V_{IH2}	H レベル入力電圧	RESET ピン	0.85Vcc		Vcc+0.5	V
V_{OL}	PORTB 出力 L レベル電圧	I_{OL}=20mA,Vcc=5V			0.5	V
		I_{OL}=10mA,Vcc=3V			0.4	V
V_{OH}	PORTB 出力 H レベル電圧	I_{OH}=-3mA,Vcc=5V	4.2			V
		I_{OH}=-1.5mA,Vcc=3V	2.4			V
I_{IL}	I/O ピンの入力漏れ電流	Vcc=6V,L レベルのピン(絶対値)			8.0	μA
I_{IH}	I/O ピンの入力漏れ電流	Vcc=6V,H レベルのピン(絶対値)			8.0	μA
RRST	リセットのプルアップ抵抗		100		500	kΩ
$R_{I/O}$	I/O ピンののプルアップ抵抗		30		150	kΩ
Icc	AT90S2343 の電源電流	4MHz で動作、Vcc=3V			3.0	mA
		アイドルモード、Vcc=3V			1.1	mA
		パワーダウンモード、4MHz(3)WDT 有効			25.0	μA
		パワーダウンモード、4MHz(3)WDT 無効			20.0	μA
	AT90S2323 の電源電流	4MHz で動作、Vcc=3V			4.0	mA
		アイドルモード、Vcc=3V		1.0	1.2	mA
		パワーダウンモード、4MHz(3)WDT 有効		9.0	15.0	μA
		パワーダウンモード、4MHz(3)WDT 無効		<1	2.0	μA

1. 「最大」とは、ピンが L レベルとして読み込まれる保証のある値で最高の値のことです。
2. 「最小」とは、ピンが H レベルとして読み込まれる保証がある値で最高の値のことです。
3. パワーダウンモードの最小電圧は 2V です。

外部クロック駆動波形

図 38　波形



外部クロックの駆動

T_A=-40℃～85℃

記号	パラメータ	Vcc:2.7～4.0V		Vcc:4.0～6.0V		単位
		最小値	最大値	最小値	最大値	
$1/t_{CLCL}$	振動周波数	0	4	0	10	MHz
t_{CLCL}	クロック周期	250		100		ns
t_{CHCX}	H レベルの時間	100		40		ns
t_{CLCX}	L レベルの時間	100		40		ns
t_{CLCH}	立ち上がり時間		1.6		0.5	μs
t_{CHCL}	立ち下がり時間		1.6		0.5	μs

標準的な特性

次の表は標準的な振る舞いを示します。これらのデータは特徴を表していますが、試してあるものはありません。全電流消費の測定は、全 I/O ピンが入力として構成されていて、プルアップ抵抗を有効にした状態で行われています。レール　トゥ　レールの正弦波生成器がクロック源として使われています。

電流の消費量は、いろいろな要素の関数になっています。例えば、動作電圧、動作周波数、I/O ピンの負荷、I/O ピンの切り替え率、実行コード、周囲温度です。主な要素は、動作電圧と周波数です。

容量負荷からのピンから引き出される電流は、C_L*Vcc*f として見積もることができます。C_L=容量負荷、Vcc=動作電圧、f=I/O ピンの平均スイッチング周波数です。

部品はテスト限界より高い周波数で代表させてあります。部品は、命令コードが示すより高い値では正常に動きません。

ウォッチドッグタイマが有効になったパワーダウンモードと無効のパワーダウンモードの電流消費の差はウォッチドッグタイマの分を引いた差の電流になります。

図 39　アクティブ供給電流対周波数

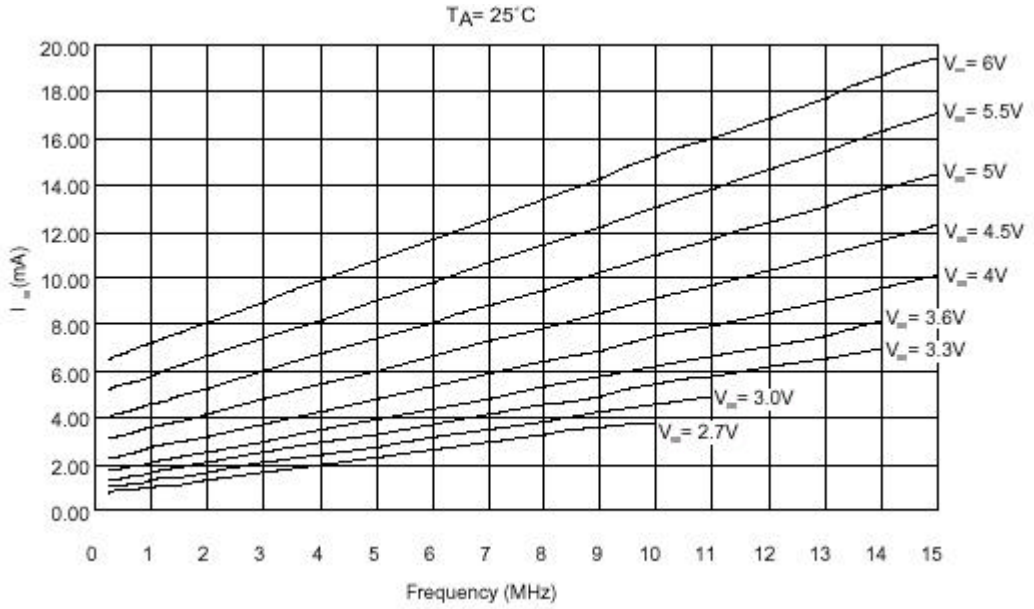


図 40　アクティブ供給電流対 Vcc　4MHz の周波数の場合

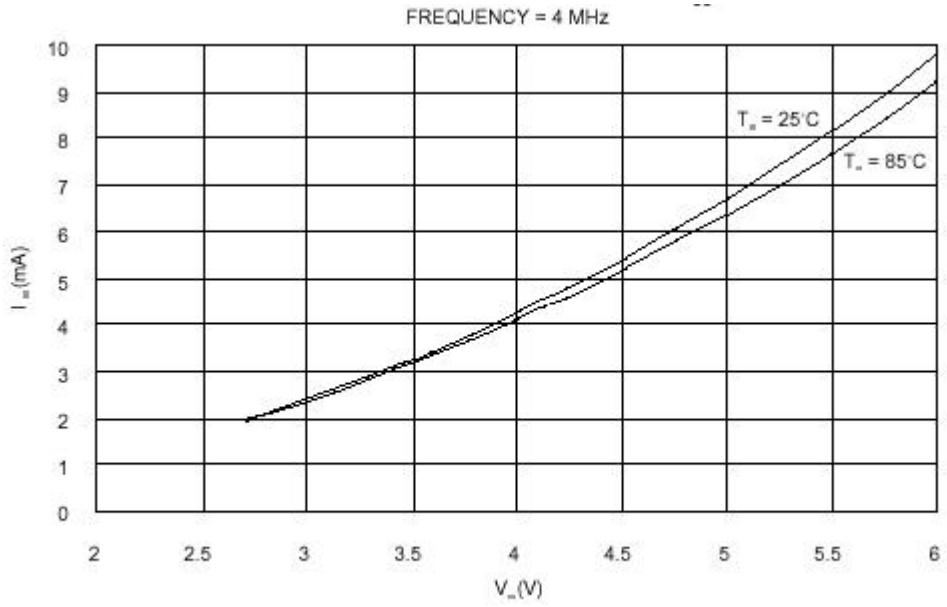


図 41　アクティブ供給電流対 Vcc　内蔵 RC オシレータでデバイスを駆動している場合

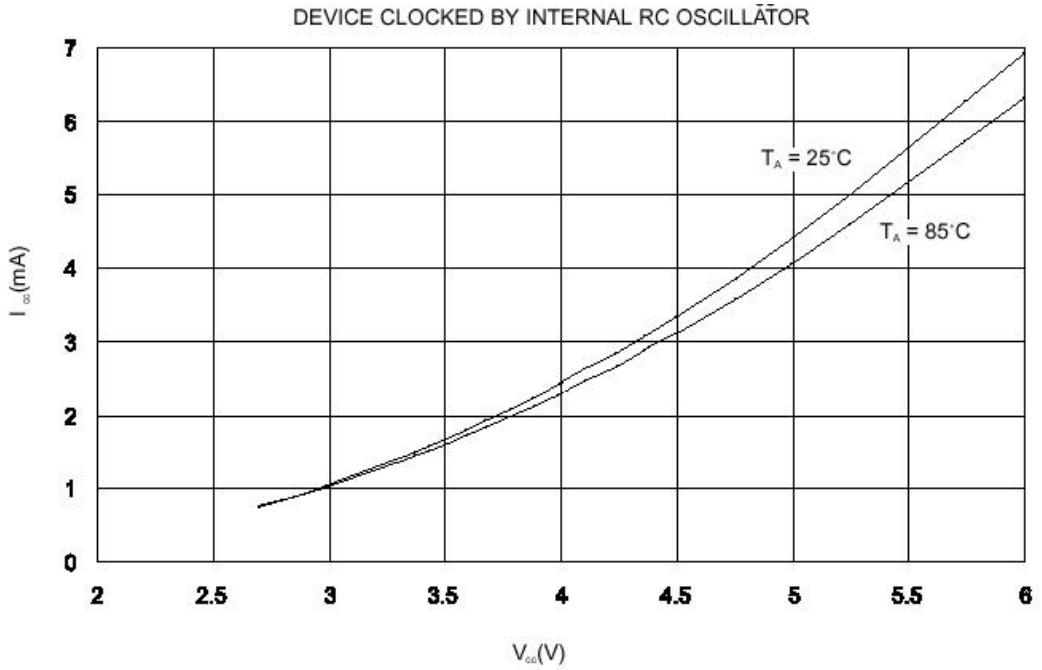


図 42　アイドル供給電流対周波数

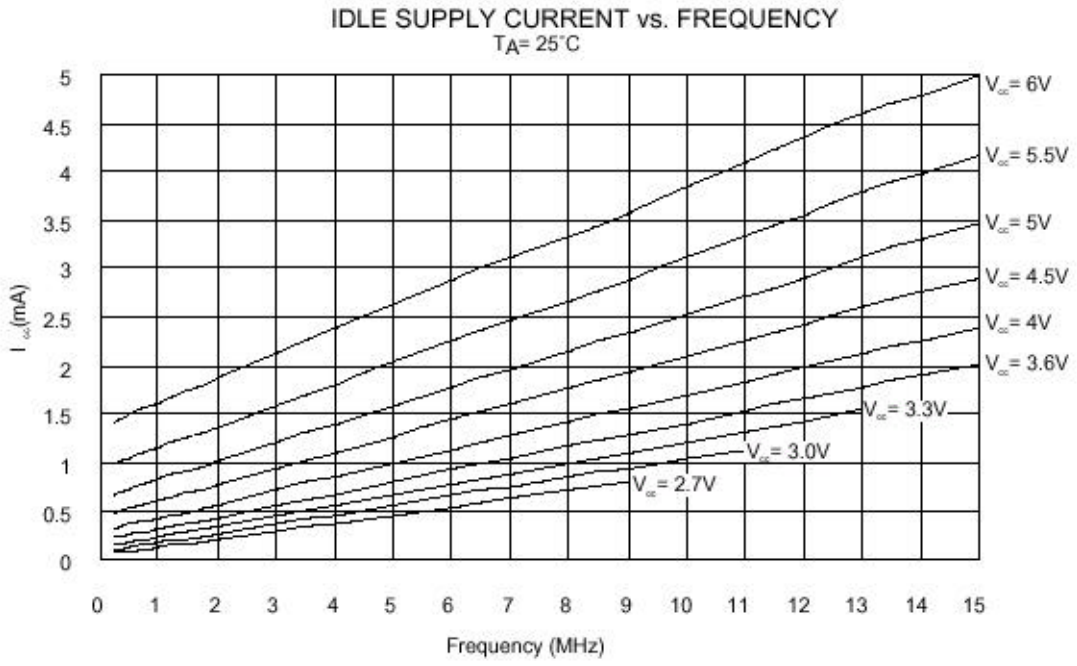


図 43　アイドル供給電流対 Vcc　4MHz の周波数の場合

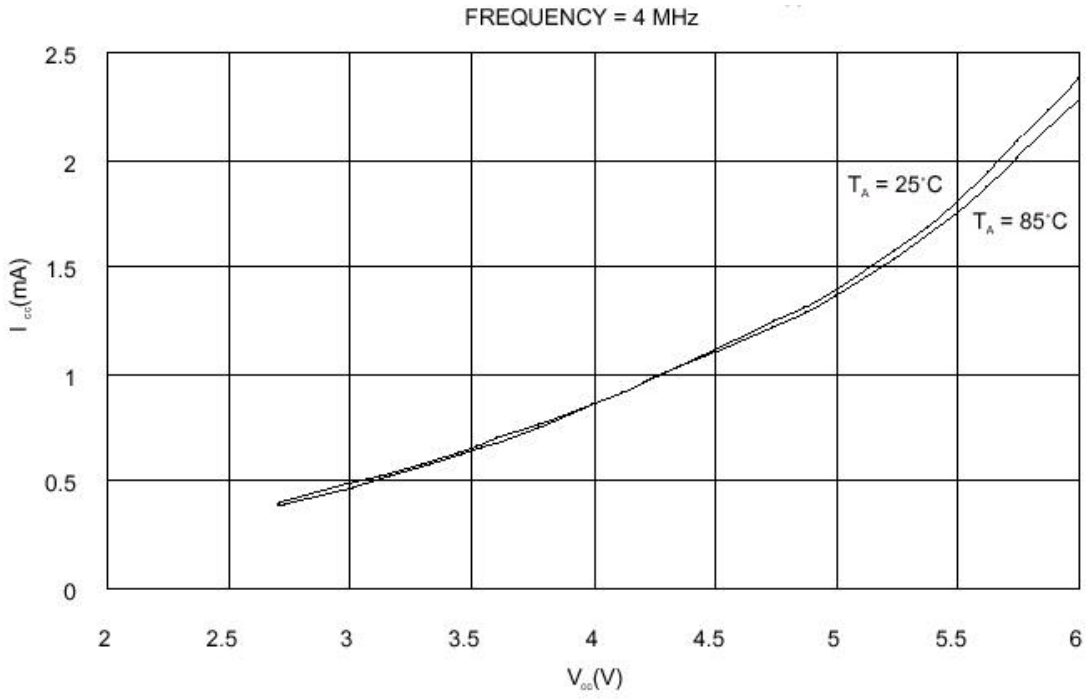


図 44　アイドル供給電流対 Vcc　内蔵 RC オシレータでデバイスを駆動している場合

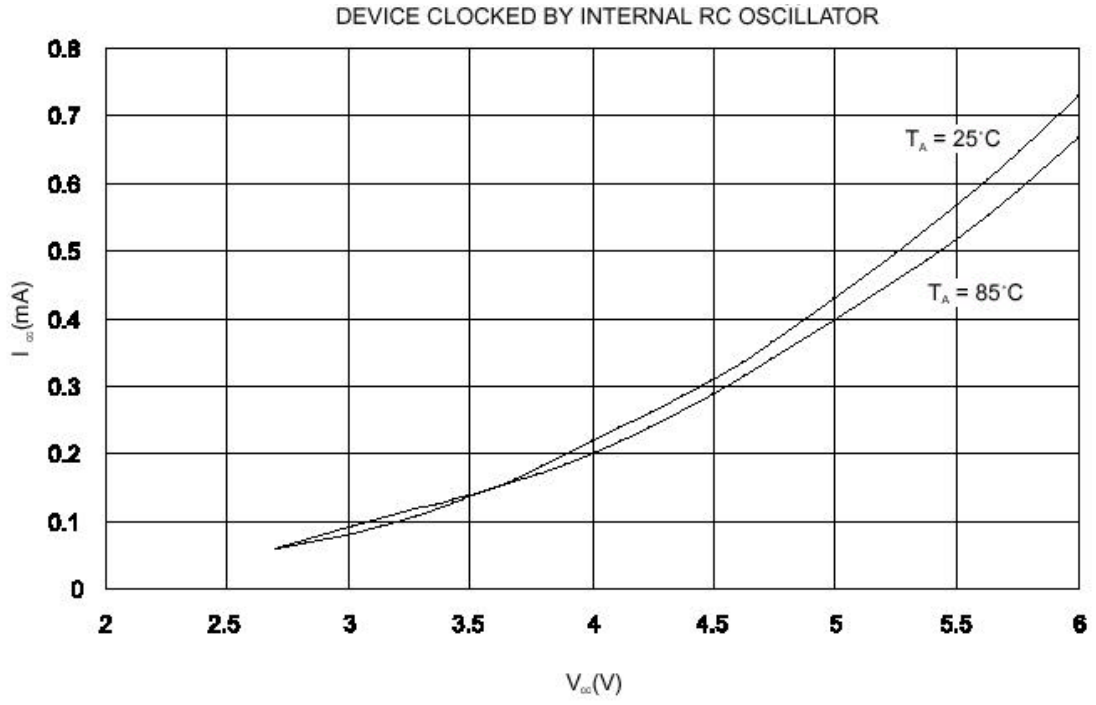


図 45　パワーダウン供給電流対 Vcc ウォッチドッグタイマが無効になっている場合

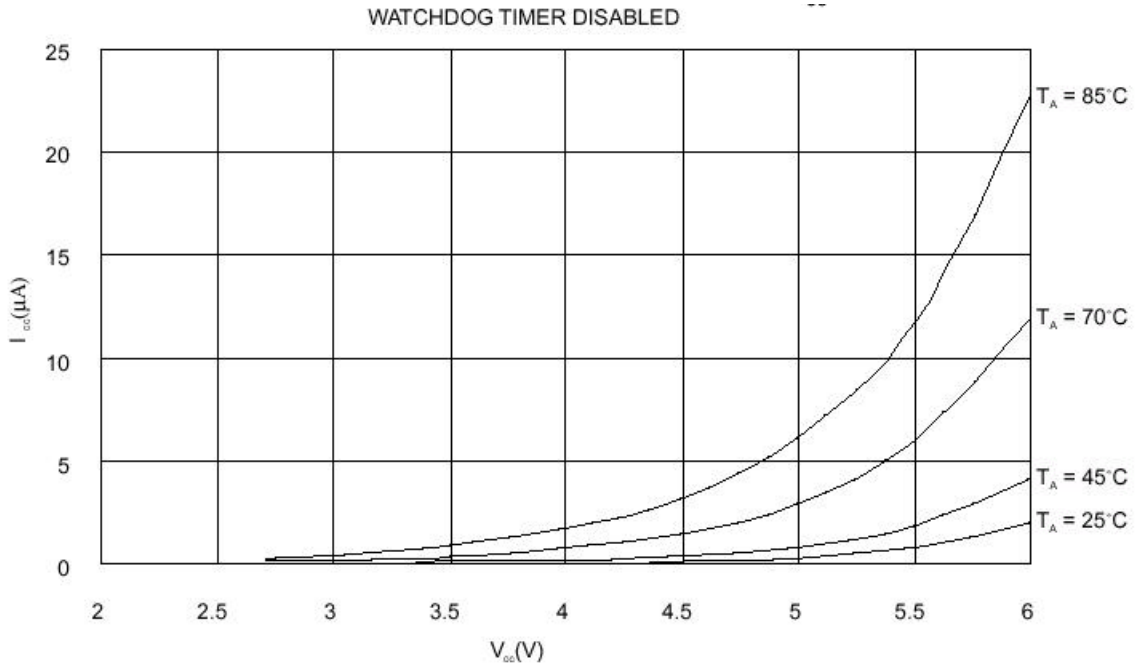


図 46　パワーダウン供給電流対 Vcc ウォッチドッグタイマが有効になっている場合

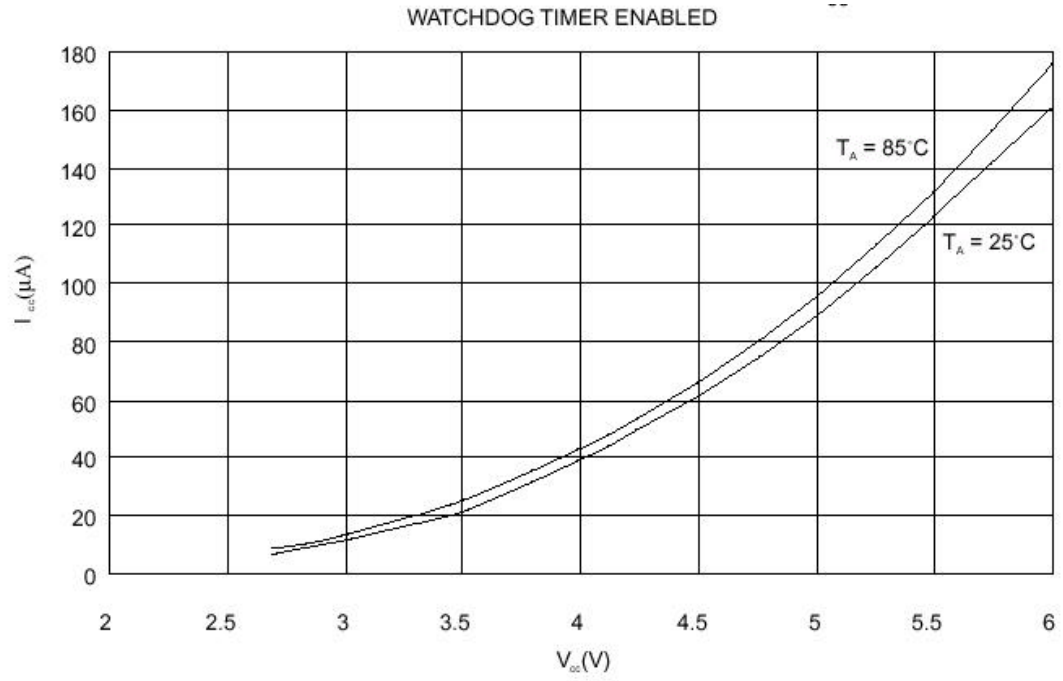
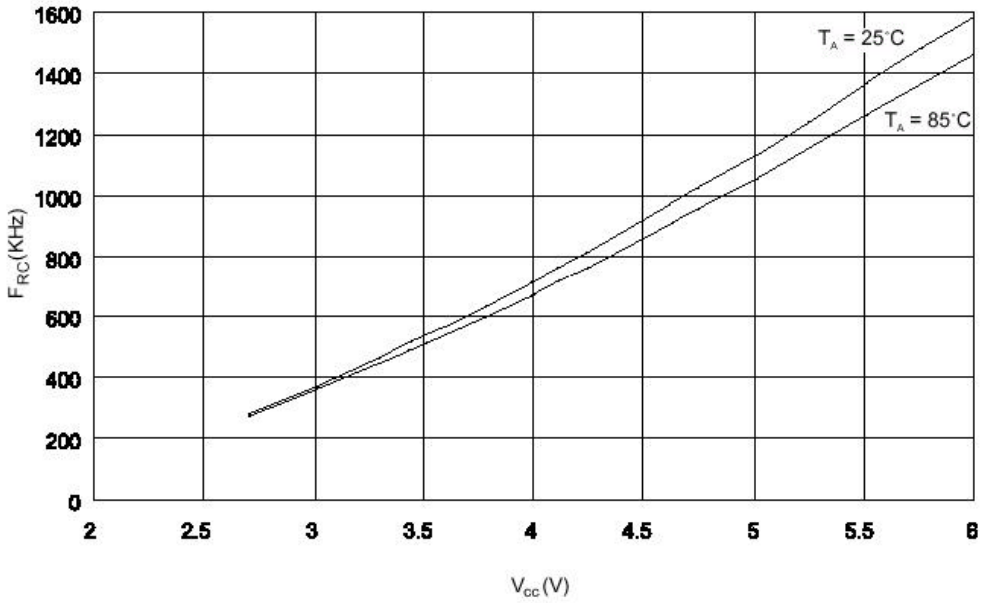


図 47　ウォッチドッグオシレータ周波数対 Vcc



I/O ピンのシンク・ソース許容量は、1 ピンについて測定してあります。

図 48　プルアップ抵抗対入力電圧　Vcc=5V

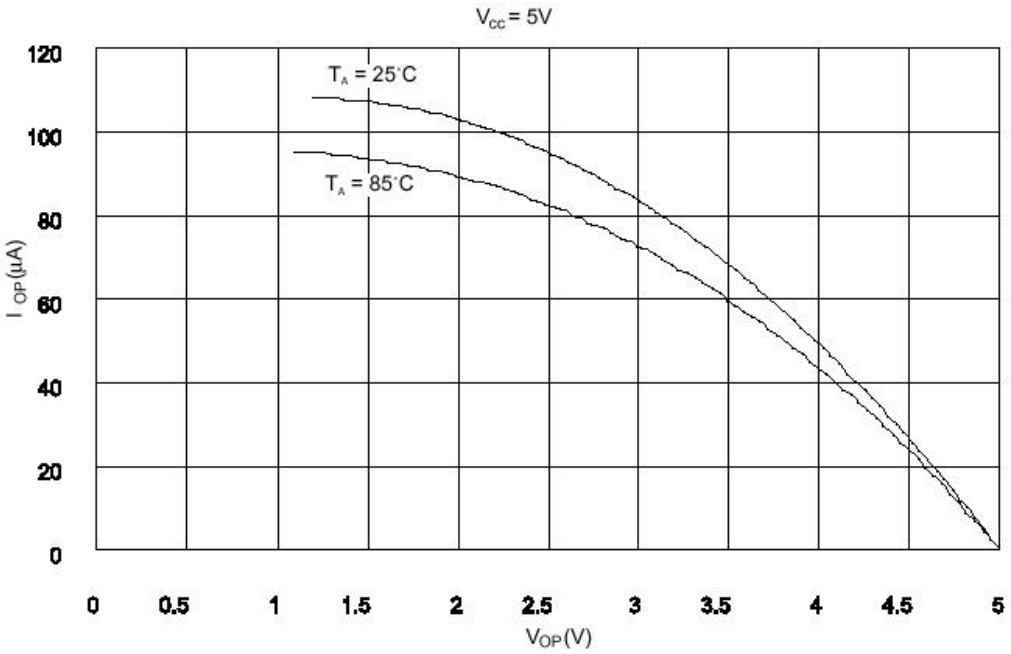


図 49　プルアップ抵抗対入力電圧　Vcc=2.7V

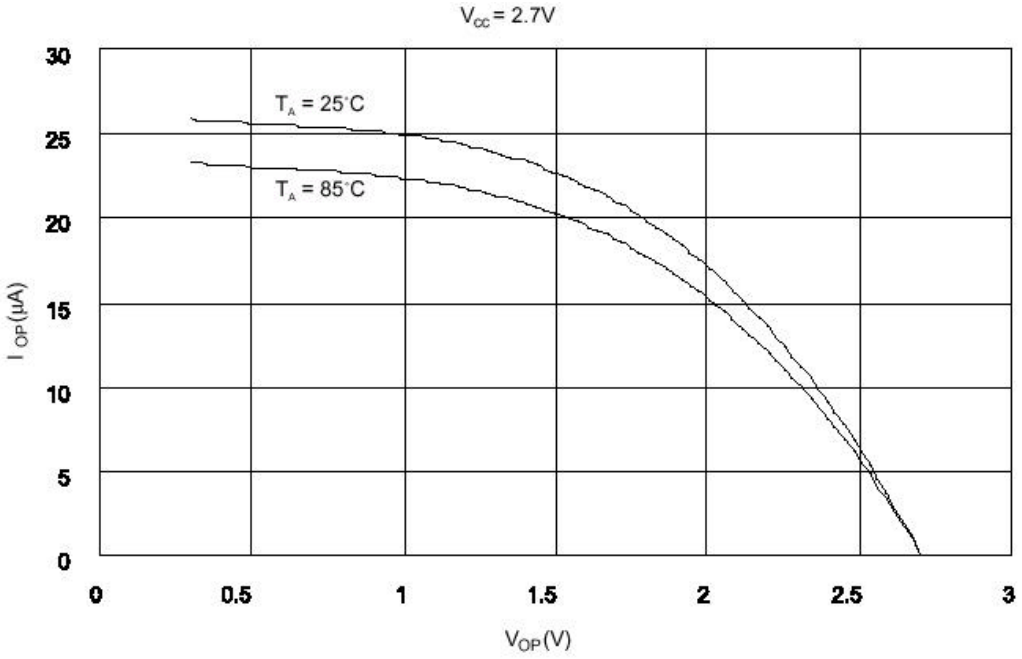


図 50　I/O ピンシンク電流対出力電圧　Vcc-5V

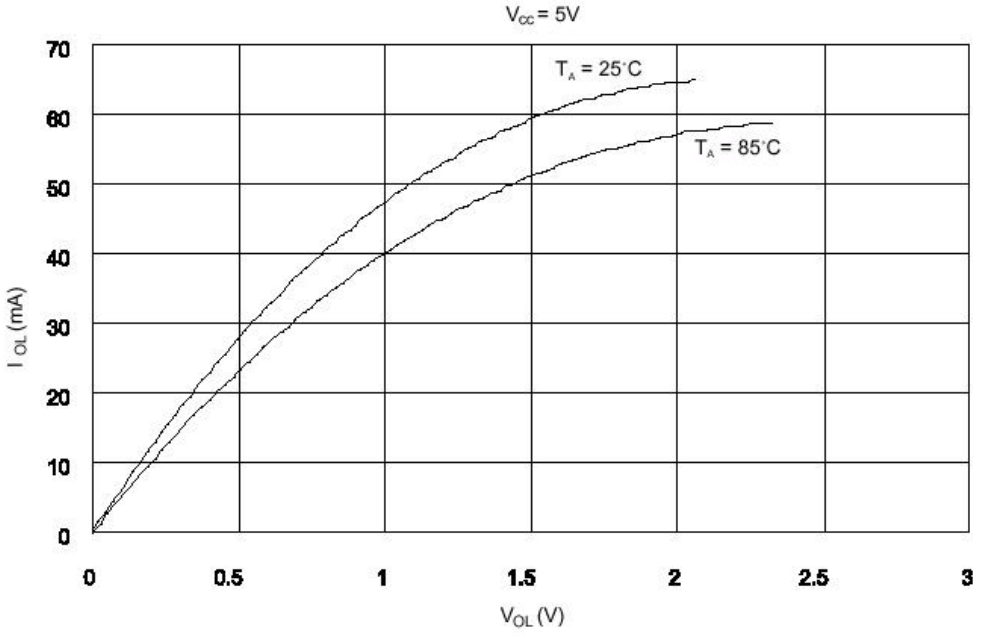


図 51　I/O ピンソース電流対出力電圧

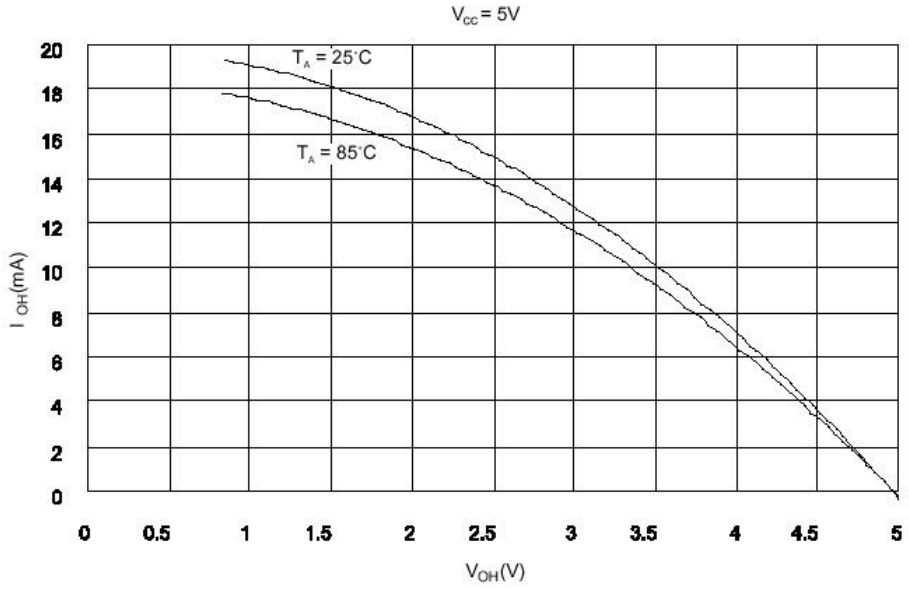


図 52　I/O ピンソース電流対出力電圧

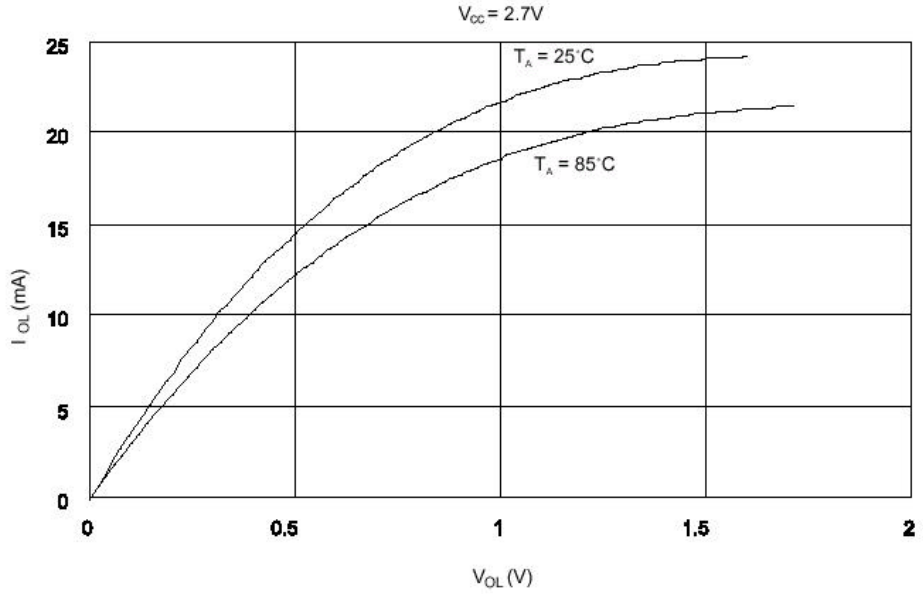


図 53　　I/O **ピンソース電流対出力電圧**

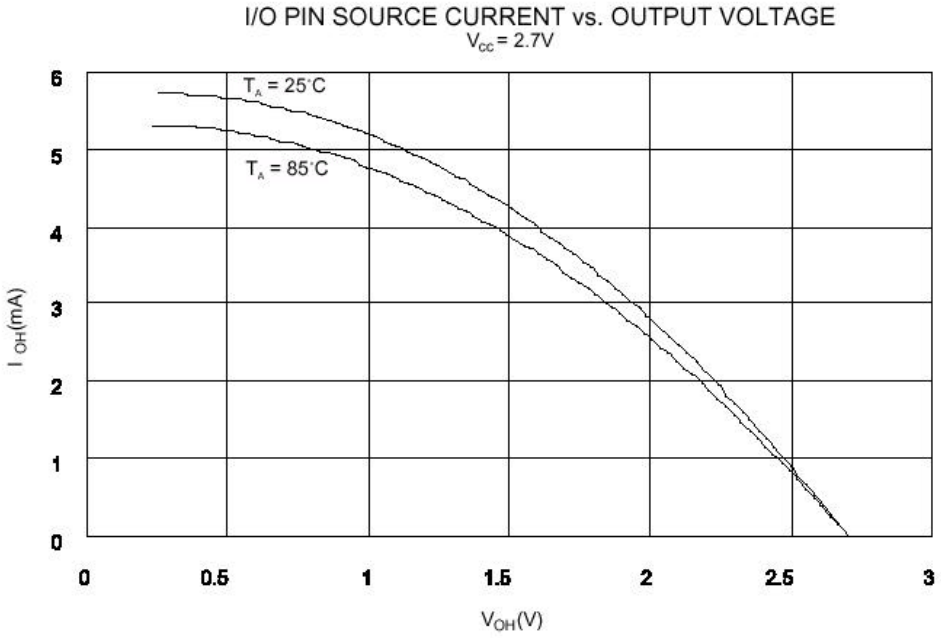


図 54　　I/O **ピン入力スレッシュホールド電圧対** Vcc

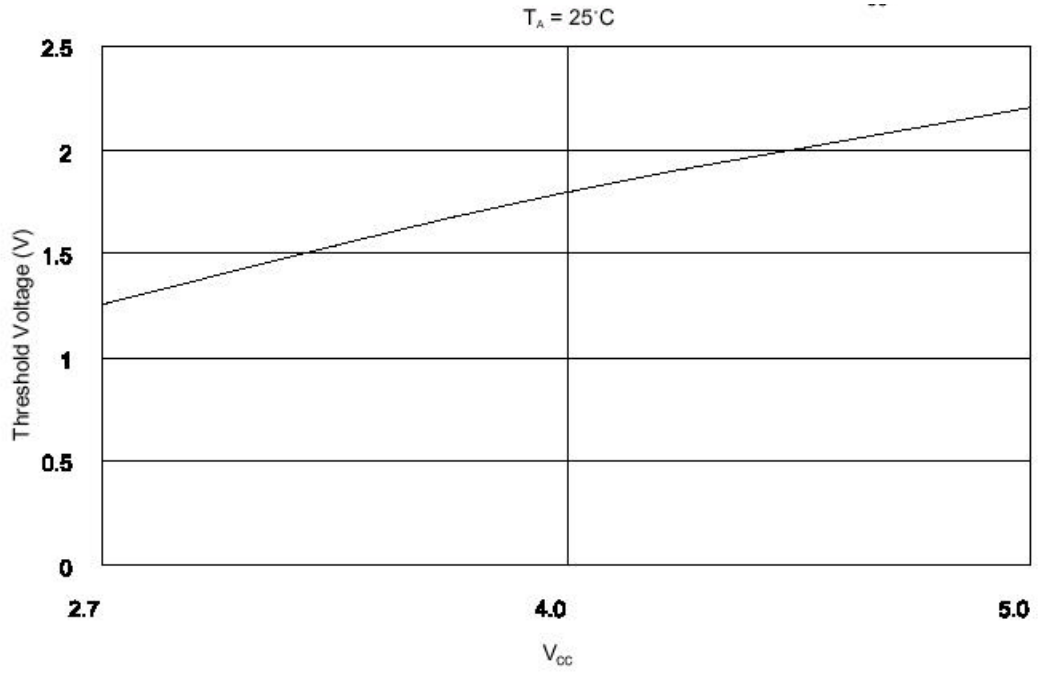
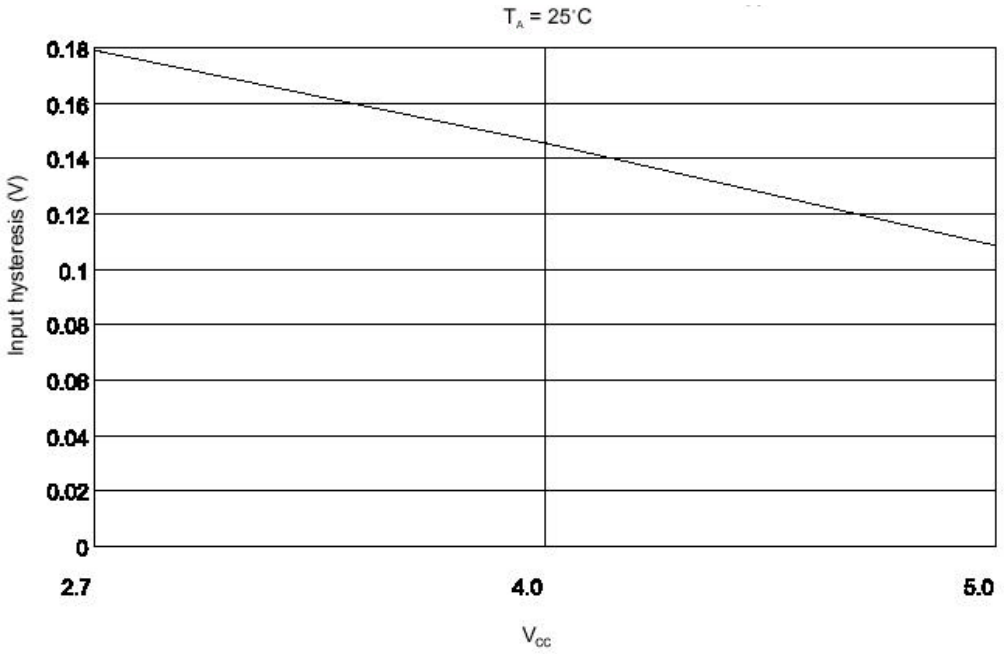


図 55　I/O **ピン入力ヒステリシス対** Vcc



AT90S2323/2343 のレジスタ概観

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Page
$3F ($5F)	SREG	I	T	H	S	V	N	Z	C	page 19
$3E ($5E)	Reserved									
$3D ($5D)	SPL	SP7	SP6	SP5	SP4	SP3	SP2	SP1	SP0	page 20
$3C ($5C)	Reserved									
$3B ($5B)	GIMSK	-	INT0	-	-	-	-	-	-	page 25
$3A ($5A)	GIFR	-	INTF0							page 25
$39 ($59)	TIMSK	-	-	-	-	-	-	TOIE0	-	page 15
$38 ($58)	TIFR	-	-	-	-	-	-	TOV0	-	page 16
$37 ($57)	Reserved									
$36 ($56)	Reserved									
$35 ($55)	MCUCR	-	-	SE	SM	-	-	ISC01	ISC00	page 16
$34 ($54)	MCUSR	-	-	-	-	-	-	EXTRF	PORF	page 14
$33 ($53)	TCCR0	-	-	-	-	-	CS02	CS01	CS00	page 29
$32 ($52)	TCNT0	Timer/Counter0 (8 Bit)								page 30
$31 ($51)	Reserved									
$30 ($50)	Reserved									
$2F ($4F)	Reserved									
$2E ($4E)	Reserved									
$2D ($4D)	Reserved									
$2C ($4C)	Reserved									
$2B ($4B)	Reserved									
$2A ($4A)	Reserved									
$29 ($49)	Reserved									
$28 ($48)	Reserved									
$27 ($47)	Reserved									
$26 ($46)	Reserved									
$25 ($45)	Reserved									
$24 ($44)	Reserved									
$23 ($43)	Reserved									
$22 ($42)	Reserved									
$21 ($41)	WDTCR	-	-	-	WDTO	WDE	WDP2	WDP1	WDP0	page 31
$20 ($40)	Reserved									
$1F ($3F)	Reserved									
$1E ($3E)	EEAR	-	EEPROM Address Register							page 32
$1D ($3D)	EEDR	EEPROM Data register								page 32
$1C ($3C)	EECR	-	-	-	-	-	EEMW	EEWE	EERE	page 33
$1B ($3B)	Reserved									
$1A ($3A)	Reserved									
$19 ($39)	Reserved									
$18 ($38)	PORTB	-	-	-	PORTB	PORTB	PORTB	PORTB	PORTB	page 35
$17 ($37)	DDRB	-	-	-	DDB4	DDB3	DDB2	DDB1	DDB0	page 35
$16 ($36)	PINB	-	-	-	PINB4	PINB3	PINB2	PINB1	PINB0	page 35
$15 ($35)	Reserved									
...	Reserved									
$00 ($20)	Reserved									

注意

1: **これから出てくるデバイスに互換性を持たせるため、予約ビットはアクセスした場合 0 と書きこんでください。予約 I/O メモリには書きこまないで下さい。**

2: **ステータスフラッグのいくつかは論理 1 を書きこむことにより消去されます。CBI と SBI 命令が I/O レジスタ中の全ビットに対して作用し、設定状態として読み込まれているフラッグに 1 を書きこんでフラッグをクリアします。CBI と SBI 命令は$00～$1F のレジスタのみに作用します。**

命令一覧

記号　オペランド　説明　　動作　　作用するフラッグ　クロック数

Mnemonics	Operands	Description	Operation	Flags	#Clock
ARITHMETIC AND LOGIC INSTRUCTIONS					
ADD	Rd, Rr	Add two Registers	Rd ← Rd + Rr	Z,C,N,V,H	1
ADC	Rd, Rr	Add with Carry two Registers	Rd ← Rd + Rr + C	Z,C,N,V,H	1
ADIW	Rdl,K	Add Immediate to Word	Rdh:Rdl ← Rdh:Rdl + K	Z,C,N,V,S	2
SUB	Rd, Rr	Subtract two Registers	Rd ← Rd - Rr	Z,C,N,V,H	1
SUBI	Rd, K	Subtract Constant from Register	Rd ← Rd - K	Z,C,N,V,H	1
SBIW	Rdl,K	Subtract Immediate from Word	Rdh:Rdl ← Rdh:Rdl - K	Z,C,N,V,S	2
SBC	Rd, Rr	Subtract with Carry two Registers	Rd ← Rd - Rr - C	Z,C,N,V,H	1
SBCI	Rd, K	Subtract with Carry Constant from Reg.	Rd ← Rd - K - C	Z,C,N,V,H	1
AND	Rd, Rr	Logical AND Registers	Rd ← Rd • Rr	Z,N,V	1
ANDI	Rd, K	Logical AND Register and Constant	Rd ← Rd • K	Z,N,V	1
OR	Rd, Rr	Logical OR Registers	Rd ← Rd v Rr	Z,N,V	1
ORI	Rd, K	Logical OR Register and Constant	Rd ← Rd v K	Z,N,V	1
EOR	Rd, Rr	Exclusive OR Registers	Rd ← Rd ⊕ Rr	Z,N,V	1
COM	Rd	One's Complement	Rd ← $FF - Rd	Z,C,N,V	1
NEG	Rd	Two's Complement	Rd ← $00 - Rd	Z,C,N,V,H	1
SBR	Rd,K	Set Bit(s) in Register	Rd ← Rd v K	Z,N,V	1
CBR	Rd,K	Clear Bit(s) in Register	Rd ← Rd • ($FF - K)	Z,N,V	1
INC	Rd	Increment	Rd ← Rd + 1	Z,N,V	1
DEC	Rd	Decrement	Rd ← Rd - 1	Z,N,V	1
TST	Rd	Test for Zero or Minus	Rd ← Rd • Rd	Z,N,V	1
CLR	Rd	Clear Register	Rd ← Rd ⊕ Rd	Z,N,V	1
SER	Rd	Set Register	Rd ← $FF	None	1
BRANCH INSTRUCTIONS					
RJMP	k	Relative Jump	PC ← PC + k + 1	None	2
IJMP		Indirect Jump to (Z)	PC ← Z	None	2
RCALL	k	Relative Subroutine Call	PC ← PC + k + 1	None	3
ICALL		Indirect Call to (Z)	PC ← Z	None	3
RET		Subroutine Return	PC ← STACK	None	4
RETI		Interrupt Return	PC ← STACK	I	4
CPSE	Rd,Rr	Compare, Skip if Equal	if (Rd = Rr) PC ← PC + 2 or 3	None	1 / 2
CP	Rd,Rr	Compare	Rd - Rr	Z, N,V,C,H	1
CPC	Rd,Rr	Compare with Carry	Rd - Rr - C	Z, N,V,C,H	1
CPI	Rd,K	Compare Register with Immediate	Rd - K	Z, N,V,C,H	1
SBRC	Rr, b	Skip if Bit in Register Cleared	if (Rr(b)=0) PC ← PC + 2 or 3	None	1 / 2
SBRS	Rr, b	Skip if Bit in Register is Set	if (Rr(b)=1) PC ← PC + 2 or 3	None	1 / 2
SBIC	P, b	Skip if Bit in I/O Register Cleared	if (P(b)=0) PC ← PC + 2 or 3	None	1 / 2
SBIS	P, b	Skip if Bit in I/O Register is Set	if (R(b)=1) PC ← PC + 2 or 3	None	1 / 2
BRBS	s, k	Branch if Status Flag Set	if (SREG(s) = 1) then PC←PC + k + 1	None	1 / 2
BRBC	s, k	Branch if Status Flag Cleared	if (SREG(s) = 0) then PC←PC + k + 1	None	1 / 2
BREQ	k	Branch if Equal	if (Z = 1) then PC ← PC + k + 1	None	1 / 2
BRNE	k	Branch if Not Equal	if (Z = 0) then PC ← PC + k + 1	None	1 / 2
BRCS	k	Branch if Carry Set	if (C = 1) then PC ← PC + k + 1	None	1 / 2
BRCC	k	Branch if Carry Cleared	if (C = 0) then PC ← PC + k + 1	None	1 / 2
BRSH	k	Branch if Same or Higher	if (C = 0) then PC ← PC + k + 1	None	1 / 2
BRLO	k	Branch if Lower	if (C = 1) then PC ← PC + k + 1	None	1 / 2
BRMI	k	Branch if Minus	if (N = 1) then PC ← PC + k + 1	None	1 / 2
BRPL	k	Branch if Plus	if (N = 0) then PC ← PC + k + 1	None	1 / 2
BRGE	k	Branch if Greater or Equal, Signed	if (N ⊕ V= 0) then PC ← PC + k + 1	None	1 / 2
BRLT	k	Branch if Less Than Zero, Signed	if (N ⊕ V= 1) then PC ← PC + k + 1	None	1 / 2
BRHS	k	Branch if Half Carry Flag Set	if (H = 1) then PC ← PC + k + 1	None	1 / 2
BRHC	k	Branch if Half Carry Flag Cleared	if (H = 0) then PC ← PC + k + 1	None	1 / 2
BRTS	k	Branch if T Flag Set	if (T = 1) then PC ← PC + k + 1	None	1 / 2
BRTC	k	Branch if T Flag Cleared	if (T = 0) then PC ← PC + k + 1	None	1 / 2
BRVS	k	Branch if Overflow Flag is Set	if (V = 1) then PC ← PC + k + 1	None	1 / 2
BRVC	k	Branch if Overflow Flag is Cleared	if (V = 0) then PC ← PC + k + 1	None	1 / 2
BRIE	k	Branch if Interrupt Enabled	if (I = 1) then PC ← PC + k + 1	None	1 / 2
BRID	k	Branch if Interrupt Disabled	if (I = 0) then PC ← PC + k + 1	None	1 / 2

記号　オペランド　説明　　動作　　作用するフラッグ　クロック数

Mnemonics	Operands	Description	Operation	Flags	#Clock
DATA TRANSFER INSTRUCTIONS					
MOV	Rd, Rr	Move Between Registers	Rd ← Rr	None	1
LDI	Rd, K	Load Immediate	Rd ← K	None	1
LD	Rd, X	Load Indirect	Rd ← (X)	None	2
LD	Rd, X+	Load Indirect and Post-Inc.	Rd ← (X), X ← X + 1	None	2
LD	Rd, - X	Load Indirect and Pre-Dec.	X ← X - 1, Rd ← (X)	None	2
LD	Rd, Y	Load Indirect	Rd ← (Y)	None	2
LD	Rd, Y+	Load Indirect and Post-Inc.	Rd ← (Y), Y ← Y + 1	None	2
LD	Rd, - Y	Load Indirect and Pre-Dec.	Y ← Y - 1, Rd ← (Y)	None	2
LDD	Rd,Y+q	Load Indirect with Displacement	Rd ← (Y + q)	None	2
LD	Rd, Z	Load Indirect	Rd ← (Z)	None	2
LD	Rd, Z+	Load Indirect and Post-Inc.	Rd ← (Z), Z ← Z+1	None	2
LD	Rd, -Z	Load Indirect and Pre-Dec.	Z ← Z - 1, Rd ← (Z)	None	2
LDD	Rd, Z+q	Load Indirect with Displacement	Rd ← (Z + q)	None	2
LDS	Rd, k	Load Direct from SRAM	Rd ← (k)	None	2
ST	X, Rr	Store Indirect	(X) ← Rr	None	2
ST	X+, Rr	Store Indirect and Post-Inc.	(X) ← Rr, X ← X + 1	None	2
ST	- X, Rr	Store Indirect and Pre-Dec.	X ← X - 1, (X) ← Rr	None	2
ST	Y, Rr	Store Indirect	(Y) ← Rr	None	2
ST	Y+, Rr	Store Indirect and Post-Inc.	(Y) ← Rr, Y ← Y + 1	None	2
ST	- Y, Rr	Store Indirect and Pre-Dec.	Y ← Y - 1, (Y) ← Rr	None	2
STD	Y+q,Rr	Store Indirect with Displacement	(Y + q) ← Rr	None	2
ST	Z, Rr	Store Indirect	(Z) ← Rr	None	2
ST	Z+, Rr	Store Indirect and Post-Inc.	(Z) ← Rr, Z ← Z + 1	None	2
ST	-Z, Rr	Store Indirect and Pre-Dec.	Z ← Z - 1, (Z) ← Rr	None	2
STD	Z+q,Rr	Store Indirect with Displacement	(Z + q) ← Rr	None	2
STS	k, Rr	Store Direct to SRAM	(k) ← Rr	None	2
LPM		Load Program Memory	R0 ← (Z)	None	3
IN	Rd, P	In Port	Rd ← P	None	1
OUT	P, Rr	Out Port	P ← Rr	None	1
PUSH	Rr	Push Register on Stack	STACK ← Rr	None	2
POP	Rd	Pop Register from Stack	Rd ← STACK	None	2
BIT AND BIT-TEST INSTRUCTIONS					
SBI	P,b	Set Bit in I/O Register	I/O(P,b) ← 1	None	2
CBI	P,b	Clear Bit in I/O Register	I/O(P,b) ← 0	None	2
LSL	Rd	Logical Shift Left	Rd(n+1) ← Rd(n), Rd(0) ← 0	Z,C,N,V	1
LSR	Rd	Logical Shift Right	Rd(n) ← Rd(n+1), Rd(7) ← 0	Z,C,N,V	1
ROL	Rd	Rotate Left Through Carry	Rd(0)←C,Rd(n+1)← Rd(n),C←Rd(7)	Z,C,N,V	1
ROR	Rd	Rotate Right Through Carry	Rd(7)←C,Rd(n)← Rd(n+1),C←Rd(0)	Z,C,N,V	1
ASR	Rd	Arithmetic Shift Right	Rd(n) ← Rd(n+1), n=0..6	Z,C,N,V	1
SWAP	Rd	Swap Nibbles	Rd(3..0)←Rd(7..4),Rd(7..4)←Rd(3..0)	None	1
BSET	s	Flag Set	SREG(s) ← 1	SREG(s)	1
BCLR	s	Flag Clear	SREG(s) ← 0	SREG(s)	1
BST	Rr, b	Bit Store from Register to T	T ← Rr(b)	T	1
BLD	Rd, b	Bit load from T to Register	Rd(b) ← T	None	1
SEC		Set Carry	C ← 1	C	1
CLC		Clear Carry	C ← 0	C	1
SEN		Set Negative Flag	N ← 1	N	1
CLN		Clear Negative Flag	N ← 0	N	1
SEZ		Set Zero Flag	Z ← 1	Z	1
CLZ		Clear Zero Flag	Z ← 0	Z	1
SEI		Global Interrupt Enable	I ← 1	I	1
CLI		Global Interrupt Disable	I ← 0	I	1
SES		Set Signed Test Flag	S ← 1	S	1
CLS		Clear Signed Test Flag	S ← 0	S	1
SEV		Set Twos Complement Overflow	V ← 1	V	1
CLV		Clear Twos Complement Overflow	V ← 0	V	1
SET		Set T in SREG	T ← 1	T	1
CLT		Clear T in SREG	T ← 0	T	1
SEH		Set Half Carry Flag in SREG	H ← 1	H	1
CLH		Clear Half Carry Flag in SREG	H ← 0	H	1
NOP		No Operation		None	1
SLEEP		Sleep	(see specific descr. for Sleep	None	3
WDR		Watchdog Reset	(see specific descr. for WDR/timer)	None	1

Ordering Information

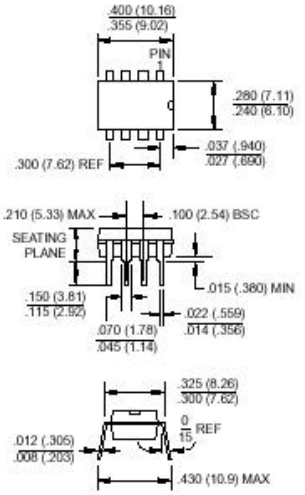
Power Supply	Speed (MHz)	Ordering Code	Package	Operation Range
2.7 - 6.0V	4	AT90LS2323-4PC AT90LS2323-4SC	8P3 8S2	Commercial (0°C to 70°C)
		AT90LS2323-4PI AT90LS2323-4SI	8P3 8S2	Industrial (-40°C to 85°C)
4.0 - 6.0V	10	AT90S2323-10PC AT90S2323-10SC	8P3 8S2	Commercial (0°C to 70°C)
		AT90S2323-10PI AT90S2323-10SI	8P3 8S2	Industrial (-40°C to 85°C)
2.7 - 6.0V	4	AT90LS2343-4PC AT90LS2343-4SC	8P3 8S2	Commercial (0°C to 70°C)
		AT90LS2343-4PI AT90LS2343-4SI	8P3 8S2	Industrial (-40°C to 85°C)
4.0 - 6.0V	10	AT90S2343-10PC AT90S2343-10SC	8P3 8S2	Commercial (0°C to 70°C)
		AT90S2343-10PI AT90S2343-10SI	8P3 8S2	Industrial (-40°C to 85°C)

Note: 1. The speed grade refers to maximum clock rate when using an external crystal or external clock drive. The internal RC oscillator has the same nominal clock frequency for all speed grades.

Package Type	
8P3	8-lead, 0.300" Wide, Plastic Dual Inline Package (PDIP)
8S2	8-lead, 0.200" Wide, Plastic Gull-Wing Small Outline Package (EIAJ SOIC)

Packaging Information

8P3, 8-lead, 0.300" Wide,
Plastic Dual Inline Package (PDIP)
Dimensions in Inches and (Millimeters)
JEDEC STANDARD MS-001 BA



8S2, 8-lead, 0.200" Wide,
Plastic Gull Wing Small Outline (EIAJ SOIC)
Dimensions in Inches and (Millimeters)