

AT90S2313

特徴

統合 AVR RISC アーキテクチャ

高パフォーマンス低消費電力の RISC アーキテクチャ

10MHz で 10MIPS の処理量

SPI シリアルインターフェイス付き

15 本の I/O 線

アナログコンパレータ、8~10 ビット PWM 出力、UART 等の機能があります。

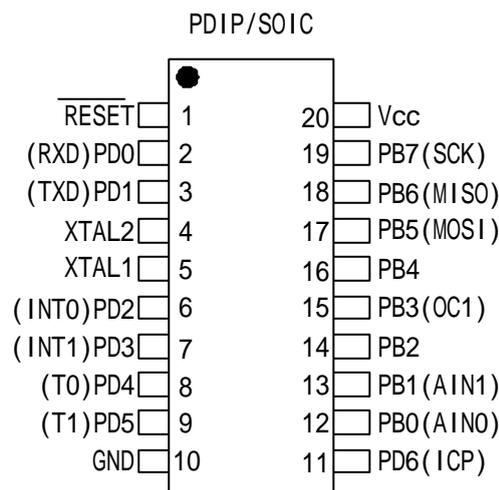
速度の目安 0~10MHz まで動作(AT90S2313-10)

 0~4MHz まで動作(AT90SLS2313-4)

説明

AT90S2313 は AVR RISC アーキテクチャに基づいた低消費電力 C-MOS 8 ビットマイクロコントローラです。単一サイクルの強力な命令を実行することにより、AT90S2313 は 1MHz あたり 1 MIPS に及ぶ処理量を実現しており、システム設計をする上で、消費電力対プロセス速度を最適化することができます。

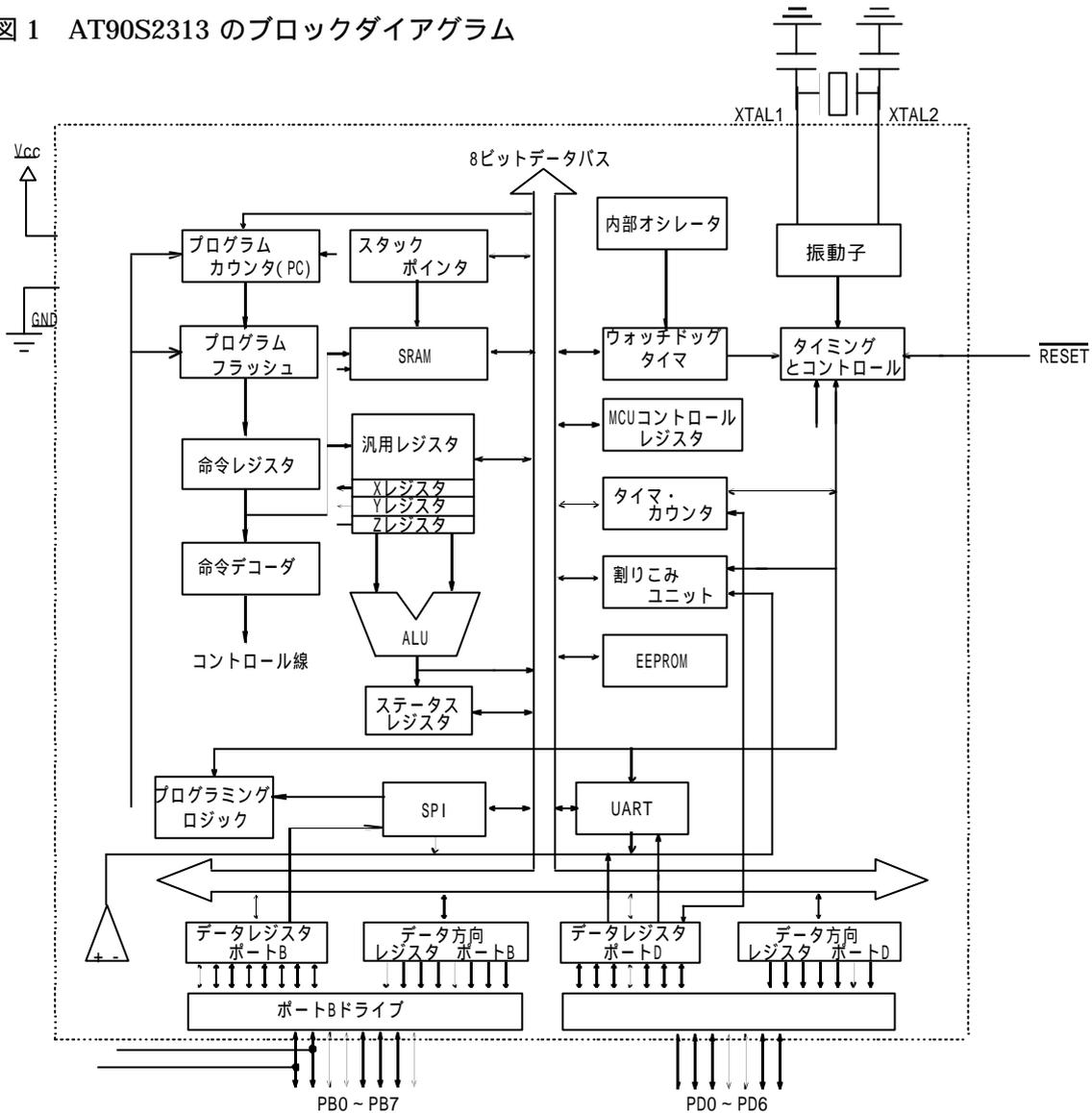
ピン配置



AT90S2313

AVRの核は32の汎用レジスタを持った強力な命令と結びついています。全32レジスタは、算術演算ユニット（ALU）に直接つながっており、1クロックサイクルで実行されるシングル命令で2つの独立なレジスタにアクセスできます。結果を出すためのアーキテクチャは、従来のCISCマイクロコントローラよりも10倍速い処理量を実現し、コード効率が良くなっています。

図1 AT90S2313のブロックダイアグラム



AT90S2313には次のような特徴があります。2Kバイトの内部プログラミング可能なフラッシュ、128バイトのEEPROM、128バイトのSRAM、15本の汎用I/Oライン、32個の汎用レジスタ、コンペアモードのついたタイマカウンタ、内部・外部割りこみ、プログラム可能シリアルUART、内部オシレータ付きプログラマブルウォッチドッグタイマ、フラッシュメモリのダウンロードのためのSPIシリアルポート、ソフトウェアから選択可能

AT90S2313

な 2 つの省電力モードがあります。アイドルモードでは SRAM、タイマ/カウンタ、SPI ポート割りこみシステムが機能しつづけている状態で、CPU が停止しています。パワーダウンモードはレジスタの内容を保存し、次の割りこみまたはハードウェアによるリセットが行われるまで、水晶振動子を凍結、他の機能を無効にします。

デバイスは Atmel 高密度不揮発性メモリ技術を使って製造されています。内蔵フラッシュは SPI シリアルインターフェイスをとおして、プログラムメモリを内部で再プログラミングすることができます。8 ビット RISC CPU をモノリシックチップの ISP フラッシュとを組み合わせることにより、Atmel AT90S2313 は、多くの組みこんで制御する応用に対して非常に柔軟で、コスト効率の良い道を提供する強力なマイクロコントローラとなります。

AT90S2313 AVR はプログラムパッケージ・システム開発ツールでサポートされています。開発ツールは、C コンパイラ、マクロアセンブラ、プログラムデバッガ/シュミレータ、内蔵エミュレータ、評価キットを含みます。

AT90S/LS2313 のピンの説明

Vcc 電源供給ピン

GND グランドピン

PORTB (PB0 ~ PB7)

PORTB は 8 ビット双方向 I/O ポートです。ポートピンは内蔵プルアップ抵抗 (それぞれのビットで ON-OFF 選択できます。) があります。PB0, PB1 はそれぞれアナログコンパレータの正入力 (AIN0) 負入力 (AIN1) としても働きます。ポート B 出力バッファは 20mA までシンクでき、LED を直接駆動できます。PB0 ~ PB7 が入力として使われていて外部的にプルダウンされている時は、プルアップ抵抗がアクティブになった時電流を取り出すことができます。ポート B ピンはリセット条件がアクティブになった時、クロックが動いていないときでもトライステートになります。

ポート B は 57 ページにリストされている様に AT90S2313 のさまざまな特別な機能を持っています。

PORTD (PD0 ~ PD6)

PORTD は PD0 ~ PD6 に内蔵プルアップ抵抗のついた 7 本の双方向 I/O ポートです。ポート B 出力バッファは 20mA までシンクできます。入力の際は、外部的にプルダウンされている時は、プルアップ抵抗がアクティブになった時電流を取り出すことができます。ポート D ピンはリセット条件がアクティブになった時、クロックが動いていないときでもトライステートになります。

ポート D は 61 ページにリストされている様に AT90S2313 のさまざまな特別な機能を持っています。

AT90S2313

RESET

リセット入力。外部リセットは、クロックが動いていないときでも、50ns 以上のリセットパルスをかけるとリセットが生成されます。短いパルスでは、リセットが生成される保証はありません。

XTAL1

振動子の反転増幅器への入力または内部クロック動作回路への入力

XTAL2

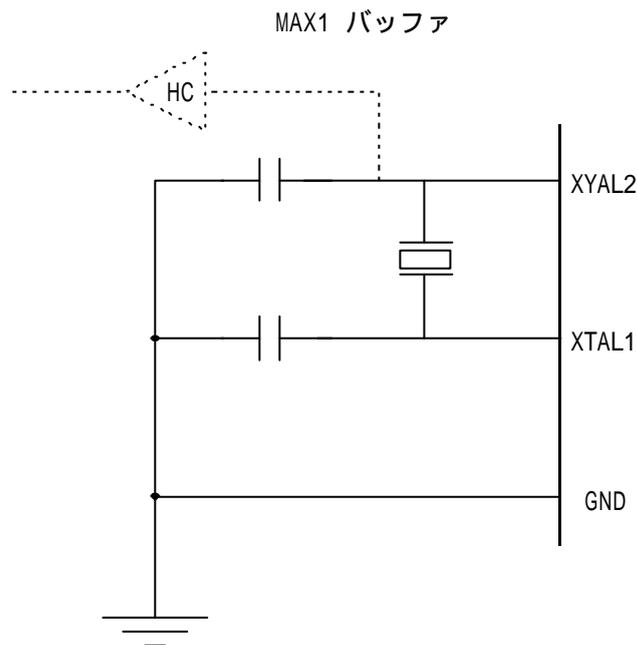
振動子の反転増幅器からの出力

CLOCK オプション

水晶振動子

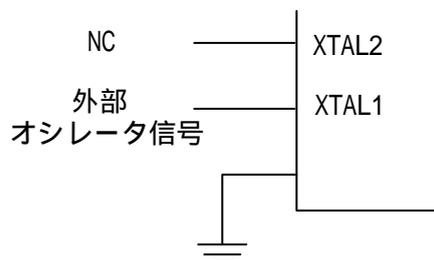
XTAL1 と XTAL2 は反転増幅器のそれぞれ入力と出力になっています。図 2 で示されているように内部オシレータを使うようにすることもできます。水晶またはセラミック共鳴子も使うことができます。AT90S2313 は、外部クロックソースを使って駆動する場合、図 3 のように XTAL1 が駆動されている一方で XTAL2 はつながらないで残しておきます。

図 2 振動子の接続



MCU 振動子を外部のデバイスのクロックとして使う場合、図に示されているように HC バッファをつなげておいてください。

図 3 外部クロック駆動の回路図

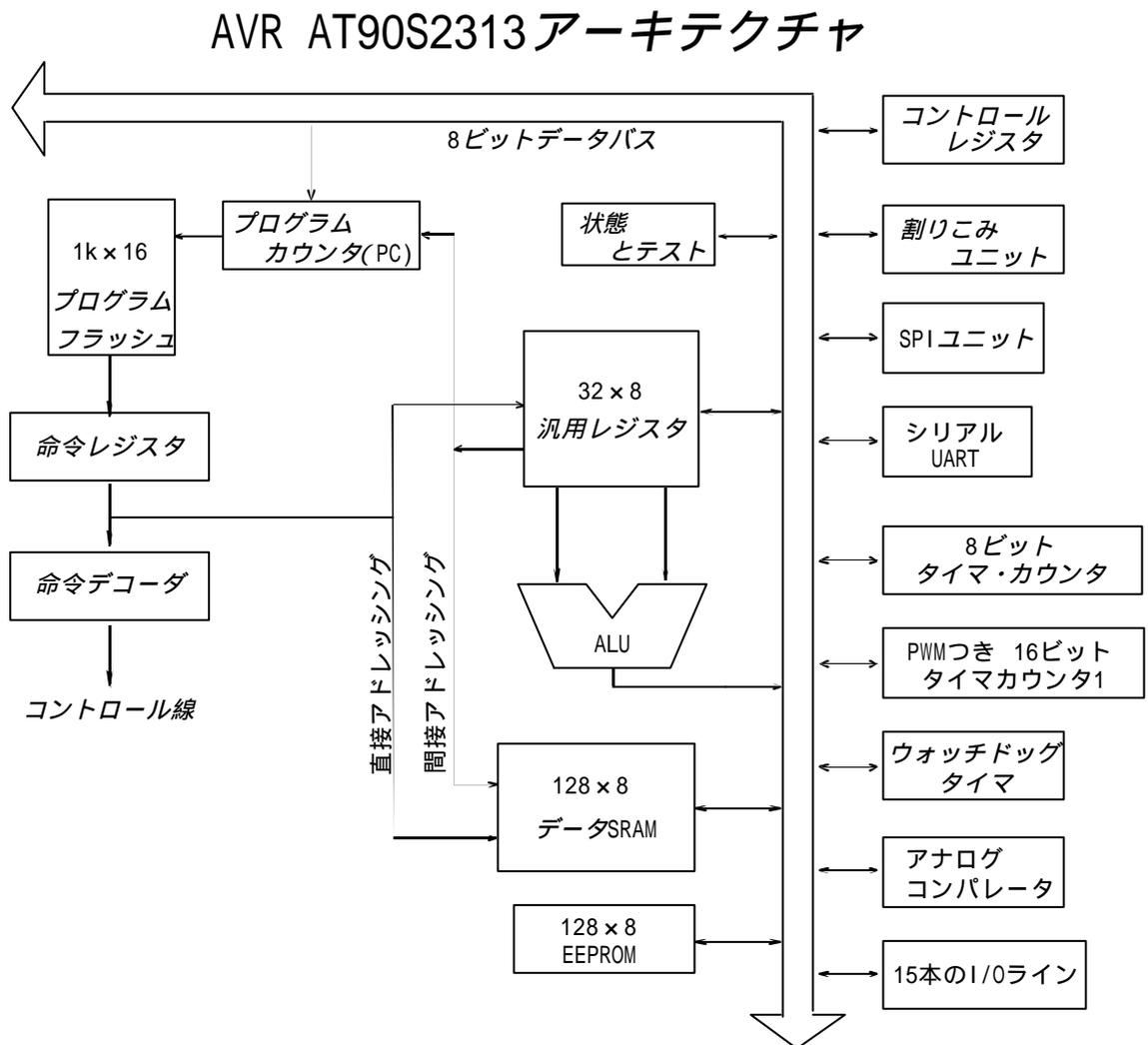


AT90S2313

アーキテクチャの概要

早いアクセスをもつレジスタファイルの概念は、単一クロックサイクルのアクセス時間を持った 32*8 ビット汎用レジスタを含んでいます。これは、1 クロックサイクルの間に 1 つの ALU (算術演算ユニット) の演算が実行されます。レジスタファイルから 2 つのオペランドが出力され、演算が実行され結果が 1 クロックサイクルで、再びたくわえられます。32 レジスタのうち 6 つはデータ空間アドレッシング用の 3 つの 16 ビット間接アドレスレジスタポインタとして使うことができます。これによりアドレス計算を効率良く行くことが可能になります。3 つのアドレスポインタのうち 1 つは定数照合用のアドレスポインタとしても使うことができます。これらの追加機能のレジスタは、16 ビット X レジスタ、Y レジスタ、Z レジスタがあります。

図 5 AT90S2313 AVR RISC アーキテクチャ



AT90S2313

ALU レジスタ同士またはレジスタと定数での算術・論理機能をサポートしています。単一のレジスタ演算は ALU 中で実行されます。図 4 では AT90S2313 AVR RISC マイクロコントローラ アーキテクチャを示しています。

レジスタの演算に加えて、レジスタファイル上で従来のメモリアドレッシングモードを使うことができます。これは、レジスタファイルが 32 データ空間アドレス (\$00 ~ \$1F) に割り当てられることにより有効になり、普通のメモリロケーションであるかのようにアクセスすることができます。

I/O メモリ空間は、コントロールレジスタ、タイマ/カウンタ、A/D コンバータと他の I/O 機能のような CPU 周辺機能用の 64 アドレスが含まれています。

I/O メモリ空間は直接アクセスでき、データ空間が次のレジスタファイル \$20 ~ \$5F にある時にアクセスできます。

AVR はハーバードアーキテクチャを持っており、プログラムとデータ用のメモリとバスが分かれています。プログラムは 2 段階のパイプラインでアクセスされます。1 つの命令が実行されている間、プログラムメモリから次の命令が前もって取り込まれ (フェッチされ) ます。この概念により 1 クロックサイクル毎に命令を実行することができます。プログラムメモリは内蔵のシステムでプログラムできるフラッシュメモリです。

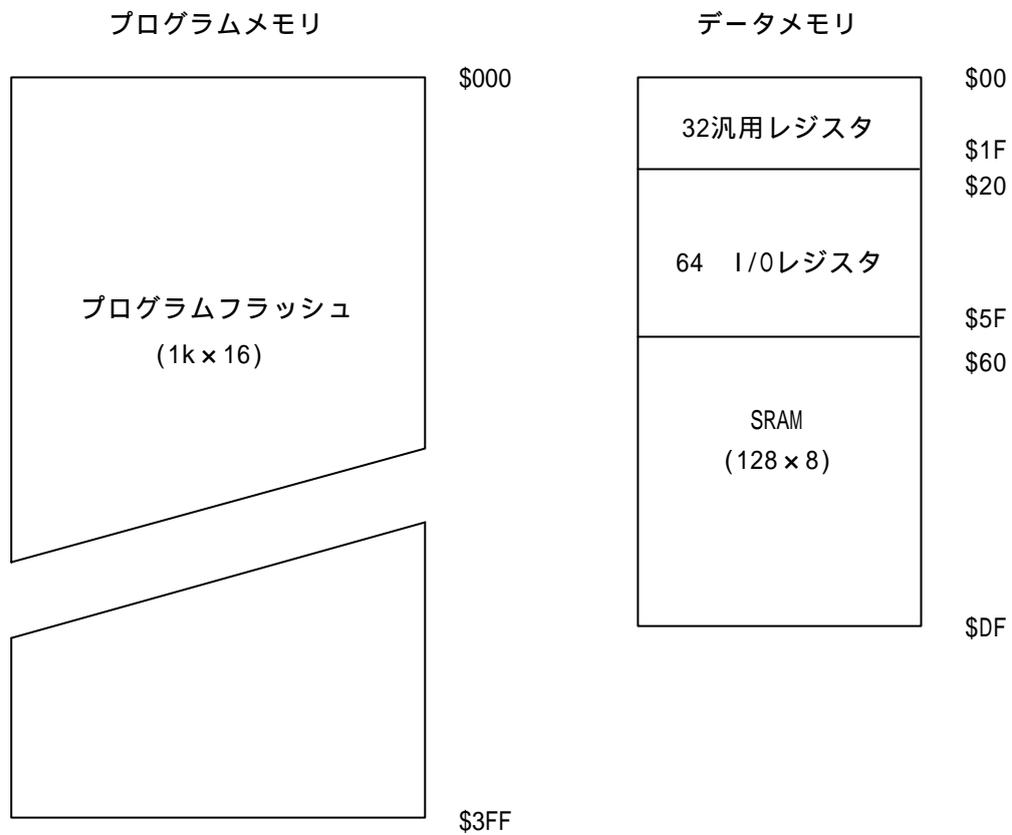
比較ジャンプで呼出し命令で全 1k アドレス空間は直接アクセスできます。ほとんどの AVR 命令は単一の 16 ビットワードの型を持っています。プログラムメモリアドレスは 16 または 32 ビット命令を含んでいます。

割りこみまたはサブルーチン呼び出しの間、プログラムカウンタ (PC) リターンアドレスがスタックに蓄えられます。スタックは汎用データ SRAM 中に実際的に割り当てられ、結果的にはスタックの大きさは SRAM の全サイズと使い方だけに制限されます。全ユーザープログラムではリセットルーチン中で SP を (サブルーチン呼び出しや割りこみが実行される前に) 初期化しておかなければなりません。8 ビットスタックポインタは I/O 空間で読み込み/書きこみアクセスが可能です。

128 バイトのデータ SRAM+レジスタファイルと I/O レジスタは、AVR アーキテクチャでサポートされている 5 つのアドレッシングモードでをとおして簡単にアクセスできます。

AT90S2313

図6 メモリマップ



柔軟な割りこみモジュールは I/O 空間中でコントロールレジスタを持っており、ステータスレジスタ中に付属のグローバル割りこみ有効ビットを持っています。異なる割りこみはプログラムメモリの始めにある割りこみベクトル中にいろいろな割りこみベクトルを持っています。割りこみベクトルのアドレスが低いほど、割りこみベクトルの優先順位が高くなります。

AT90S2313

汎用レジスタファイル

図 6 では CPU 中の 32 汎用レジスタの構造を示しています。

図 6 AVR CPU 汎用レジスタ

汎用レジスタ	R0	\$00	
	R1	\$01	
	R2	\$02	
	R3	\$03	
	R4	\$04	
		
	R13	\$0D	
	R14	\$0E	
	R15	\$0F	
	R16	\$00	
	R17	\$4D	
		
	R26	\$1A	Xレジスタ下位バイト
	R27	\$1B	Xレジスタ上位バイト
	R28	\$1C	Yレジスタ下位バイト
	R29	\$1D	Yレジスタ上位バイト
R30	\$1E	Zレジスタ下位バイト	
R31	\$1F	Zレジスタ上位バイト	

命令のレジスタ動作命令は全レジスタに対して直接・単サイクルアクセスを持っています。唯一の例外は、定数とレジスタ間の 5 つの定数算術・論理命令 SBCI、SUBI、CPI、ANDI、ORI、定数データを直接ロードする LDI です。これらの命令は、後半 R16 ~ R31 のレジスタファイルに適用されます。汎用の SBC,SUB,CP,AND,OR と他の 2 レジスタ間または 1 レジスタ上の演算は全レジスタファイルに対して適用されます。

図 6 に示されているようにそれぞれのレジスタはデータメモリアドレスに割り当てられ、データ空間の始めの 32 個の位置に直接マッピングされます。レジスタファイルは SRAM の位置として物理的に組み込まれることはありませんが、X,Y,Z レジスタがファイル中のどのレジスタにも印をつけることができるように、このメモリの組織によりレジスタのアクセスが非常に柔軟になります。

X レジスタ、Y レジスタ、Z レジスタ

R26 ~ R31 のレジスタは汎用レジスタの機能に付属の機能があります。これらのレジスタはデータ空間の間接アドレッシングをするためのアドレスポインタです。3 つの異なる間接アドレスレジスタ X,Y,Z は次のように定義されます。

AT90S2313

図 7 X,Y,Z レジスタ



アドレッシングモードによって、固定変位、自動加算、自動減算の機能がついています。(異なる命令の項を参照してください。)

ALU 算術論理ユニット

高性能の AVR ALU は全 32 汎用レジスタと直接つながって動作します。1 クロックサイクル以内で、ALU はレジスタファイル中のレジスタ間で実行されます。ALU の演算は 3 つの主なカテゴリ算術・論理・ビット機能に分けられます。

内部プログラム可能なフラッシュプログラムメモリ

AT90S2313 は 2 k バイトの内蔵 In-system プログラム可能フラッシュメモリをプログラム保存用に含んでいます。全命令は 16 ビットまたは 32 ビットであるため、フラッシュは 1k*16 として組織されます。フラッシュメモリの耐久性は 1000 回の書きこみ/消去サイクルまでになっています。

AT90S2313 プログラムカウンタ (PC) は 10 ビット長で、1024 のプログラムメモリアドレスのアドレッシングを行います。フラッシュメモリのデータダウンロードの詳細は 67 ページを見てください。いろいろなアドレッシングモードについては 10 ページを参照してください。

EEPROM データメモリ

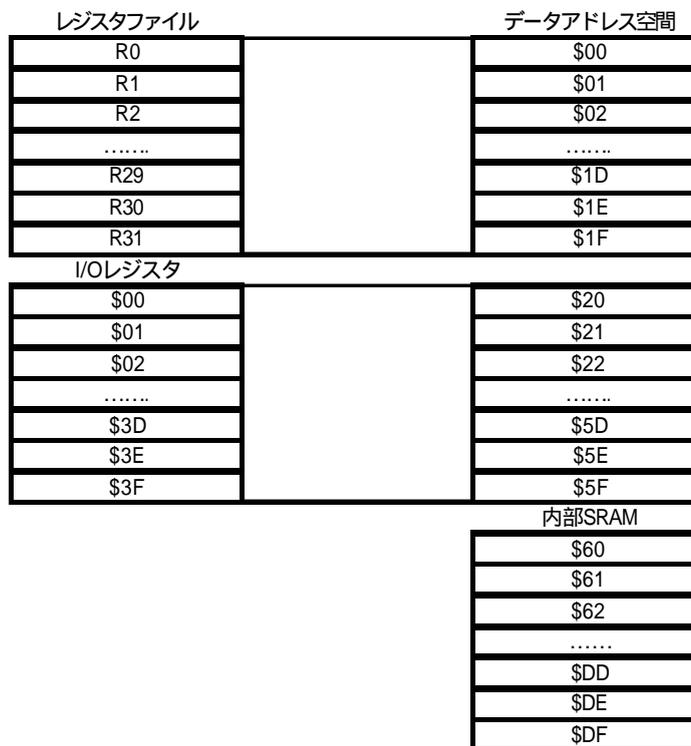
AT90S2313 は 128 バイトの EEPROM データメモリを持っています。単一のバイトの読み込みと書きこみができる別のデータスペースとして編成されています。EEPROM は最低 100000 回の消去または書きこみの耐久性があります。EEPROM と CPU のアクセスは 43 ページに説明されており、EEPROM アドレスレジスタ、EEPROM データレジスタ、EEPROM コントロールレジスタを指定します。SPI データのダウンロードについての詳細は、75 ページを参照してください。

SRAM データメモリ

次の図 8 は AT90S2313 データメモリがどのような編成になっているかを表しています。

AT90S2313

図 8 SRAM の編成



224 個のデータメモリの位置にはレジスタファイル、I/O レジスタ、データ SRAM が割り当てられています。始めの 96 個まではレジスタファイルと I/O メモリ、次の 128 個までは、データ SRAM が割り当てられています。

5 つの異なるデータメモリ用のアドレッシングモードには、直接、変位付き間接、間接、前減算付き間接、後減算付き間接モードがあります。レジスタファイルでは、R26 から R31 までのレジスタは、間接アドレッシングポインタレジスタの機能があります。

直接アドレッシングはデータアドレス空間全体にわたっています。

変位モードの間接アドレッシングは、Y,Z レジスタによって与えられる基本アドレスから 63 アドレス分の範囲までとどきます。

自動加・減算付きの間接アドレッシングモードを使う場合、アドレスレジスタ X,Y,Z を使って、加・減算します。

32 の汎用レジスタ、64 の I/O レジスタ、AT90S2313 の内部 SRAM128 バイトは、これらのすべてのアドレッシングモードで直接アクセスできます。

プログラム・データアドレッシングモード

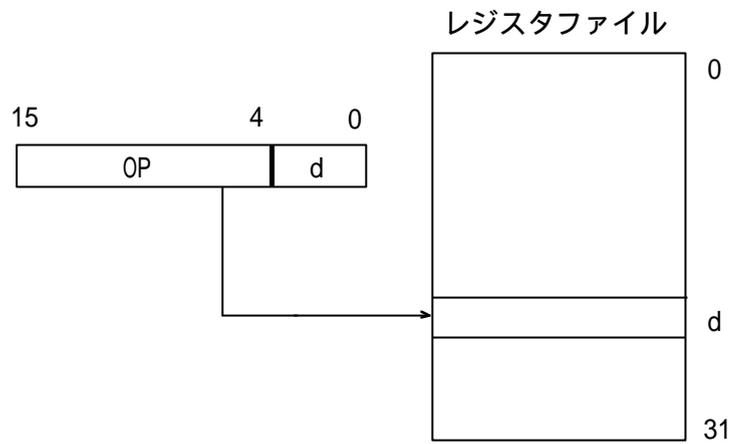
AT90S2313 AVR RISC マイクロコントローラはプログラムメモリ(フラッシュ)とデータメモリに強力で効率の良いアドレッシングモードをサポートしています。この節では、AVR アーキテクチャによるいろいろなアドレッシングモードについて説明しています。図において、OP は命令ワードに対する動作コードのことです。単純に、すべての図がアドレッシ

AT90S2313

ングビットの正確な位置を示しているわけではありません。

直接レジスタ、単一レジスタ Rd

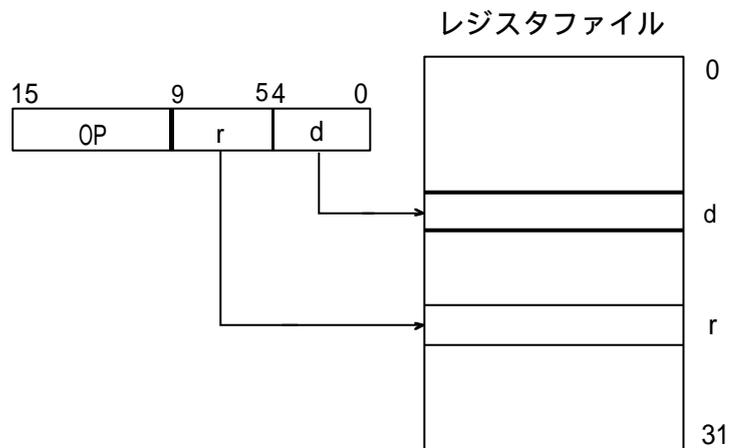
図 9 直接単一レジスタアドレッシング



オペランドはレジスタ d (Rd)に含まれています。

直接レジスタ、2つのレジスタ Rd と Rr

図 10 直接アドレッシング、2つのレジスタ

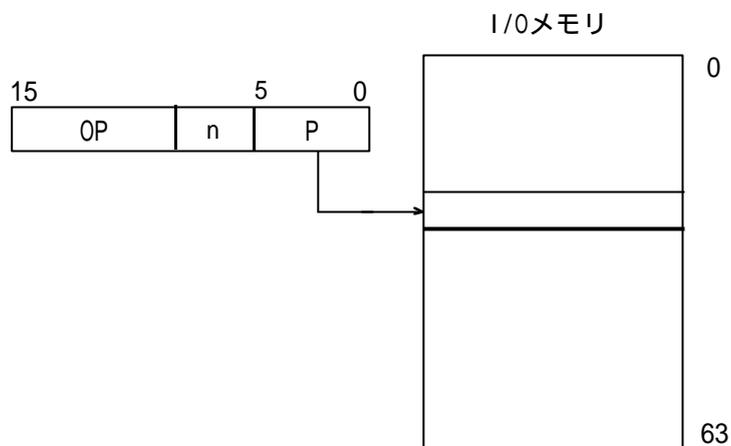


オペランドはレジスタ r(Rr)と d (Rd)に含まれています。結果は d に蓄えられます。

AT90S2313

直接 I/O

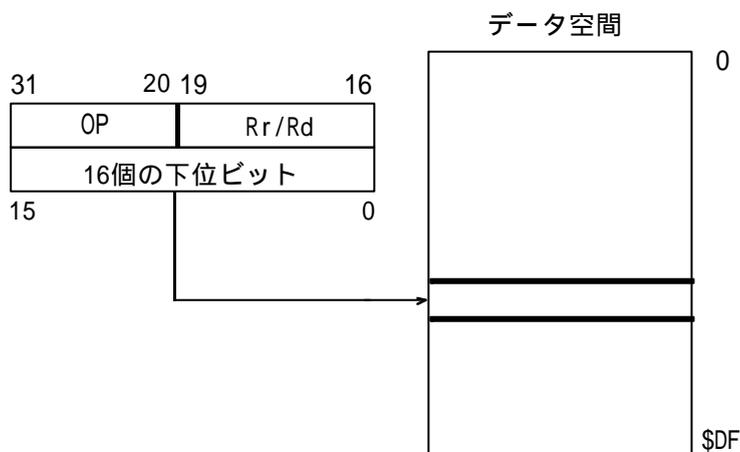
図 11 I/O 直接アドレッシング



オペランドは命令ワード中の 6 ビットに含まれています。n は行き先またはもとのレジスタアドレスです。

直接データ

図 12 直接データアドレッシング

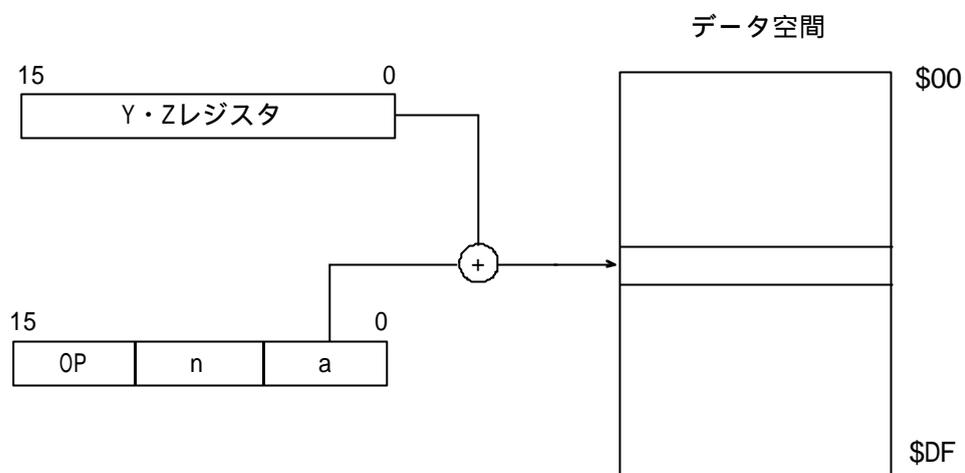


16 ビットのデータアドレスは 2 ワード命令の 16 ビットの下位バイト中に含まれています。Rd/Rr は行き先レジスタ/元のレジスタを指定します。

AT90S2313

変位付き間接データ

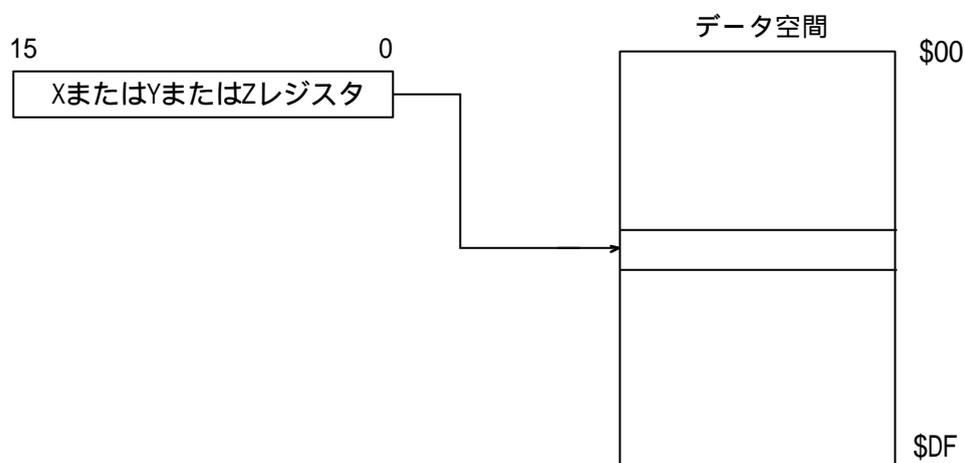
図 13 変位付き間接データ



オペランドアドレスは Y または Z レジスタの内容に命令ワード中の 6 ビットを加えた結果になります。

間接データ

図 14 データ間接アドレッシング

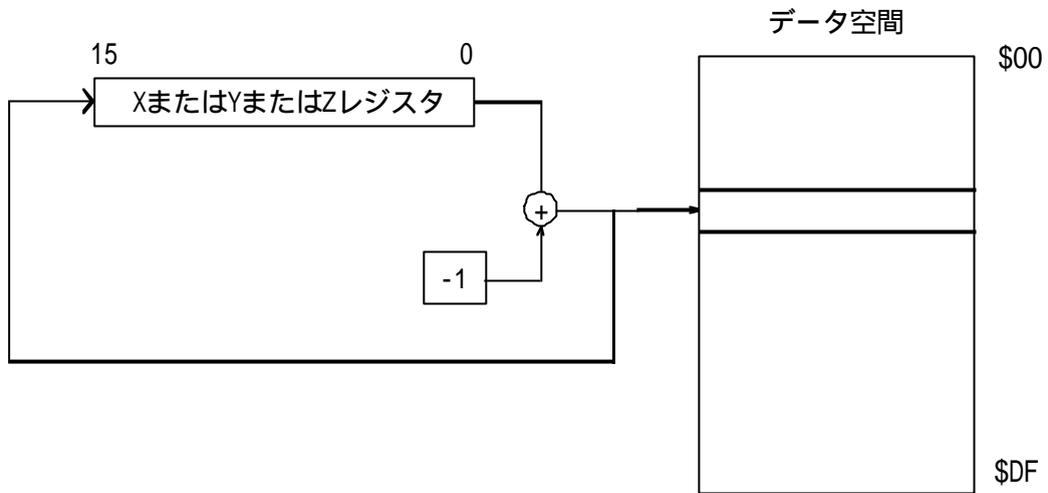


オペランドアドレスが X,Y,Z レジスタの中身になります。

AT90S2313

前減算付き間接データ

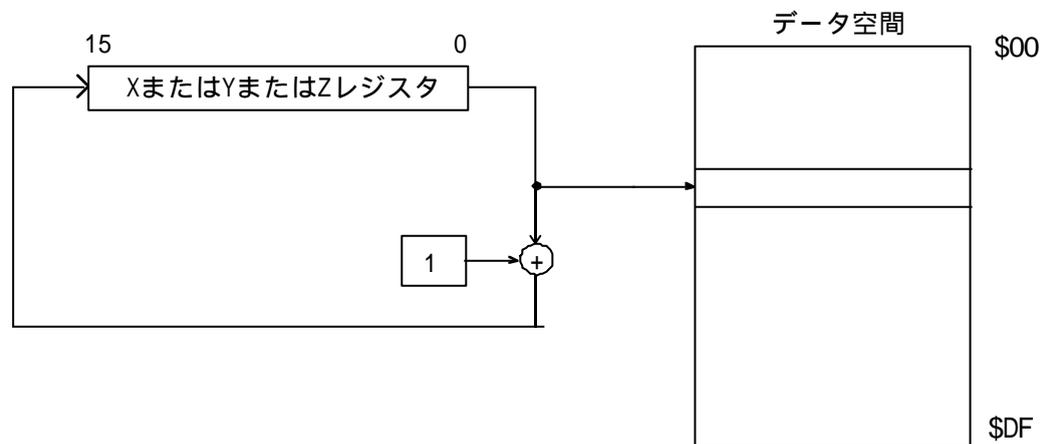
図 15 前減算付き間接データアドレッシング



X,Y,Z レジスタは演算前に減算されます。オペランドアドレスは、X,Y,Z レジスタの内容が減算されます。

後加算付き間接データ

図 16 後加算付き間接データアドレッシング

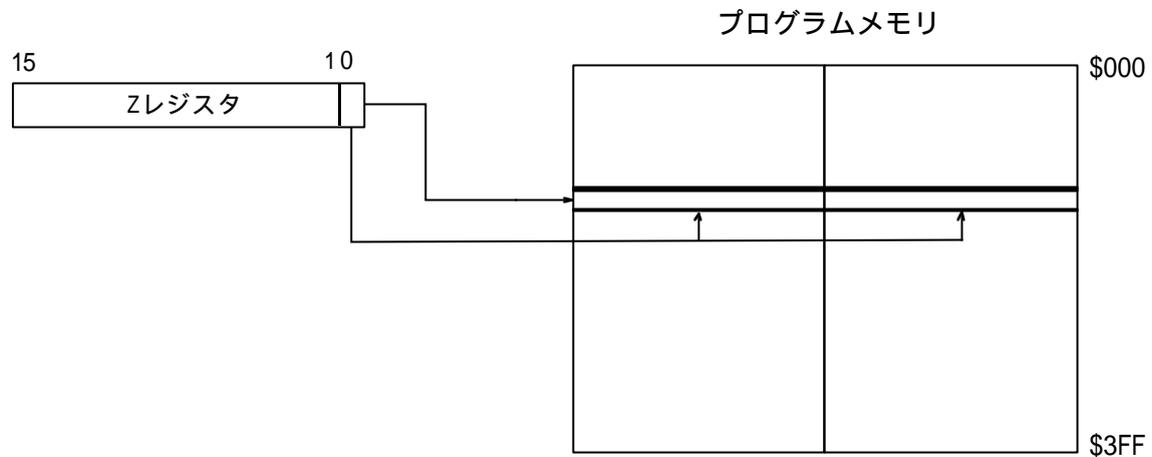


X,Y,Z レジスタは演算後加算されます。オペランドアドレスは、インクリメントされる前のX,Y,Z レジスタの中身になります。

AT90S2313

LPM 命令による定数アドレッシング

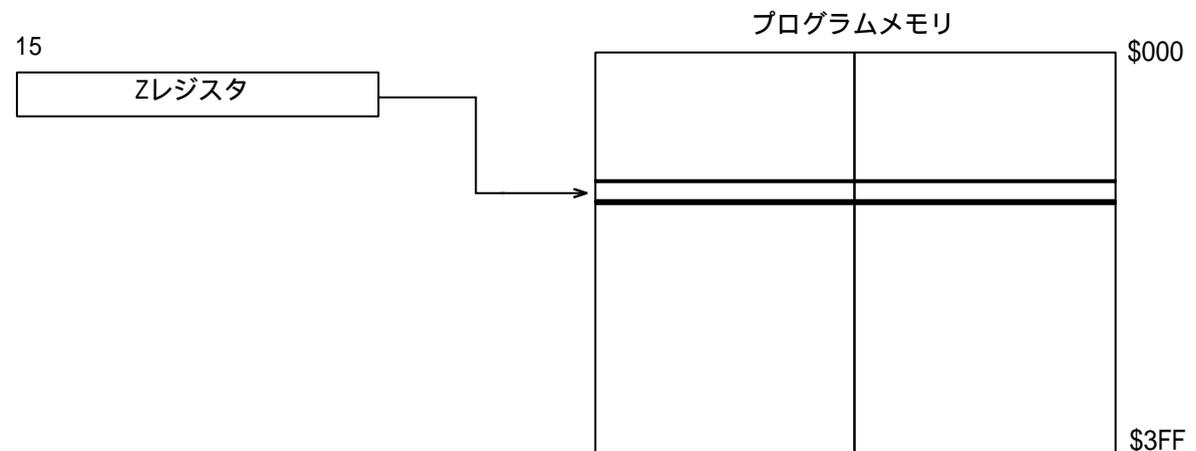
図 17 定数コードメモリアドレッシング



定数バイトは Z レジスタの中身によって指定されます。15 ビットの上位バイトがワードのアドレス(0-1k)選択し、LSB がクリア (0) で下位バイト、セット (1) で上位バイトを選択します。

間接プログラムアドレッシング

図 18 間接プログラムメモリアドレッシング

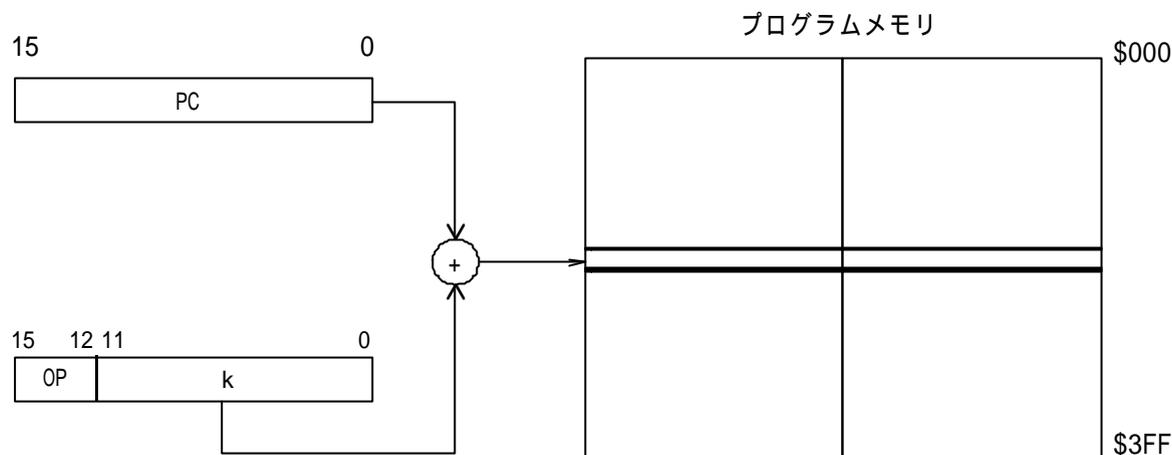


プログラムは Z レジスタに含まれているアドレスで続いて実行されます。(すなわち、PC(プログラムカウンタ)は Z レジスタの中身を持ってロードされます。)

AT90S2313

相対プログラムアドレッシング、RJMP とICALL

図 19 相対プログラムメモリアドレッシング



プログラムは $PC+k+1$ のアドレスで実行されます。相対アドレス k は $-2048 \sim 2047$ までになります。

メモリアクセス・命令実行時間

この節では、命令の実行と内部のメモリアクセスについて、一般的なアクセスの概念を説明します。

AVR CPU はシステムクロック 0 で駆動され、チップ用の外付け水晶から直接的に生成されます。内部クロックによる分周は行われていません。

図 20 並列命令フェッチ・命令の実行

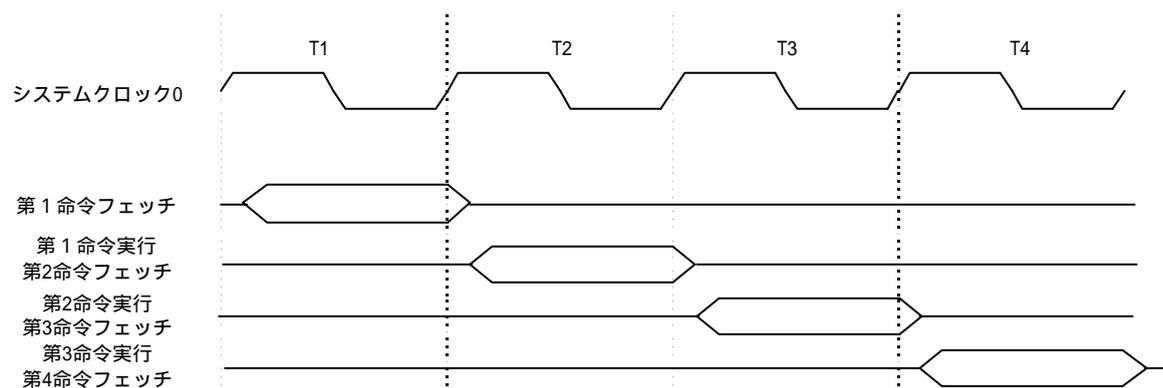
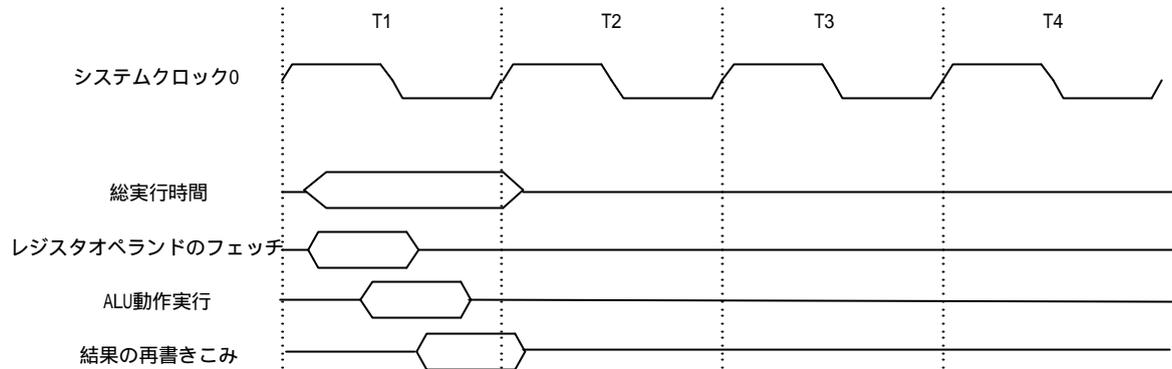


図 20 はハーバードアーキテクチャと高速アクセスのレジスタファイルの概念によって可能になった並列的に命令フェッチと命令の実行をする様子をあらわしています。これが 1MHz あたり 1MIPS まで得ることのできる基本的なパイプラインの概念です。それに対応した時間コスト、クロック、電力単位あたりの動作結果を持ちます。

AT90S2313

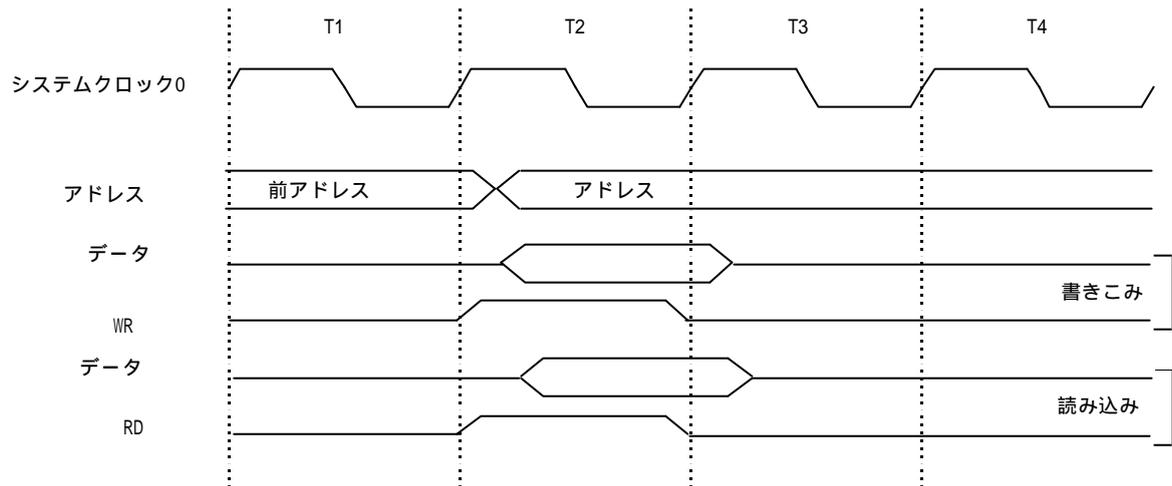
図 21 単サイクルでの ALU 動作

図 21 は、レジスタファイルの内部でのタイミングの概念を表しています。単クロックサイ



クルで、2つのレジスタオペランドを使った ALU 演算が実行され、結果は行き先レジスタへ蓄えられます。

図 22 内部データ SRAM アクセスサイクル



内部データ SRAM は図 22 に定義されているような 2つのシステムクロックサイクルで実行されます。

AT90S2313

I/O メモリ

AT90S2313 の I/O 空間の定義は次の表に示されています。

表 1 AT90S2313 の I/O 空間

16進アド	名称	機能
\$3F(\$5F)	SREG	ステータスレジスタ
\$3D(\$5D)	SPL	スタックポインタ
\$3B(\$5B)	GIMASK	一般割りこみマスクレジスタ
\$3A(\$5A)	GIFR	一般割りこみフラッグレジスタ
\$39(\$59)	TIMSK	タイマ/カウンタ割りこみマスクレジスタ
\$38(\$58)	TIFR	タイマ/カウンタ割りこみフラッグレジスタ
\$35(\$55)	MCUCR	MCUコントロールレジスタ
\$33(\$53)	TCCR0	タイマ/カウンタ0コントロールレジスタ
\$32(\$52)	TCNT0	タイマ/カウンタ0(8ビット)
\$2F(\$4F)	TCCR1A	タイマ/カウンタ1コントロールレジスタA
\$2E(\$4E)	TCCR1B	タイマ/カウンタ1コントロールレジスタB
\$2D(\$4D)	TCNT1H	タイマ/カウンタ1上位バイト
\$2C(\$4C)	TCNT1L	タイマ/カウンタ1下位バイト
\$2B(\$4B)	OCR1AH	出力コンペアレジスタ1上位バイト
\$2A(\$4A)	OCR1AL	出力コンペアレジスタ1下位バイト
\$25(\$45)	ICR1H	タイマ/カウンタ1入力キャプチャレジスタ上位バイト
\$24(\$44)	ICR1L	タイマ/カウンタ1入力キャプチャレジスタ下位バイト
\$21(\$41)	WDTCR	ウォッチドッグタイマコントロールレジスタ
\$1E(\$3E)	EEAR	EEPROMアドレスレジスタ
\$1D(\$3D)	EEDR	EEPROMデータレジスタ
\$1C(\$3C)	EECR	EEPROMコントロールレジスタ
\$18(\$38)	PORTB	PORTBデータレジスタ
\$17(\$37)	DDRB	PORTBデータ方向レジスタ
\$16(\$36)	PINB	PORTB入力ピン
\$12(\$32)	PORTD	PORTDデータレジスタ
\$11(\$31)	DDRD	PORTDデータ方向レジスタ
\$10(\$30)	PIND	PORTD入力ピン
\$0C(\$2C)	UDR	UART I/Oレジスタ
\$0B(\$2B)	USR	UARTステータスレジスタ
\$0A(\$2A)	UCR	UART コントロールレジスタ
\$09(\$29)	UBRR	UARTボーレートレジスタ
\$08(\$28)	ACSR	アナログコンパレータコントロールステータスレジスタ

注意：予約・不使用の位置については表には示していません。

AT90S2313 の I/O と周辺は I/O 空間に置かれています。I/O は 32 の汎用レジスタと I/O 空間の間を転送する IN と OUT 命令で、アクセスします。アドレス範囲\$00～\$1F 内の I/O レジスタは SBI,CBI 命令を使うことにより直接ビットアクセスをすることができます。これらのレジスタにおいて、単一ビットの値は SBIS,SBIC 命令を使ってチェックすることができます。詳しくは、命令一覧の章を見てください。I/O 指定コマンド IN/OUT を使うとき I/O アドレスは\$00～\$3F までで使わなければなりません。I/O レジスタを SRAM としてアドレスリングする場合 I/O アドレスに\$20 を付け加えておいてください。全 I/O レジスタはこの文書全体をとおして、SRAM アドレスをカッコの中に入れて表示しています。

これからの、デバイスとの互換性のために、予約ビットはアクセスされた場合、0 で書きこ

AT90S2313

まれていなければなりません。予約 I/O メモリのアドレスには書きこまないでください。ステータスレジスタの中には、1 を書きこんでクリアできるものもあります。CBI と SBI 命令は I/O ビットの全ビットで動作し、セットで読まれているどのフラッグに対しても 1 を再書きこみすると、フラッグがクリアされることに注意してください。CBI と SBI 命令は \$00 から \$1F のレジスタのみで動作します。

I/O レジスタと周辺コントロールレジスタは次の節で説明されています。

ステータスレジスタ SREG

AVR ステータスレジスタ SREG は I/O 位置 \$3F(\$5F) にあり、次のように定義されます。

ビット	7	6	5	4	3	2	1	0	
\$3F(\$5F)	I	T	H	S	V	N	Z	C	SREG
読み込み・書きこみ	読/書 (Read) / (Write)								
初期値	0	0	0	0	0	0	0	0	

ビット 7 I: グローバル割りこみ有効

グローバル割りこみビットを、割りこみを有効にさせるためには 1 に設定されなければなりません。このあと、個々の割りこみ有効コントロールは、別のコントロールレジスタで実行されます。グローバル割りこみ有効レジスタが 0 にクリアされると、割りこみは個々の割りこみイネーブルの設定と無関係になり、割りこみが実行されることはありません。I ビット割りこみがハードウェアによってクリアされると、後に続く割りこみを有効にする RETI 命令によって I ビットが設定されます。

ビット 6 T: ビットコピーメモリ

ビットコピー命令 BLD(Bit LoaD ロード)と BST(Bit STore 保存)により、(レジスタ中の) ビットは T ビットがソースとして、T ビットへの保存先として演算されます。レジスタファイル中のビットは BST 命令によって T へコピーされ、T 中のビットは BLD 命令によりレジスタファイル中の(指定した)1 ビットへコピーされます。

ビット 5 H: ハーフキャリーフラッグ

ハーフキャリーフラッグ H は、ある算術演算のハーフキャリーを示しています。詳細については、命令一覧を参照してください。

ビット 4 S: サインビット

S ビットは負フラッグと 2 の補数オーバーフローフラッグの排他的 OR をとっています。詳しい情報については命令一覧を参照してください。

ビット 3 V: 2 の補数オーバーフローフラッグ

2 の補数オーバーフローフラッグ V は、2 の補数算術演算ができます。詳細は命令一覧を見てください。

AT90S2313

ビット 2 N:負フラッグ

負フラッグ N 算術・論理演算で負の結果が出たことを示します。詳しい情報については、命令一覧の説明を見てください。

ビット 1 Z:ゼロフラッグ

ゼロフラッグ Z は算術・論理演算でゼロの結果が出たことを示しています。詳しい情報については、命令一覧の説明を見てください。

ビット 0 C:キャリーフラッグ

キャリーフラッグは算術・論理演算でキャリー（桁上げ・桁下げ 訳者注）の結果が出たことを示しています。詳しい情報については、命令一覧の説明を見てください。

注意 ステータスレジスタは、割りこみルーチンに入ったときに自動的に蓄えられたり、返ってきたときに自動的に戻されることはありません。この処理は、ソフト上で行ってください。

スタックポインタ SP

I/O アドレス\$3D(\$5D)の8ビットレジスタは、AT90S2313のスタックポインタとなります。8ビットは128バイトのSRAM位置\$60～\$DFをアドレスするのに使われます。

ビット	7	6	5	4	3	2	1	0	
\$3D(\$5D)	SP7	SP6	SP5	SP4	SP3	SP2	SP1	SP0	SPL
	読/書								
読み込み・	(Read) /								
書きこみ	(Write)								
初期値	0	0	0	0	0	0	0	0	

スタックポインタは、サブルーチンや割りこみスタックがおかれて、SRAM データのスタックポインタを指しています。データ SRAM 中のスタック空間は、サブルーチン呼び出しが実行されたり、割りこみが有効になる前にプログラムによって定義されていなければなりません。スタックポインタ\$60より上側に設定しておかなければなりません。スタックポインタは PUSH 命令によってスタックはデータが PUSH されたときに、1 減算されます。サブルーチンや割りこみがある場合 2 減算されます。POP 命令によりデータが POP されスタックポインタが 1 加算され、アドレスがサブルーチン RET から戻って来たり、割りこみ RETI で戻ってくる時 2 加算されます。

リセットと割りこみの扱い

AT90S2313 は 10 個の割りこみソースがあります。これらの割りこみとリセットベクトルは、プログラムメモリ空間中に別のプログラムベクトルを持っています。どの割りこみも個々にイネーブルビットを持っており、割りこみを有効にするためにステータスレジスタ中の I ビットと一緒に設定(=1)します。

プログラムメモリ空間の最低アドレスはリセットと割りこみベクトルとして自動的に定義されます。全ベクトルの表は、表 2 に示してあります。リストでは割りこみの優先レベルが決まっています。低いアドレスほど優先順位が高くなります。RESET は最も優先順位が高く、次に外部割りこみ要求 0 : INTO などと続きます。

AT90S2313

表 2 リセット・割りこみベクトル

ベクトル 番号	プログラム アドレス	ソース	割りこみの定義
1	\$000	RESET	ハードウェアのピン、パワーオンリセット、ウォッチドッグリセット
2	\$001	INT0	外部割りこみ要求0
3	\$002	INT1	外部割りこみ要求1
4	\$003	TIMER1 CAPT1	タイマカウンタ1キャプチャイベント
5	\$004	TIMER1 COMP1	タイマカウンタ1コンペアマッチ
6	\$005	TIMER1 OVF1	タイマカウンタ1オーバーフロー
7	\$006	TIMER0 OVF0	タイマカウンタ0オーバーフロー
8	\$007	UART RX	UART RX(送信)コンプリート
9	\$008	UART UDRE	UART データレジスタ空き
10	\$009	UART TX	UART TX(送信)コンプリート
11	\$00A	ANA_COMP	アナログコンパレータ

最も典型的なリセットと割りこみのアドレスは

アドレス ラベル コード コメント

```

$000      rjmp reset           ;リセットを扱う
$001      rjmp EXT_INT0       ;外部割りこみ要求 0 を扱う
$002      rjmp EXT_INT1       ;外部割りこみ要求 1 を扱う
$003      rjmp TIM_CAPT1      ;タイマ 1 キャプチャを扱う
$004      rjmp TIM_COMP1      ;タイマ 1 コンペアを扱う
$005      rjmp TIM_OVF1       ;タイマ 1 オーバーフローを扱う
$006      rjmp TIM_OVF0       ;タイマ 0 オーバーフローを扱う
$007      rjmp UART_RXC       ;UART 送信を扱う
$008      rjmp UART_DRE       ;UART 空きを扱う
$009      rjmp UART_TXC       ;UART 受信を扱う
$00a      rjmp ANA_COMP        ;アナログコンパレータを扱う
$00b      MAIN: ldi r16,low(RAMEND) ;メインプログラムのはじめ
$00c      out SPL,r16
$00d      <命令> ~
    
```

リセットソース

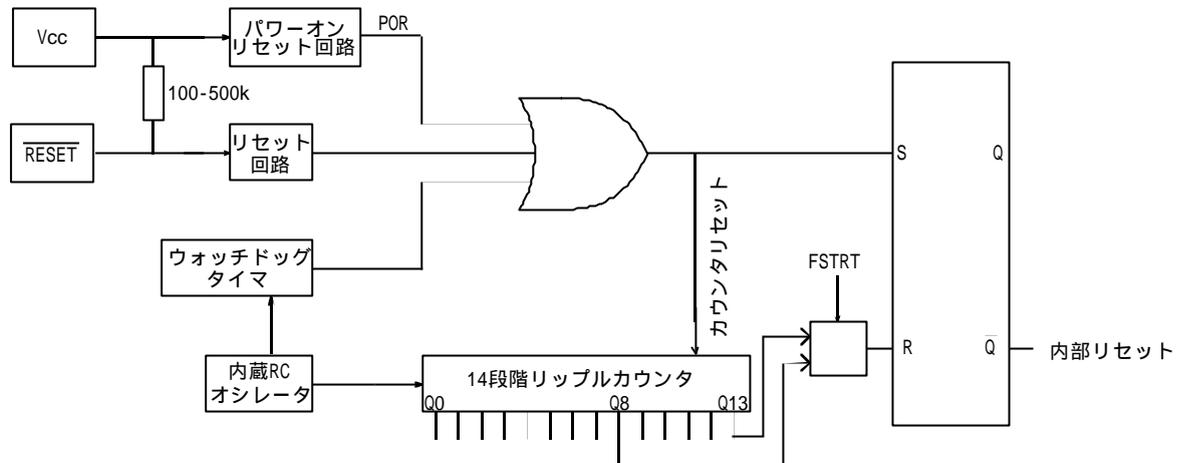
AT90S2313 は 3 つのリセット源を持ちます。

- ・パワーON リセット MCU は供給電源がパワーオンリセットスレッシユホールド V_{pot} を下回るときに、リセットされます。
- ・外部リセット RESET ピンに 50ns 以上 L レベルがあると MCU がリセットされます。
- ・ウォッチドッグリセット ウォッチドッグリセット期間が終了し、ウォッチドッグが有効になったときに MCU がリセットされます。

リセット期間中、すべての I/O レジスタが初期値に設定され、プログラムはアドレス\$000 から実行を開始します。アドレス\$000 に設定された命令は、扱っているルーチンをリセットするために RJMP 命令：相対ジャンプでなければなりません。プログラムが割り込み源をイネーブルしない場合、割りこみベクトルは使われることはないのです。そこに普通のプログラムコードを置くことができます。図 23 の回路図はリセットのロジックを表しています。表 3 でリセット回路の時間と電氣的なパラメータを定義しています。

AT90S2313

図 23 リセットの論理



オシレータの立ち上がり標準値から立ち上がり時間を選択できます。それぞれのタイムアウト時間は WDT オシレータサイクルの数は表 4 に示されています。ウォッチドッグタイマーの周波数は 82 ページの「標準特性」に示されているように電圧依存性があります。

表 3 リセットの特徴 (Vcc=5.0)

記号	パラメータ	最小値	標準値	最大値	単位
V _{POT}	パワーオンリセットスレッシュホールド電圧 (立ち上がり)	1.0	1.4	1.8	V
	パワーオンリセットスレッシュホールド電圧 (立ち下がり)	0.4	0.6	0.8	V
V _{RST}	RESETピンスレッシュホールド電圧			0.85*Vcc	V
t _{TOUT}	リセット遅延時間切れ期間FSTRT未プログラム状態	11	16	21	ms
t _{TOUT}	リセット遅延時間切れ期間FSTRTプログラム状態	1.0	1.1	1.2	ms

注 1: パワーオンリセットは供給電圧が Vpot (立ち下がり) で以下にならないばあい起こりません。

表 4 ウォッチドッグオシレータのサイクル数

FSTRT	Vcc=5Vでの時間切れ時間	WDTサイクルの数
プログラム状態	1.1ms	1K
未プログラム状態	16.0ms	16K

パワーオンリセット

Vcc が Vpot に達するとデバイスは時間 Ttout をおいて開始します。(図 25) クロック信号が外部クロックソースによって作られると、Vcc は、加えられている周波数で決まる最小電圧に達するまでクロックは加えないでください。

AT90S2323 に対して、通常のオシレータの立ち上がり時間に合わせて、立ち上がり時間を選択できます。WDT のオシレータサイクル数は表 4 で示されており、タイムアウト時間に使われています。AT90S2313 に対して立ち上がり時間はウォッチドッグサイクルのみです。ウォッチドッグオシレータの周波数は 82 ページに示されている「標準的な特性」に

AT90S2313

示されているように電圧依存性があります。

表 4 ウォッチドッグオシレータサイクルの数

F S T R T	5 V での タイムアウト	W D T サイクルの数
プログラム状態	1.1 ms	1 k
未プログラム状態	16.0 ms	16 k

図 24 MCU スタートアップ、Vcc に結びついた RESET

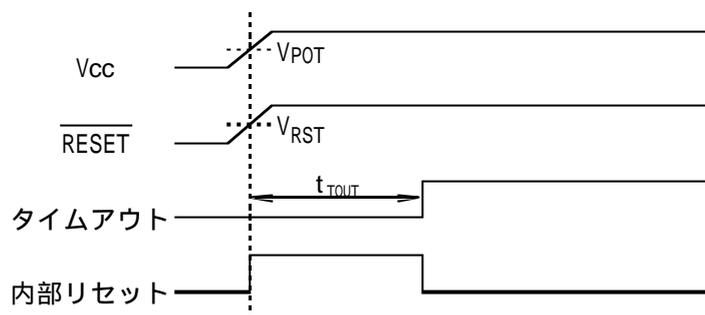
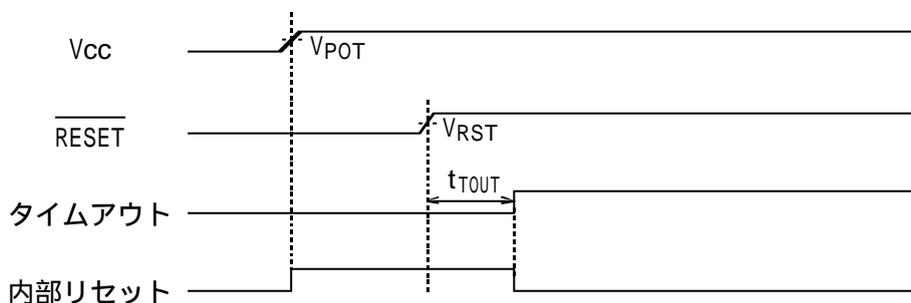


図 25 MCU の立ち上がり、外部からリセットをコントロールする

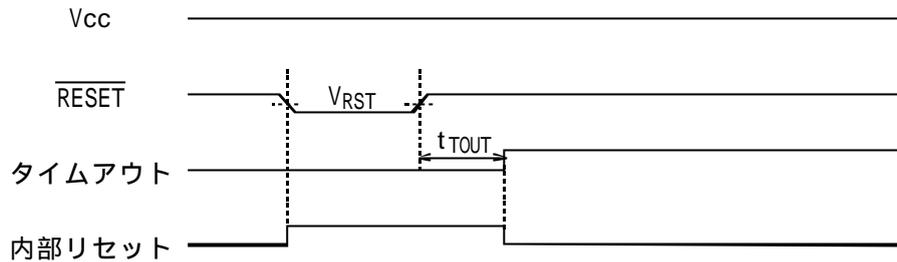


外部リセット

外部リセットは RESET ピン上の L レベルによって生成されます。50ns より長いリセットパルスがかかっていると、たとえクロックが動いていない場合でも、リセットが生成されます。これより短いパルスではリセットが生成される保証はありません。加えられた信号が正エッジでスレッシュホールド電圧 Vrst になるとき、タイムアウト時間 Ttout が終わった後、遅延タイマにより MCU を始動します。

AT90S2313

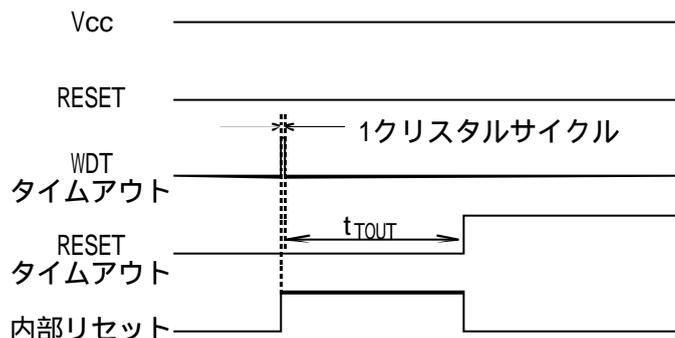
図 26 動作中の外部リセット



ウォッチドッグリセット

ウォッチドッグタイマが時間切れになると、1 XTAL のサイクルの継続時間の短いリセットパルスを生成します。このパルスの立ち下がりが起こると、遅延タイマが時間切れ時間 t_{TOUT} のカウントを開始します。ウォッチドッグの動作の詳細については 41 ページを参照してください。

図 27 動作中のウォッチドッグリセット



割りこみの扱い

AT90S2313 は 2 つの 8 ビット割りこみマスクコントロールレジスタ GIMSK (汎用割りこみマスクレジスタ) と TIMSK (タイマ/カウンタ割りこみマスクレジスタ) を持っています。割りこみが起こるとき、グローバル割り込み有効 I ビットがクリア (=0) され、すべての割りこみが無効になります。ソフトウェア上で I ビットを 1 に設定して割り込みを有効にします。割りこみからの帰還命令 RETI が実行されると、I ビットが 1 に設定されます。スタティックな (例えば、出力コンペアレジスタ 1 がタイマ/カウンタ 1 の値と一致しているとき) 状態で割りこみがトリガされるイベントに対して、イベントが起きるとき割りこみフラグが設定されます。割りこみフラグがクリアされ、割りこみ状態が続いている場合、次のイベントが起こるまでフラグは設定されません。割りこみルーチンを実行するためにプログラムカウンタが実際の割りこみベクトルのところに来ると、生成した割りこみに対応するフラグをハードウェアの上で消去します。割りこみフラグのいくつかは、クリアするビットの位置に論理 1 を書きこむことによ

AT90S2313

て、消去することができます。対応する割りこみ有効ビットが 0 になって割りこみ状態が起こっている場合、割りこみフラッグは設定され、割りこみが有効になるか、ソフト上でフラッグが消去されるまで記憶されます。

グローバル割りこみ有効ビットがクリアになったとき一つまたは 1 つ以上の割りこみ状態が起こっている場合、対応する割りこみフラッグが設定され、グローバル割り込みビットが有効になった後優先順位に従って実行されるまで、記憶されています。外部レベル割り込みではフラッグを持っていないことに注意してください。このため、割りこみ状態がアクティブなときだけ、記憶されています。

ステータスレジスタは、割りこみルーチンに入るときに自動的に記憶され、割りこみルーチンから帰ってきたときに、再記憶されることはありませんので注意してください。これはソフト上で処理を行ってください。

一般割りこみマスクレジスタ GIMSK

ビット	7	6	5	4	3	2	1	0	
\$3B(\$5B)	INT1	INT0	-	-	-	-	-	-	GIMSK
読み込み・書きこみ	読/書 (Read) / (Write)	読/書 (Read) / (Write)	読 (Read)	読 (Read)	読 (Read)	読 (Read)	読 (Read)	読 (Read)	
初期値	0	0	0	0	0	0	0	0	

ビット 7 INT0 : 外部割りこみ要求 1 有効ビット

INT1 が 1 に設定されていて、ステータスレジスタ(SREG)中の I ビットが 1 に設定されている場合、外部ピン割りこみが有効になります。MCU コントロールレジスタ MCUCR 中の割り込み感度コントロール 1 ビットは 1/0(ISC11 と ISC10)は外部割りこみが、INT1 ピン上で立ち上がり、立ち下がり、レベル変化でアクティブになるかどうかを定義しています。INT1 ピンが出力として構成されている場合でも、ピン上にくわわる変化で割りこみが生じます。外部割りこみ要求 1 に対応する割りこみはプログラムメモリの\$002 アドレスから実行されます。28 ページの「外部割りこみ」も参照してください。

ビット 6 INT0 : 外部割りこみ要求 0 有効ビット

INT0 が 1 に設定されていて、ステータスレジスタ(SREG)中の I ビットが 1 に設定されている場合、外部ピン割りこみが有効になります。MCU コントロールレジスタ MCUCR 中の割り込み感度コントロール 0 ビットは 1/0(ISC01 と ISC00)は外部割りこみが、INT0 ピン上で立ち上がり、立ち下がり、レベル変化でアクティブになるかどうかを定義しています。出力として INT0 ピンが構成されている場合でも、ピン上にくわわる変化で割りこみが生じます。外部割りこみ要求 0 に対応する割りこみはプログラムメモリの\$001 アドレスから実行されます。「外部割りこみ」も参照してください。

ビット 5 ~ 0 Res : 予約ビットこれらのビットは AT90S2313 の予約ビットで、常に 0 として読み込まれます。

AT90S2313

一般割りこみフラッグレジスタ GIFR

ビット	7	6	5	4	3	2	1	0	
\$3A(\$5A)	INTF1	INTF0	-	-	-	-	-	-	GIFR
読み込み・ 書きこみ	読/書 (Read) / (Write)	読/書 (Read) / (Write)	読 (Read)	読 (Read)	読 (Read)	読 (Read)	読 (Read)	読 (Read)	
初期値	0	0	0	0	0	0	0	0	

ビット 7 INTF1 : 外部割りこみフラッグ 1

INT1 ピン上の変化で割りこみ要求がトリガされ、INTF1 が 1 に設定されます。SREG 中の I ビットと GIMSK 中の INT1 ビットが 1 に設定されている場合、MCU はアドレス \$002 の割りこみベクトルへジャンプします。割りこみルーチンが実行されるとフラッグがクリアされます。その代わりに論理 1 を書きこむことによって消去することもあります。

ビット 6 INTF0 : 外部割りこみフラッグ 0

INT0 ピン上の変化で割りこみ要求がトリガされ、INTF0 が 1 に設定されます。SREG 中の I ビットと GIMSK 中の INT0 ビットが 1 に設定されている場合、MCU はアドレス \$001 の割りこみベクトルへジャンプします。割りこみルーチンが実行されるとフラッグがクリアされます。その代わりに論理 1 を書きこむことによって消去することもあります。

ビット 5 ~ 0 Res : 予約ビット

これらのビットは AT90S2313 の予約ビットで、常に 0 として読み込まれます。

外部レベル割り込みはフラッグを持っておらず、割りこみ状態がアクティブである限りでのみ記憶されることに注意して下さい。

タイマ/カウンタ割りこみマスクレジスタ TIMSK

ビット	7	6	5	4	3	2	1	0	
\$39(\$59)	TOIE1	OCIE1A	-	-	TICIE1	-	TOIE0	-	TIMSK
読み込み・ 書きこみ	読/書 (Read)	読/書 (Read)	読 (Read)	読 (Read)	読/書 (Read)	読 (Read)	読/書 (Read) / (Write)	読 (Read)	
初期値	0	0	0	0	0	0	0	0	

ビット 7 TOIE1 : タイマカウンタ 1 オーバーフロー割りこみ有効

TOIE1 ビットとステータスレジスタ中の I ビットが 1 に設定されている場合、タイマ/カウンタ 1 オーバーフロー割りこみが有効になります。タイマカウンタ 1 でオーバーフローが起こったとき、すなわちタイマカウンタ 1 割りこみフラッグレジスタ TIFR 中の TOV1 ビットが設定されるとき、対応する割りこみベクトル (アドレス \$ 005) が実行されます。

ビット 6 OCIE1A : タイマカウンタ 1 出力コンペアマッチ割りこみ有効

OCIE1A ビットとステータスレジスタ中の I ビットが (1 に) 設定されている時、タイマカ

AT90S2313

ウンタ 1 コンペアマッチ割り込みが有効になります。タイマカウンタ 1 でコンペアマッチが起こったとき、すなわち OCF1A ビットがタイマカウンタ 1 割りこみフラッグレジスタ TIFR 中で設定されたとき、対応する割りこみ（\$004 のベクトル）が実行されます。

ビット 5,4 Res : 予約ビット

これらのビットは AT90S2313 の予約ビットで、常に 0 として読み込まれます。

ビット 3 TICIE1 : タイマカウンタ 1 入力キャプチャ割りこみ有効

TICIE1 ビットが 1 に設定されていて、ステータスレジスタ中の I ビットが 1 に設定されている場合、タイマカウンタ 1 入力キャプチャイベント割り込みが有効になります。キャプチャトリガが起こるイベントが PD6(ICP)上に起こる場合、すなわち、タイマカウンタ割りこみフラッグレジスタ TIFR 中で ICF1 が設定されるととき対応する割りこみ（\$003 のベクトル）が実行されます。

ビット 2 Res : 予約ビット

これらのビットは AT90S2313 の予約ビットで、常に 0 として読み込まれます。

ビット 1 TOIE0 : タイマ/カウンタ 0 オーバーフロー割りこみ有効

TOIE0 ビットが 1 に設定されていて、ステータスレジスタ中の I ビットが 1 に設定されている場合、タイマ/カウンタ 0 オーバーフロー割りこみが有効になります。タイマ 0 カウンタの中でオーバーフローが起こったとき対応する割りこみ(アドレス\$006)が実行されます。このとき、タイマ/カウンタ割りこみフラッグレジスタ TIFR 中の TOV0 ビットが 1 に設定されます。

ビット 0 Res : 予約ビットこのビットは AT90S2313 の予約ビットで、常に 0 として読み込まれます。

タイマ/カウンタ割りこみフラッグレジスタ TIFR

ビット	7	6	5	4	3	2	1	0	
\$38(\$58)	TOV1	OCF1A	-	-	ICF1	-	TOV0	-	TIFR
読み込み	読/書	読/書	読	読	読/書	読	読/書	読	
書きこみ	(Read) / (Write)	(Read) / (Write)	(Read)	(Read)	(Read) / (Write)	(Read)	(Read) / (Write)	(Read)	
初期値	0	0	0	0	0	0	0	0	

ビット 7 TOV1 : タイマカウンタ 1 オーバーフローフラッグ

タイマカウンタ 1 中でオーバーフローが起こるとき、TOV1 が 1 に設定されます。TOV1 は、対応する割りこみベクトルが実行されるときに、ハードウェアによってクリアされます。代わりに、TOV1 は論理 1 をフラッグへ書きこむことにより、クリアされます。SREG の I ビット、TOIE1(タイマ/カウンタ 1 オーバーフロー割りこみイネーブル)と TOV1 が 1 に設定されているとき、タイマ/カウンタ 1 オーバーフロー割り込みが実行されます。PWM モードに付いてはタイマカウンタ 1 がカウントを\$0000 にカウントする方向を変えるときに、このビットが 1 に設定されます。

AT90S2313

ビット 6 OCF1A : 出力コンペアフラッグ 1A

タイマカウンタ 1 と OCR1A 中のデータの間でコンペアマッチが起こるとき、OCR1A 出力コンペアレジスタ 1A が設定されます。OCF1A は対応する割りこみベクトルが実行される時にハードウェアによってクリアされます。代わりに、OCF1A は論理 1 を書きこむことによって消去されます。SREG 中の I ビット、OCIE1A ビット (タイマカウンタ 1 コンペアマッチ割りこみ有効) と OCF1A が 1 に設定されるとき、タイマ/カウンタ 1 コンペアマッチ割りこみが実行されます。

ビット 5,4 Res : 予約ビットこのビットは AT90S2313 の予約ビットで、常に 0 として読み込まれます。

ビット 3 ICF1 : 入力キャプチャフラッグ 1

ICF1 ビットは入力キャプチャイベントのフラッグに 1 が設定され、タイマカウンタ 1 の値が入力キャプチャレジスタ ICR1 へ転送されたことを表します。ICR1 は対応する割りこみベクトルを実行する時にハードウェアによって消去されます。代わりに ICF1 は論理 1 をフラッグに書きこむことによりクリアすることができます。SREG 中の I ビット、TICIE1 (タイマカウンタ 1 入力キャプチャイベントイネーブル)、ICF1 が 1 に設定されている時タイマカウンタ 1 キャプチャ割りこみが実行されます。

ビット 2 Res : 予約ビットこれらのビットは AT90S2313 の予約ビットで、常に 0 として読み込まれます。

ビット 1 TOV0 : タイマ/カウンタオーバーフローフラッグ

タイマ/カウンタ 0 でオーバーフローが起こるとき、TOV0 が 1 に設定されます。TOV0 は、対応する割りこみベクトルが実行される時に、ハードウェアによってクリアされます。代わりに、TOV0 は論理 1 をフラッグへ書きこむことにより、クリアされます。SREG の I ビット、TOIE (タイマ/カウンタオーバーフロー割りこみイネーブル) と TOV0 が 1 に設定されているとき、タイマ/カウンタ 0 オーバーフロー割り込みが実行されます。

ビット 0 Res : 予約ビットこのビットは AT90S2313 の予約ビットで、常に 0 として読み込まれます。

外部割りこみ

外部割りこみは INT1 と INT0 ピンによってトリガされます。有効になっている場合、INT0/INT1 ピンが出力になっている場合でも、割りこみがおこります。これにより、ソフトウェア上で割りこみを生成することができます。外部割りこみは、立ち上がり・立ち下がりまたは L レベルによってトリガすることができます。これは、MCU コントロールレジスタ MCUCR の仕様で示されているようにして設定することができます。外部割りこみがトリガされていて、レベルトリガになっている場合、ピンが L レベルになっている限り割り込みがトリガされます。

MCU コントロールレジスタ MCUCR で指定されたとおりに設定されます。

AT90S2313

割りこみ応答時間

有効になった AVR の割りこみに対する割りこみ実行応答時間は、最小で 4 クロックサイクルです。割りこみフラッグが設定されてから、4 クロックサイクルで、実際に動いている割りこみルーチンのプログラムベクトルのアドレスが実行されます。これらの 4 サイクルのうち、プログラムカウンタ (2 バイト) はスタックから POP され、スタックポインタは 2 加算され SREG の I フラッグが設定されます。ベクトルは割りこみルーチンへの相対ジャンプで、ジャンプは 2 クロックかかります。マルチサイクル命令が実行されている間に割りこみが起こった場合、この命令は割りこみが働くまでに完了します。

割りこみルーチンから帰ってくる (サブルーチンの呼び出しも同様) には 4 サイクルかかります。これらの 4 サイクルの間、プログラムカウンタ (2 バイト) が POP でスタックから戻され、スタックポインタは 2 加算されます。AVR が割りこみから抜け出すとき、常にメインプログラムへもどり、未実行の割りこみが実行される前にもう 1 つ命令を実行します。

MCU コントロールレジスタ MCUCR

MCU コントロールレジスタは、一般の MCU 機能に対するコントロールのためのビットを含んでいます。

ビット	7	6	5	4	3	2	1	0	
\$35(\$55)	-	-	SE	SM	ISC11	ISC10	ISC01	ISC00	MCUCR
読み込み・書きこみ	読	読	読/書	読/書	読/書	読/書	読/書	読/書	
	(Read)	(Read)	(Read) / (Write)						
初期値	0	0	0	0	0	0	0	0	

ビット 7,6 Res : 予約ビットこれらのビットは AT90S2313 の予約ビットで、常に 0 として読み込まれます。

ビット 5 SE : スリープ有効

スリープ命令が実行されるときに MCU をスリープモードに入らせるために、SE ビットは 1 に設定されていなければなりません。プログラム上の意図でない限りは、MCU がスリープモードに入ってしまうようにするために、SLEEP 命令の実行する直前にスリープモードを設定することをお勧めします。

ビット 4 SM : スリープモード

このビットで 2 つのスリープモードを選択します。SM が 0 になっていると、スリープモードとしてアイドルモードが選択されます。SM が 1 に設定されると、スリープモードとしてパワーダウンモードが選択されます。詳しくは 30 ページの「スリープモード」を参照してください。

ビット 3,2 ISC11,ISC10 : 割りこみ感度コントロール1 **ビット 1、ビット 0**

外部割りこみ 1 は、SREG の I フラッグと対応する割りこみマスクが設定されている場合、

AT90S2313

外部ピン INT1 によって、アクティブになります。割りこみがアクティブになる外部 INT1 ピンのレベル、エッジは表 5 で定義されています。

表 5 割りこみ 1 感度コントロール

ISC11	ISC10	説明
0	0	INT1上でLレベルになると割りこみ要求が起こります。
0	1	予約
1	0	INT1上で立ち下がりエッジがあると割りこみ要求が起こります。
1	1	INT1上で立ち上がりエッジがあると割りこみ要求が起こります。

注意：ISC11/ISC10 ビットを変えるときに、INT1 ビットは GIMSK レジスタ中の割りこみイネーブルビットを消去することによって無効にしておかなければなりません。そうでない場合、ビットが変わったときに割り込みが起こることがあります。

ビット 1,0 ISC01,ISC00：割りこみ感度コントロール 0 ビット 1、ビット 0

外部割りこみ 0 は、SREG の I フラグと対応する割りこみマスクが設定されている場合、外部ピン INT0 によって、アクティブになります。割りこみがアクティブになる外部 INT0 ピンのレベル、エッジは表 6 で定義されています。

表 6 割りこみ 0 感度コントロール

ISC01	ISC00	説明
0	0	INT0上でLレベルになると割りこみ要求が起こります。
0	1	予約
1	0	INT0上で立ち下がりエッジがあると割りこみ要求が起こります。
1	1	INT0上で立ち上がりエッジがあると割りこみ要求が起こります。

注意：ISC01/ISC00 ビットを変えるときに、INT0 ビットは GIMSK レジスタ中の割りこみイネーブルビットを消去することによって無効にしておかなければなりません。そうでない場合、ビットが変わったときに割り込みが起こることがあります。

INTn ピンの値がエッジを検知する前にサンプリングされます。エッジまたはトグル割り込みが選択されていると、1 クロック周期より長いパルスにより割りこみが生成されます。L レベル割りこみが選択されている場合、割りこみを生成するために今実行している命令が完結するまで L レベルが保たれていなければなりません。L レベル割りこみが選択されている場合、現在実行中の割りこみの終わりまで L レベルは保たれていなければなりません。有効になった場合レベルトリガ割りこみはピンが L レベルに保たれている限り割りこみ要求が生成されます。

スリープモード

スリープモードに入るためには、MCUCR 中の SE ビットを 1 に設定し、SLEEP 命令が実行されなければなりません。スリープモードの MCU が入っている間に、有効になった割りこみが起こった場合、MCU が目を覚まし、割りこみルーチンを実行し、SLEEP から続く命令から実行を再開します。レジスタファイル、SRAM、I/O メモリの内容が変わることは

AT90S2313

ありません。スリープモード時にリセットが起こった場合は、MCU は目覚めて、リセットベクトルから実行していきます。

アイドルモード

SM ビットが 0 にクリアされると、SLEEP 命令で MCU は強制的にアイドルモードに入って、CPU は止まりますが、タイマ/カウンタ、ウォッチドッグタイマ、割りこみシステムは動きつづけています。これにより、MCU は、タイマオーバーフローやウォッチドッグリセットなどのような内部割り込みだけではなく、外部トリガによる割りこみで目覚めます。アナログコンパレータ割りこみからの起動が必要ではない場合、アナログコンパレータは、アナログコンパレータコントロール・ステータスレジスタ ACSR 中の ACD ビットを設定することにより消費電力を減らすことができます。MCU がアイドルモードから起動するとき、CPU は直ちにプログラムの実行を開始します。

パワーダウンモード

SM ビットが 1 に設定されていると、SLEEP 命令で MCU が強制的にパワーダウンモードに入ります。このモードでは、外部割りこみや（有効になっている場合）ウォッチドッグが動作しつづけている一方で、外部オシレーターは停止します。外部リセット、ウォッチドッグリセット、INT0/INT1 ピン上の外部レベル割りこみだけが、MCU を目覚めさせることができます。

L レベルトリガ割りこみがパワーダウンモードからの起動に使われている場合、レベルは MCU を起動するのにリセット遅延タイムアウト時間 t_{TOUT} より長く、保持されていなければなりません。そうでなければ、デバイスは起動されません。

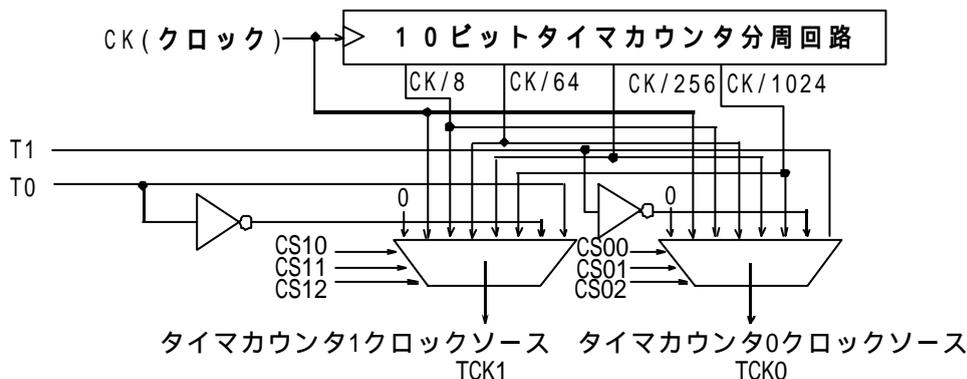
タイマ/カウンタ 0

AT90S2313 には、2つの汎用 8 ビットタイマ/カウンタ 1つと 16 ビットタイマカウンタ 1つがあります。タイマ/カウンタは同じ 10 ビット分周タイマから個々に分周の選択ができます。タイマ/カウンタは内部クロックベースのタイマとしても、カウンタをトリガしていく外部ピンを接続したタイマとしても使うことができます。

タイマ/カウンタ分周器

図 28 はタイマカウンタの分周器を示しています。

図 28 タイマカウンタ分周器



AT90S2313

4つの分周選択は：1/8 CK、1/64 CK、1/256 CK、1/1024 CK で、CK は振動子のクロックになります。CK、外部ソース、STOP がクロック源として選択できます。

8ビットタイマ/カウンタ0

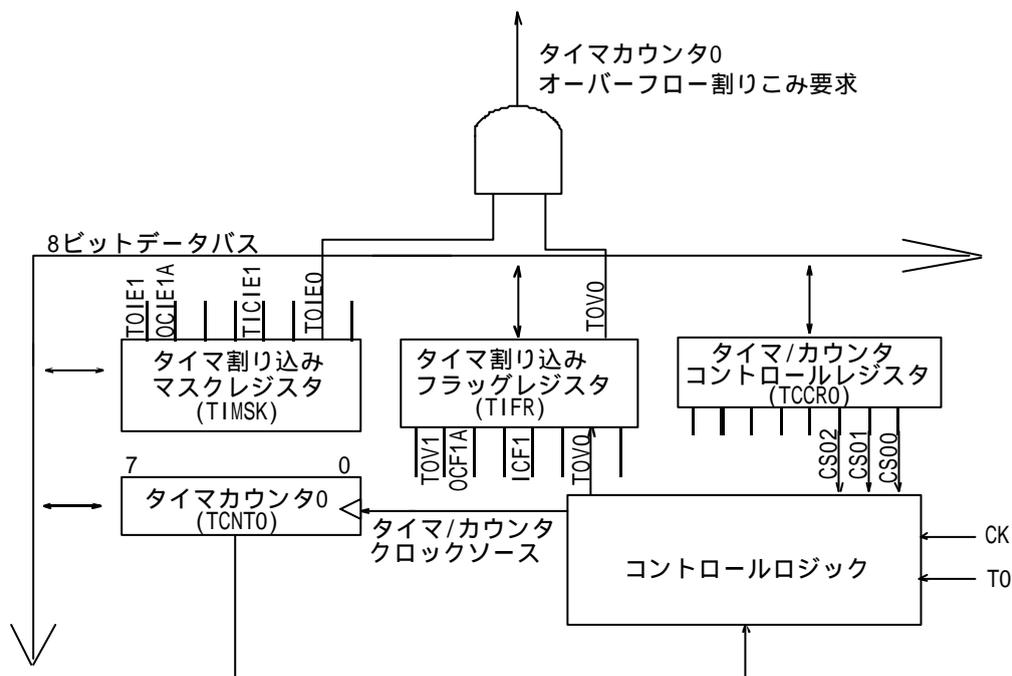
図29はタイマ/カウンタ0のブロックダイアグラムを示してあります。

8ビットタイマ/カウンタはCKからクロックソース、分周されたクロック、外部クロックから選択されています。加えて、タイマ/カウンタ0コントロールレジスタTCCR0に指定された通りに、とめることが出来ます。オーバーフローステータスフラッグは、タイマ/カウンタ割りこみフラッグレジスタTIFR中で見られます。

コントロール信号は、タイマ/カウンタ0コントロールレジスタTCCR0の中にあります。タイマ/カウンタ0の割りこみの有効・無効設定は、タイマ/カウンタ0割り込みコントロールレジスタTIMSK中に見られます。タイマ/カウンタ0が外部的にクロックされている時、外部信号はCPUのオシレータ周波数に同期しています。外部クロックが正しくサンプリングされるようにするために、外部クロック信号変化の最小時間幅は少なくとも内部CPU1クロック分なければなりません。外部信号は内部CPUクロックの立ち上がりでサンプリングされます。

8ビットタイマ/カウンタ0は、低分周率で使う場合には、高精度、高分解能になります。同様に、高い分周率での用途では、低いスピードの機能、非周期的な動作に対して正確な計時機能に有用です。

図29 ブロックダイアグラム



AT90S2313

タイマ/カウンタ0 コントロールレジスタ TCCR0

ビット	7	6	5	4	3	2	1	0	
\$33(\$53)	-	-	-	-	-	CS02	CS01	CS00	TCCR0
読み込み・書きこみ	読 (Read)	読/書 (Read) / (Write)	読/書 (Read) / (Write)	読/書 (Read) / (Write)					
初期値	0	0	0	0	0	0	0	0	

ビット7~3 Res : 予約ビットこれらのビットは AT90S2313 の予約ビットで、常に0として読み込まれます。

ビット2,1,0 CS02,CS01,CS00 : クロック選択ビット 2,1,0

表 10 クロック分周選択

CS02	CS01	CS00	説明
0	0	0	ストップ・タイマ/カウンタ0が止まります。
0	0	1	CK
0	1	0	CK/8
0	1	1	CK/64
1	0	0	CK/256
1	0	1	CK/1024
1	1	0	外部ピンT0立ち下がりエッジ
1	1	1	外部ピンT0立ち上がりエッジ

停止状態で、タイマ有効・無効をコントロールできます。クロック分割モードではオシレータクロックが直接使われます。外部ピンモードはタイマ/カウンタ0用に使われる場合、T0ピンが出力設定になっていても、PD4/(T0)での変化でカウンタが回ります。これにより、ユーザーがカウントの切り替えを行います。

タイマ/カウンタ0 TCNT0

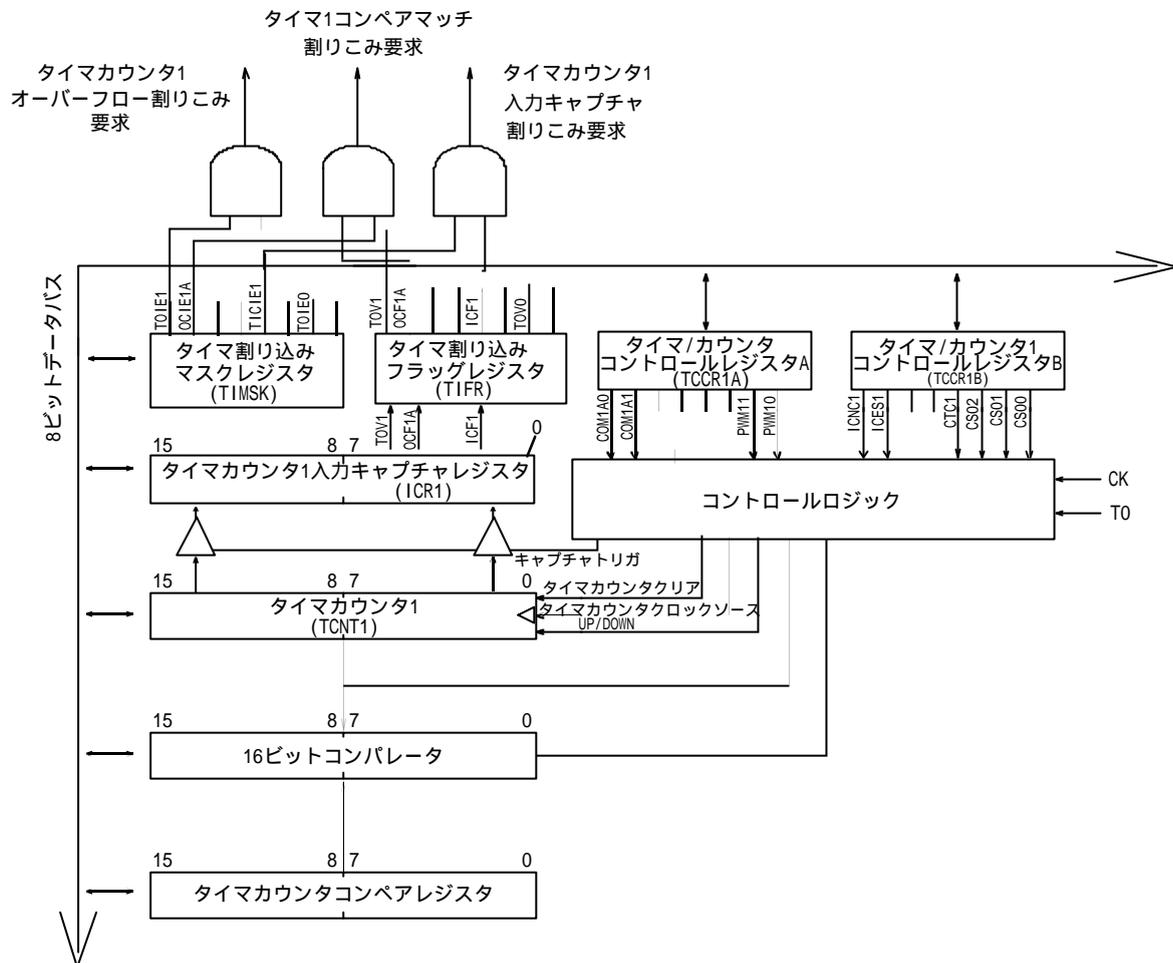
ビット	7	6	5	4	3	2	1	0	
\$32(\$52)	MSB							LSB	TCNT0
読み込み・書きこみ	読/書 (Read) / (Write)								
初期値	0	0	0	0	0	0	0	0	

タイマ/カウンタ0は読み込み・書きこみ可能な数え上げカウンタです。タイマ・カウンタ0が書きこまれていて、クロック源がある場合は書きこみ動作に続いて、タイマクロックサイクルでカウントを続けます。

AT90S2313

16 ビットタイマ/カウンタ 1

図 30 タイマ/カウンタ 1 ブロックダイアグラム



16 ビットタイマカウンタ 1 は CK、文周した CK、または外部ピンからのクロックソースの選択ができます。加えて、タイマ/カウンタ 1 コントロールレジスタ TCCR1B で指定された通りに止めることができます。いろいろなステータスフラグ（オーバーフロー割りこみ、コンペアマッチ、キャプチャイベント）とコントロール信号がタイマカウンタ割りこみフラグレジスタ TIFR の中で見られます。タイマカウンタ 1 の割りこみ有効・無効設定はタイマカウンタ割りこみマスクレジスタ TIMSK の中で見られます。

タイマカウンタ 1 が外部でクロックされている場合、外部信号は CPU のオシレータ周波数と同期しています。外部クロックからの正しくサンプリングをするためには、外部クロックの変化の最小時間が少なくとも CPU の内部クロック周期よりも長くなければなりません。外部クロック信号は内部 CPU クロックの立ち上がりエッジでサンプリングされます。

16 ビットタイマ/カウンタ 1 は、低分周率で使う場合には、高精度、高分解能になります。同様に、高い分周率での用途では、低いスピードの機能、非周期的な動作に対して正確な計時機能に有用です。

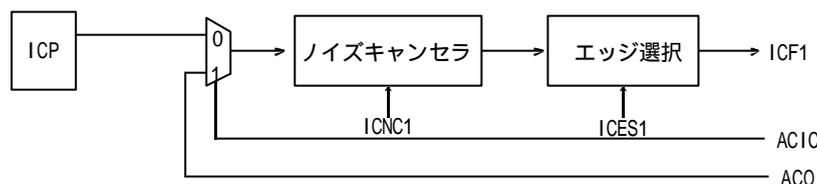
AT90S2313

タイマカウンタ 1 は出力コンペアレジスタ 1A OCR1A をサポートしており、タイマカウンタ 1 の内容と比較するためのデータソースとして使います。出力コンペア機能はコンペアマッチのカウンタとコンペアマッチ時の出力コンペアピン 1 のアクションをクリアする付属機能が含まれています。

タイマ/カウンタ 1 は 8,9,10 ビットのパルス変調としても使うことができます。このモードでは、カウンタと OCR1 レジスタはグリッチのない、パルスが中央に位置している独立型の PWM として使うことができます。この機能についての詳しい説明は 39 ページを参照して下さい。

タイマカウンタ 1 の入力キャプチャ機能はタイマカウンタ 1 の内容を入力キャプチャレジスタ ICR1 へ送り、入力キャプチャピン ICP の外部イベントによりトリガされます。実際のキャプチャイベント設定は、タイマカウンタ 1 コントロールレジスタ TCCR1B によって定義されます。加えて、アナログコンパレータも入力キャプチャをトリガするのに使うことができます。54 ページの「アナログコンパレータ」の節を見てください。ICP ピンのロジックは図 31 に示されています。

図 31 ICP ピンのピン構成図



ノイズキャンセラ機能が有効になっている場合、キャプチャイベントに対する実際のトリガ状態が 4 サンプルの間監視され、4 回ともキャプチャフラッグをアクティブにできるものでなければなりません。

タイマカウンタ 1 コントロールレジスタ A TCCR1A

ビット	7	6	5	4	3	2	1	0	
\$2F(\$4F)	COM1A1	COM1A0	-	-	-	-	PWM11	PWM10	TCCR1A
読み込み	読/書	読/書	読	読	読	読	読/書	読/書	
書きこみ	(Read) / (Write)	(Read) / (Write)	(Read)	(Read)	(Read)	(Read)	(Read) / (Write)	(Read) / (Write)	
初期値	0	0	0	0	0	0	0	0	

ビット 7,6 COM1A1,COM1A0 ; コンペア出力モード 1-ビット 1,0

COM1A1,COM1A0 コントロールビットによりタイマカウンタ 1 中のコンペアマッチに続く出力ピンの動作を決めます。出力ピンの動作は、OC1 出力コンペアピン 1 に出てきます。これは I/O ポートの選択機能で対応する方向コントロールビットは出力ピンをコントロールするために 1 に設定されていなければなりません。コントロールの組み合わせは表 8 に

AT90S2313

示されています。

表 8 コンペア 1 モード選択

COM1A1	COM1A0	説明
0	0	出力ピンOC1からタイマカウンタ1を切断
0	1	OC1出力線をトグル
1	0	OC1出力線を 0にクリア
1	1	OC1出力線を1に設定

注意：PWM モードではこれらのビットは異なる機能を持っています。詳しくは表 12 を参照して下さい。

ビット 2 ~5 Res：予約ビット

これらのビットは AT90S2313 の予約ビットで、常に 0 として読み込まれます。

ビット 1,0 PWM11,PWM10：パルス幅変調選択ビット

これらのビットで表 9 に指定された PWM 動作を選択します。このモードは 39 ページに示されています。

表 9 PWM モード選択

PWM11	PWM10	説明
0	0	タイマカウンタ1のPWM動作無効
0	1	タイマカウンタ1が8ビットのPWMに
1	0	タイマカウンタ1が9ビットのPWMに
1	1	タイマカウンタ1が10ビットのPWMに

タイマカウンタコントロールレジスタ B TCCR1B

ビット	7	6	5	4	3	2	1	0	
\$2E(\$4E)	ICNC1	ICES1	-	-	CTC1	CS12	CS11	CS10	TCCR1B
読み込み・書きこみ	読/書 (Read) / (Write)	読/書 (Read) / (Write)	読 (Read)	読 (Read)	読/書 (Read) / (Write)				
初期値	0	0	0	0	0	0	0	0	

ビット 7 ICNC1：入力キャプチャ 1 ノイズキャンセラ (4 クロック)

ICNC1 ビットが 0 にクリアされる時、入力キャプチャでトリガするノイズキャンセラ機能が無効になります。入力キャプチャははじめの立ち上がり/立ち下がりエッジで生成され、ICP 入力キャプチャピンで指定された通りにサンプリングされます。ICNC ビットが 1 に設定されている場合、4 つの続いたサンプルが ICP 入力キャプチャピン上で測定され、全サンプルは、ICES1 ビットの入力キャプチャトリガの指定に従って、H レベル/L レベルでなければなりません。実際のサンプリング周波数は XTAL クロック周波数となります。

ビット 4,5 Res：予約ビット

これらのビットは AT90S2313 の予約ビットで、常に 0 として読み込まれます。

ビット 3 CTC1：コンペアマッチ上のタイマカウンタ 1 のクリア

CTC1 コントロールビットが 1 に設定されている場合、タイマカウンタ 1 はコンペアマッ

AT90S2313

チのあとのクロックでリセットされて\$0000 になります。CTC1 コントロールビットがクリアされている場合、タイマカウンタ 1 はカウントが続き、コンペアマッチに影響を与えることはありません。次のマッチに続く CPU クロックサイクルでコンペアマッチが検出されるので、この機能は 1 より大きい分周がタイマーに使われている時は異なったふるまいをします。1 分周が使われているときはコンペアマッチが C に設定され、タイマは i CTC1 が設定され次の様にカウントされていきます。

..... | C-2 | C-1 | C | 0 | 1 |

8 で割って分周してある場合は、タイマはこのようにカウントされます。

..... | C-2, C-2, C-2, C-2, C-2, C-2, C-2, C-2 | C-1, C-1, C-1, C-1, C-1, C-1, C-1, C-1 | C, 0, 0, 0, 0, 0, 0, 0 |

PWM モードではこのビットは効果がありません。

ビット 2,1,0 CS12,CS11,CS10 : クロック選択 1-ビット 2、1,0

クロック選択 1-ビット 2、1,0 はタイマカウンタ 1 の分周ソースを定義しています。

表 10 クロック 1 分周選択

CS02	CS01	CS00	説明
0	0	0	ストップ・タイマ/カウンタ1が止まります。
0	0	1	CK
0	1	0	CK/8
0	1	1	CK/64
1	0	0	CK/256
1	0	1	CK/1024
1	1	0	外部ピンT0立ち下がりエッジ
1	1	1	外部ピンT0立ち上がりエッジ

STOP 状態でタイマを有効・無効に切り替えることができます。数え下げ分周モードはクロックオシレータ周波数から直接測られます。外部ピンモードはタイマカウンタ 1 用に使われている場合、ピンが出力として構成されている場合でも、PD5(T1)での変化でカウンタをクロックします。

この特徴により、カウンタを切り替えることができます。

タイマカウンタ 1 TCNT1H,TCNT1L

ビット	7	6	5	4	3	2	1	0	
\$2D(\$4D)	MSB								TCNT1H
\$2C(\$4C)								LSB	
読み込み・書きこみ	読/書 (Read) / (Write)								
読み込み・書きこみ	読/書 (Read) / (Write)								
初期値	0	0	0	0	0	0	0	0	
	0	0	0	0	0	0	0	0	

AT90S2313

この 16 ビットレジスタは、16 ビットタイマカウンタ 1 の分周値を含んでいます。上位バイトと下位バイトは、CPU がこれらのレジスタをアクセスされる時同時に読み書きされるために 8 ビット仮レジスタ(TEMP)を使ってアクセスが行われます。OCR1A と ICR1 にアクセスするとき仮レジスタもまた使われます。メインプログラムと割りこみルーチンが TEMP を使いながらレジスタへのアクセスを実行する場合、メインプログラムまたは再有効になった割りこみからアクセスしている間は割りこみは無効にしていなければなりません。

・TCNT1 タイマカウンタ 1 書きこみ

CPU が上位バイト TCNT1H に書きこむ時、書きこまれたデータは TEMP レジスタ中に置かれます。次に、CPU が下位バイト TCNT1L に書きこむときにこのデータバイトが TEMP レジスタのバイトデータと組み合わせられて、全 16 ビットデータが同時に TCNT1 タイマカウンタ 1 レジスタが同時に書きこまれます。結果的に上位バイト TCNT1H は、全 16 ビットレジスタ書きこみ動作に対してまずアクセスされなければなりません。

・TCNT1 タイマカウンタ 1 読み込み

CPU が下位バイト TCNT1L を読み込むとき、下位バイト TCNT1L のデータが CPU に送られ、上位バイト TCNT1H は TEMP レジスタの中に置かれます。結果的に、TCNT1L は、全 16 ビット読み込み動作に対して、まずアクセスしなければなりません。

タイマカウンタ 1 は (PWM モードにおいては) 読み書きアクセスのついたアップ・ダウンカウンタとして実現されます。タイマカウンタ 1 が書きこまれてクロックソースが選択されている場合、タイマカウンタ 1 書き込み値でプリセットされたあと、タイマのクロックサイクルでカウントを続けます。

タイマカウンタ 1 出力コンペアレジスタ A OCR1AH と OCR1AL

ビット	7	6	5	4	3	2	1	0	
\$2B(\$2B)	MSB								OCR1AH OCR1AL
\$2A(\$4A)								LSB	
読み込み・書きこみ	読/書 (Read) / (Write)								
読み込み・書きこみ	読/書 (Read) / (Write)								
初期値	0	0	0	0	0	0	0	0	
初期値	0	0	0	0	0	0	0	0	

出力コンペアレジスタは 16 ビット読み/書きレジスタです。タイマカウンタ 1 出力コンペアレジスタはタイマカウンタ 1 と連続的に比較されるデータを含んでいます。コンペアマッチ上の動作はタイマカウンタ 1 コントロール・ステータスレジスタで指定されます。

出力コンペアレジスタ OCR1A は 16 ビットレジスタなので、仮レジスタ TEMP は、OCR1A

AT90S2313

が書きこまる時に、両バイトが同時に確実に更新されるようにするために使われます。CPU が上位バイト OCR1AH を書きこむときデータは一時的に TEMP レジスタへ記憶されます。CPU が下位バイト OCR1AL を書きこむとき TEMP レジスタは同時に OCR1AH へ書きこみます。結果的に上位バイト OCR1AH はまず全 16 ビットのレジスタ書きこみ動作に対して最初に書きこまなければならない。TEMP レジスタは TCNT1,ICR1 をアクセスするときにも使われます。メインプログラムと割りこみルーチンが TEMP を使ってレジスタへのアクセスを実行する場合、メインプログラムまたは有効になった割りこみにアクセスしている間は割り込みを無効にしておかなければなりません。

タイマカウンタ 1 入力キャプチャレジスタ ICR1H,ICR1L

ビット	7	6	5	4	3	2	1	0	
\$25(\$45)	MSB								ICR1H ICR1L
\$24(\$44)								LSB	
読み込み・書きこみ	読/書 (Read) / (Write)								
読み込み・書きこみ	読/書 (Read) / (Write)								
初期値	0	0	0	0	0	0	0	0	
初期値	0	0	0	0	0	0	0	0	

入力キャプチャレジスタは 16 ビットの読み込み専用レジスタです。

入力キャプチャピン ICP での信号の立ち上がりまたは立ち下がりエッジ（入力キャプチャエッジの設定 ICES1 にしたがう）が検出されるとき、タイマカウンタ 1 の現在値が入力キャプチャレジスタ ICR1 へ送られます。同時に入力キャプチャフラッグ ICF1 は 1 に設定されます。

入力キャプチャレジスタ ICR1 は 16 ビットのレジスタで仮レジスタ TEMP は ICR1 が両レジスタを同時に読み込むように読み込まれたときに使われます。CPU が下位バイト ICR1L を読み込むときデータは CPU へ送り込まれ、上位バイト ICR1H は TEMP レジスタへ置かれます。CPU が上位バイト ICR1H を読み込むとき、CPU は TEMP レジスタのデータを受け取ります。結果的に全 16 ビットレジスタ読み込み動作に対してまず下位バイト ICR1L を読み込まなければならない。

TEMP レジスタは TCNT1,OCR1A をアクセスするときにも使われます。メインプログラムと割りこみルーチンが TEMP を使ってレジスタへのアクセスを実行する場合、メインプログラムまたは再有効になった割りこみにアクセスしている間は割り込みを無効にしておかなければなりません。

PWM モードでのタイマカウンタ 1

PWM モードが選択されている時、タイマカウンタ 1 と出力コンペアレジスタ 1OCR1A は 8,9,10 ビットフリーランニングでグリッチのない位相の正しい PWM を形成し PB3(OC1)

AT90S2313

ピンから出力されます。タイマカウンタ 1 はアップ/ダウンカウンタとして働き、\$0000 ~ TOP (表 11 参照) まで数え上げて TOP でゼロに向かって、このサイクルが繰り返されるまでカウントダウンしていきます。カウンタの値は OCR1A の 8、9、10 の最下位ビットの内容にマッチしているとき、COM1A1、COM1A0 の設定に従って、PB3(OC1)ピンが設定またはクリアされます。詳しくは表 12 を参照して下さい。

表 11 タイマーの TOP の値、PWM の周波数

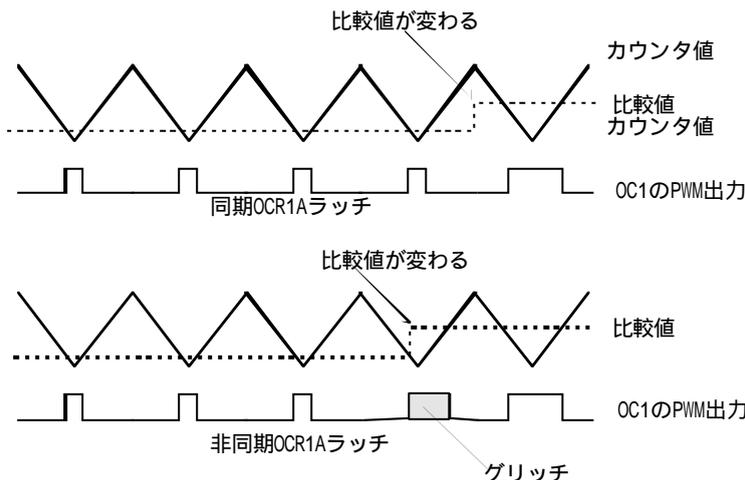
PWM分解能	タイマTOP値	周波数
8ビット	\$00FF(255)	$F_{TC1}/510$
9ビット	\$01FF(511)	$F_{TC1}/1022$
10ビット	\$03FF(1023)	$F_{TC1}/2046$

表 12 PWM モードでのコンペア 1 モード選択

COM1A1	COM1A0	OC1上での効果
0	0	非接続
0	1	非接続
1	0	コンペアマッチ、数え上げ時にクリア。コンペアマッチ数え下げ時に設定。(非反転PWM)
1	1	コンペアマッチ、数え下げ時にクリア。コンペアマッチ数え上げ時に設定。(反転PWM)

PWM モードでは少なくとも 10 この OCR1A の最下位ビットが書きこまれるときに仮口ケーショに送られることに注意して下さい。タイマカウンタ 1 が TOP にたどりつくときラッチされます。これにより同期していない OCR1A の書きこみのイベント中に PWM パルスが変な長さにならないよう防いでいます。図 32 の例を見て下さい。

図 32 非同期 OCR1 のラッチの効果



書きこみとラッチ動作の間の時間で、OCR1A からの読み込みでは、仮口ケーショの内容を読み込みます。これにより、最も早く書きこまれた値は OCR1A から読み込みます。OCR1 は、\$0000 または TOP を含み、出力 OC1 は COM1A1/COM1A0 の設定に従って次のコンペアマッチ時に H または L に更新されます。これは表 13 に示されています。

AT90S2313

表 13 PWM 出力 OCR=\$0000 または TOP

COM1A1	COM1A0	OCR1A	出力OC1
1	0	\$0000	L
1	0	TOP	H
1	1	\$0000	H
1	1	TOP	L

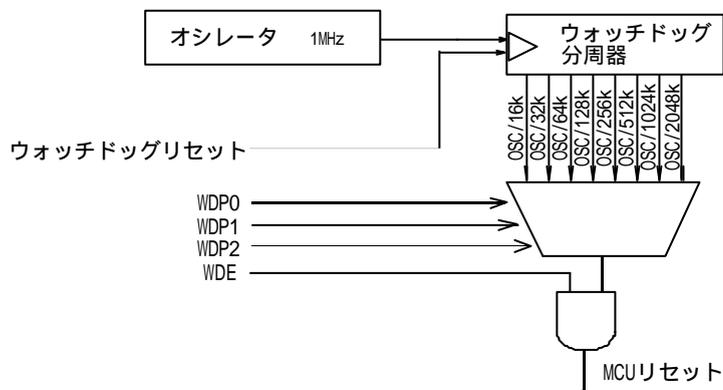
PWM モードではオーバーフローフラッグ 1、TOV1 がカウンタは\$0000 から進む時に設定されます。タイマオーバーフロー割りこみ 1 は通常のタイマ/カウンタモードと全く同じ様に動作します。すなわち、タイマオーバーフロー割りこみ 1 とグローバル割りこみが有効になった場合に TOV1 が設定され、タイマオーバーフロー割りこみ 1 が実行されます。これは、タイマ出力コンペア 1 フラッグと割りこみについても当てはまります。

ウォッチドッグタイマ

ウォッチドッグタイマは、別の内臓オシレータ (RC オシレータを使用：訳者注) からクロックされます。これは Vcc=5V での標準値です。他の Vcc での標準値については、特性データのところを参照して下さい。ウォッチドッグタイマのプリスケイラーをコントロールすることによって、ウォッチドッグリセット間隔が調節できます。他の Vcc レベルで特性データを見て下さい。詳しくは表 14 を参照して下さい。WDR 命令 (ウォッチドッグリセット) はウォッチドッグタイマをリセットします。8 つのクロック周期が選択されると、リセット周期が決定されます。ウォッチドッグリセットのない状態でリセット周期が過ぎると、AT90S2313 はリセットになり、リセットベクトルから実行します。ウォッチドッグリセットの計時の詳細については、24 ページを参照して下さい。

ウォッチドッグが意図せず無効になっているのを防ぐために、ウォッチドッグリセットが無効になっているとき特別な切断シーケンスに従わなければなりません。詳しくは、ウォッチドッグタイマコントロールレジスタの説明を参照して下さい。

図 33 ウォッチドッグタイマ



AT90S2313

ウォッチドッグタイムコントロールレジスタ WDTCR

ビット	7	6	5	4	3	2	1	0	
\$21(\$41)	-	-	-	WDTOE	WDE	WDP2	WDP1	WDP0	WDTCR
読み込み・書きこみ	読 (Read)	読 (Read)	読 (Read)	読/書 (Read) / (Write)					
初期値	0	0	0	0	0	0	0	0	

ビット 7~5 **Res** : 予約ビットこれらのビットは AT90S2313 の予約ビットで、常に 0 とし
て読み込まれます。

ビット 4 WDTOE : ウォッチドッグ切断イネーブル

WDE ビットがクリアされる時このビットは 1 に設定されなければなりません。そうでない場合、ウォッチドッグが無効になることはありません。一旦設定されると、ハードウェアで 4 サイクル後、このビットがクリアになります。ウォッチドッグ無効の手続き用の WDE ビットの説明を参照してください。

ビット 3 WDE : ウォッチドッグイネーブル

WDE が 1 に設定されて、ウォッチドッグタイムが有効になっていて、WDE が 0 にクリアされるとウォッチドッグタイム機能が無効になります。WDTOE ビットが 1 に設定されている場合、WDE がクリアだけされます。有効になったウォッチドッグタイムを無効にするために、次の手続きに従ってください。

1. 同じ演算で、WDTOE と WDE に論理 1 を書きこんでください。無効動作が始まる前に 1 に設定されたとしても、WDE に論理 1 が書きこまなければならない。
2. 次の 4 クロックサイクル以内で、論理 0 を WDE へ書きこんでください。これによりウォッチドッグが無効になります。

ビット 2~0 WDP2,WDP1,WDP0 : ウォッチドッグタイム分周 1 と 0

WDP2,WDP1 と WDP0 ビットは、ウォッチドッグタイムが有効になるとき、ウォッチドッグタイムの分周が決まります。分周値と対応する時間切れ周期が表 14 に示されています。

表 14 ウォッチドッグタイム分周選択

WDP2	WDP1	WDP0	ウォッチドッグタイム オシレータサイクル	Vcc=3.0V での標準 タイムアウト	Vcc=5V での標準 タイムアウト
0	0	0	16kサイクル	47ms	15ms
0	0	1	32kサイクル	94ms	30ms
0	1	0	64kサイクル	0.19s	60ms
0	1	1	128kサイクル	0.38s	0.12s
1	0	0	256kサイクル	0.75s	0.24s
1	0	1	512kサイクル	1.5s	0.49s
1	1	0	1024kサイクル	3.0s	0.97s
1	1	1	2048kサイクル	6.0s	1.9s

注意： ウォッチドッグタイムのオシレータ周波数は、(RC オシレータのため：訳者注) 電気的特性の節にあるように電圧依存性があります。WDR (ウォッチドッグリセット) 命令はウォッチドッグタイムが有効になる前に常に実行されています。これにより、リセッ

AT90S2313

ト周期がウォッチドッグタイマの分周設定と確実に一致するようになります。ウォッチドッグタイマがリセットなしに有効になると、ウォッチドッグタイマはゼロからカウントが始まらないことがあります。

EEPROM 書きこみ・読み込みアクセス

EEPROM アクセスレジスタは I/O 空間でアクセスできます。

書き込みアクセス時間は、2.5~4ms にわたり、Vcc の電圧に依存しています。しかし、セルフタイム機能により、ユーザーソフトウェアに、いつ次のバイトを書きこむことができるかを検出させます。ユーザのコード中に EEPROM に書きこむデータが含まれている場合、あらかじめ注意しておくべきことがあります。強くフィルタがかかっている電源では Vcc は電力の増減に対してゆっくりと変化します。これにより、使われているクロック周波数の最小値として指定されている電圧を下回る電圧でデバイスを動作させてしまう結果になります。この状況で CPU を駆動させるとプログラムカウンタで意図しないジャンプが生じたり、EEPROM 書きこみコードを時々実行してしまうことがあります。EEPROM の統合性を保証するために、この場合では外部から低電圧リセット回路を使う事をお勧めします。

意図せず EEPROM の書きこまれてしまうことを防ぐために、所定の書きこみ手続きに従わなければなりません。これについての詳細は EEPROM コントロールレジスタの説明を参照してください。EEPROM が読み込みまたは書きこまれるとき、CPU は次の命令が実行されるまでに 2 クロックサイクル止まっています。

EEPROM アドレスレジスタ EEAR

ビット	7	6	5	4	3	2	1	0	
\$1E(\$3E)	-	EEAR6	EEAR5	EEAR4	EEAR3	EEAR2	EEAR1	EEAR0	EEAR
読み込み・書きこみ	読 (Read)	読/書 (Read) / (Write)							
初期値	0	0	0	0	0	0	0	0	

ビット 7 Res : 予約ビットこのビットは AT90S2313 の予約ビットで、常に 0 として読み込まれます。

ビット 6~0 EEAR6~0 : EEPROM アドレス

EEPROM アドレスレジスタ EEAR6~0 は 128 バイト EEPROM 空間中の EEPROM アドレスを指定します。EEPROM データバイトは 0~127 をリニアに割り当てられていきます。

EEPROM データレジスタ EEDR

\$1D(\$3D)	MSB							LSB	EEDR
読み込み・書きこみ	読/書 (Read) / (Write)								
初期値	0	0	0	0	0	0	0	0	

AT90S2313

ビット 7~0 EEPROM データ

EEPROM 書きこみ動作に対して、EEDR レジスタは、データを含んでおり、EEAR によって与えられるアドレスに書きこまれます。読み込み動作にたいしては、EEPROM から読み出されるデータが含まれており、読み出しアドレスは EEAR で指定されます。

EEPROM コントロールレジスタ EECR

ビット	7	6	5	4	3	2	1	0	
\$1C (\$3C)	-	-	-	-	-	EEMWE	EEWE	EERE	EECR
読み込み・書きこみ	読 (Read)	読/書 (Read) / (Write)	読/書 (Read) / (Write)	読/書 (Read) / (Write)					
初期値	0	0	0	0	0	0	0	0	

ビット 7~3 Res : 予約ビットこれらのビットは AT90S2313 の予約ビットで、常に 0 として読み込まれます。

ビット 2 EEMWE : EEPROM マスタ書きこみイネーブル

EEMWE ビットは、EEWE を 1 に設定すると EEPROM が書きこまれるかどうかを決めます。EEMWE が 1 に設定されているとき、EEWE を設定すると指定したアドレスで EEPROM ヘデータが書きこまれます。EEMWE が 0 の場合、EEWE を設定しても、何も起こりません。EEMWE がソフトによって 1 に設定されると、4 クロックサイクル後ハードウェアによりビットが 0 にクリアされます。EEPROM の書きこみ手続きについては、EEWE ビットの説明を参照してください。

ビット 1 EEWE : EEPROM 書きこみ有効

EEPROM 書きこみイネーブル信号 EEWE は EEPROM への書きこみストロポになっています。アドレスとデータを正しく設定した時に、EEPROM へ値を書きこむために設定しなければなりません。論理 1 が EEWE へ書きこまれるときに、EEMWE ビットが設定されていなければなりません。そうしないと、EEPROM の書き込みは起こりません。EEPROM に書きこむのに次の手順に従ってください。(ステップ 2 と 3 は、必須ではありません。)

1. EEWE ビットが 0 になるのを待ってください。
2. 新しい EEPROM アドレスを EEAR に書きこんでください。(オプション)
3. 新しい EEPROM データを EEDR へ書きこんでください。(オプション)
4. EECR 中の EEMWE に論理 1 を書きこんでください。
5. EEMWE の設定から 4 クロックサイクル以内に論理 1 を EEWE に書きこんでください。書きこみアクセス時間 (Vcc=5V で標準値 2.5ms、2.7V で標準値 4ms) が過ぎると、EEWE ビットはハードウェアによってクリアされます。ユーザはソフトウェア上でこのビットを調べておいて、次のバイトを書きこむ前に 0 になるまで待たなければなりません。EEWE が設定されると CPU は次の命令が実行されるまで 2 サイクル止まっています。

AT90S2313

警告：ステップ4と5の間に割りこみが起こると、EEPROM書きこみイネーブル(EEMWE)が時間切れになるため、書きこみサイクルが失敗になります。EEPROMにアクセスしている割りこみルーチンが他のEEPROMアクセスを妨害している場合、EEARとEEDRレジスタが修正され、割りこまれたEEPROMのアクセスの失敗の原因になります。この問題を避けるために、最後の4ステップはグローバル割りこみフラグをクリアにしておくことをお勧めします

ビット0 EERE：EEPROM読み込みイネーブル

EEPROM読み込みイネーブル信号EEREはEEPROMへの読み込みストロポです。(このビットが1になったタイミングで読み込まれ、自動的に0に戻されます。ダイナミック。)正しいアドレスがEEARレジスタ中で設定されているときに、EEREビットが設定されなければなりません。EEREが0にクリアされると、要求されたデータがEEDRレジスタ中で見つかります。EEPROM読み込みアクセスには1命令かかり、EEREビットを調べておく必要はありません。EEREビットが設定されると、2サイクル止まってから次の命令が実行されます。

読み込み動作を始める前にEEMWEビットを調べておく必要があります。新しいデータ・アドレスがEEPROM I/Oレジスタへ書きこまれるときに、書きこみ動作が進行中である場合、書きこみ動作が中断され、結果が定義されなくなります。

EEPROM データ崩壊を防ぐ

Vccが低くなっている間、供給電源が低すぎるためにCPUとEEPROMが正しく動作しない場合があります。この問題は、EEPROMを使った基板レベルのシステムと同じで、同様の設計上の解決策を適用しなければなりません。EEPROMのデータ崩壊は電源が低すぎる場合2つの状況で起こることがあります。まず、正規に書きこみシーケンスが行われるためには正しく動作するための最低電圧が必要です。次に、CPUは電源電圧が低すぎると、命令を間違って実行してしまうことがあります。

EEPROMデータ崩壊は、以下の設計上の忠告に従うことによって簡単に避けることができます。(1つで十分です。)

1. AVRのリセットを電源が不十分な間アクティブ(Lレベル)にしておいてください。これは、ブラウンアウト検出器(BOD)としてよく引き合いに出される外部の低Vccリセット保護回路により最もうまく行うことができます。パワーオンリセットと低電圧検知に関する設計上の考察、アプリケーションノートAVR180を参照してください。
2. Vccが低くなっている間にAVRのコアをパワーダウンスリープモードにしておいてください。これにより、CPUが命令の解釈・実行を行えなくなり、意図しない書きこみからEEPROMを十分に保護することができます。
3. ソフトでメモリ内容を変える機能が必要ではなくても、フラッシュメモリ中に定数を蓄えてください。フラッシュメモリはCPUによって更新されることはなく、データ崩壊

AT90S2313

の影響を受けなくなります。

UART

AT90S2313 はフルデュプレックス（送信・受信レジスタ分離している）汎用(Universal)非同期(Asynchronous)送(Transmitter)受信器(Receiver)です。(UART)主な特徴は

- ・ 大きいボーレート(bps)を生成できるボーレートジェネレータ
- ・ 低い水晶振動周波数で高いボーレート
- ・ ノイズのフィルタ
- ・ 過動作検知
- ・ フレーミングエラー検知
- ・ スタートビット欠如検知
- ・ 送信(TX)コンプリート、送信(TX)データレジスタ空き、受信(RX)コンプリート割りこみの3つの割りこみ

データ送信

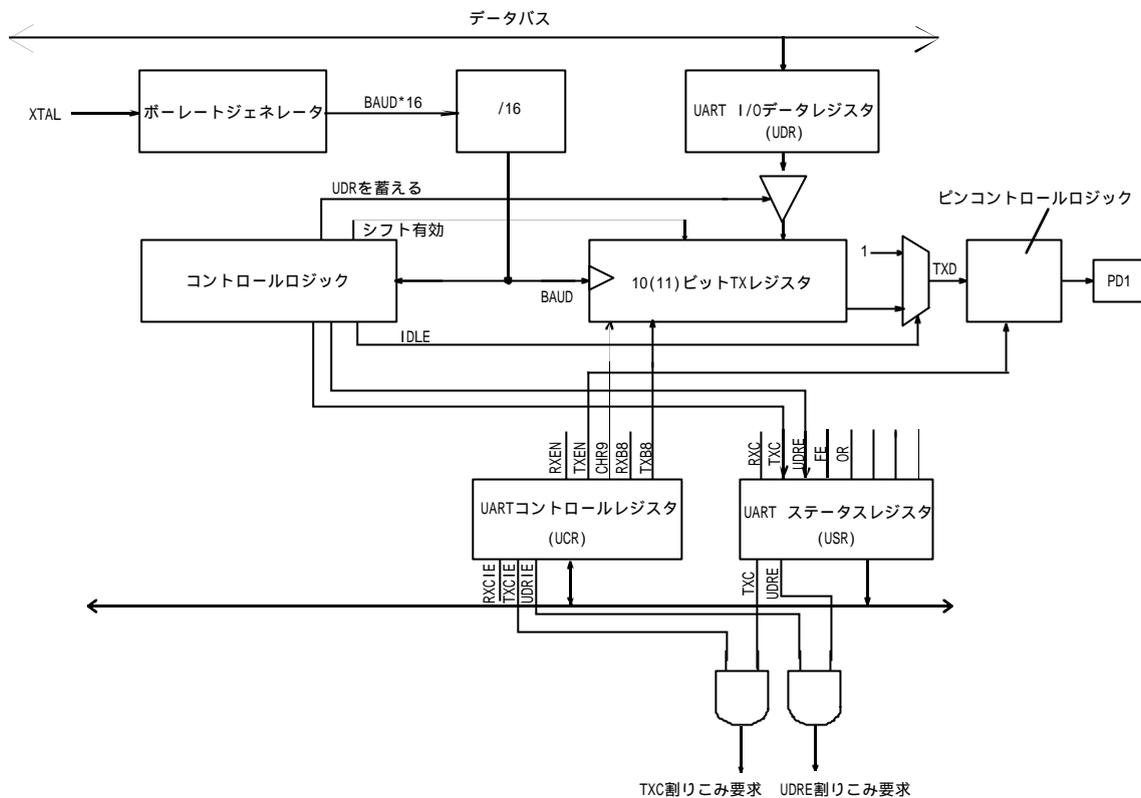
UART 送信器のブロック図は図 34 に示されています。

データ送信は送信する UART I/O データレジスタ UDR にデータを書きこむことにより初期化されます。データは UDR から送信シフトレジスタへ、次のときに送信されます。

- ・ 前のキャラクタのストップビットがずれて出ていったあと新しいキャラクタが UDR へ書きこまれた場合。シフトレジスタが直ちにロードされます。
- ・ 前のキャラクタのストップビットがずれて出ていく前に新しいキャラクタが UDR へ書きこまれた場合。その時点で送信中のキャラクタのストップビットがずれて出ていった時にシフトレジスタがロードされます。

AT90S2313

図 34 UART 送信器



10 (または 11) ビットシフト送信レジスタが空になると、UDR からシフトレジスタへデータが送信されます。このときに UART ステータスレジスタ USR 中の UDRE (UART データレジスタ空き) ビットが設定されます。このビットが設定されると、UART は次のキャラクタを受信する準備ができています。UDR から 10 (11) ビットシフトレジスタへデータが送信されると同時にシフトレジスタの 0 ビット (スタートビット) がクリアされ、ビット 9 または 10 (ストップビット) が設定されます。9 ビットデータワードが選択され (= UART コントロールレジスタ UCR 中の CHR9 ビットが設定される) と、UCR 中の TXB8 ビットが送信シフトレジスタのビット 9 へ移されます。

シフトレジスタへの送信動作に従うボードレートのクロックでスタートビットが TXD ピン上でスタートビットがシフトして出ていきます。次に LSB を先頭にデータが続きます。ストップビットがシフトして出ていってしまうと、送信中に新しいデータが UDR 中へ書きこまれる場合シフトレジスタがロードされます。ロード中は UDRE が設定されています。ストップビットが出ていったあと UDR 中に送るデータがない場合 UDR が再び書き込まれるまで UDRE フラグは設定されたままになっています。新しいデータが書きこまれず、1 ビット長のストップビットが TXD ピン上で存在している場合、USR 中の TX コンプリートフラグ、TXC が設定されます。

UCR 中の TXEN が設定されたとき、UART 送信器が有効になります。このビットが 0 に

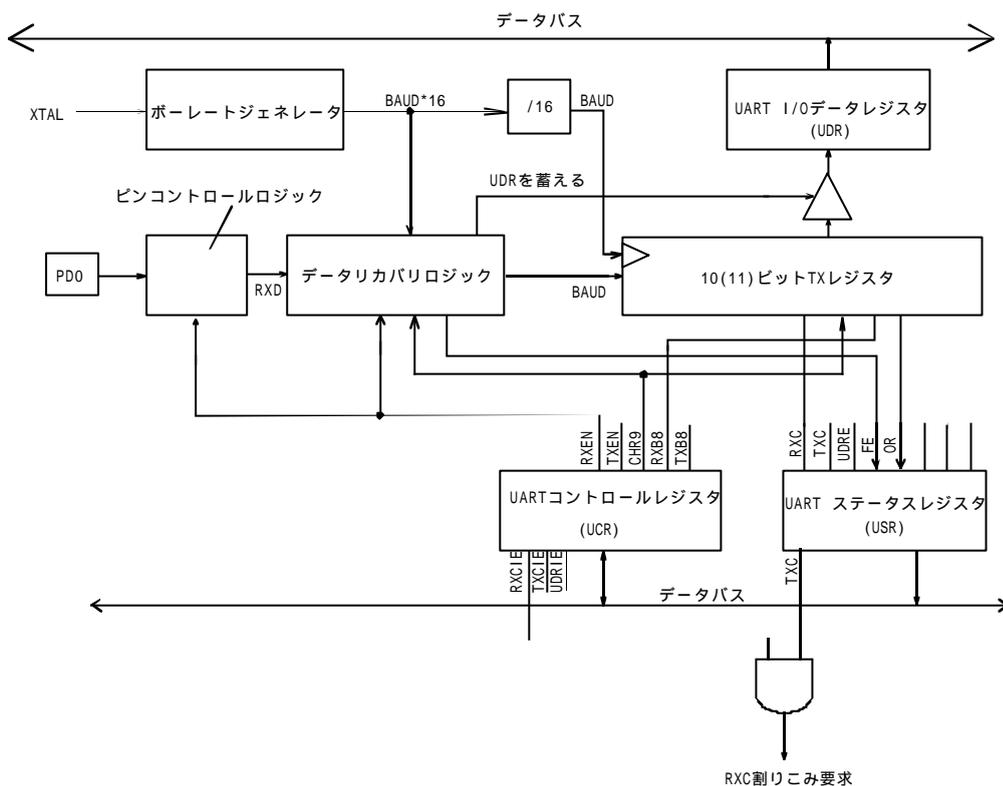
AT90S2313

クリアされている時、PD1 ピンは汎用の I/O ピンとして使うことができます。TXEN が設定されていると UART 送信器が PD1 につながり、DDRD 中の DDD1 ピンの設定の仕方に関わらず強制的に出力となります。

データの受信

図 35 は UART 受信器のブロック図を示しています。

図 35 UART 受信器



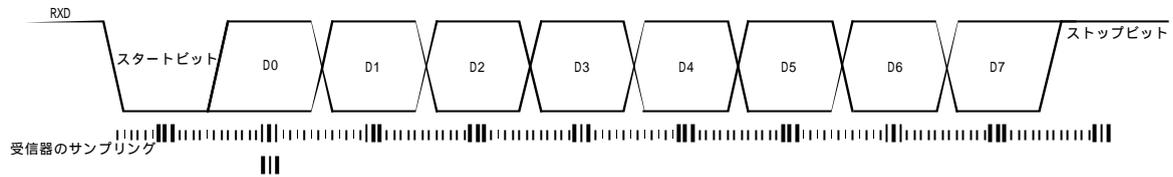
受信器の先端のロジック回路はボードレートの 16 倍の周波数で RXD ピン上の信号をサンプリングします。込んでいないときは論理 0 (L レベル) 1 サンプル分がスタートビットの立ち下がりとして解釈されスタートビット検知シーケンスが初期化されます。サンプル 1 を始めの 0 番目のサンプルとします。1 から 0 への変化に従いながら、受信器は 8,9,10 番目のサンプルをサンプリングします。これら 3 サンプルのうち 2 つ以上が論理 1 である場合、スタートビットはノイズのスパイクであると判定され受信器は次の 1 から 0 への変化を探し始めます。

スタートビットが正しく検出されると、スタートビットに続くデータビットのサンプリングが実行されます。これらのビットは 8,9,10 番目のサンプルで再びサンプリングされます。2 以上のサンプル中で論理値が見つかったら、ビットの値として解釈されます。サンプリングされる時に送信シフトレジスタへ全ビットがずれていきます。入ってくるキャラクタの

AT90S2313

サンプリングの様子は図 36 に示されています。

図 36 受信データのサンプリング



ストップビットが受信器に入ってくると、ストップビットを受信するのに 3 サンプルのうち大部分が 1 でなければなりません。2 以上のサンプルが論理 0 (L レベル) の場合 UART ステータスレジスタ USR 中のフレームエラーフラグが設定されます。UDR レジスタを読み込む前に、フレーミングエラーを検出するために常にフレーミングエラーを常にチェックしておかなければなりません。

キャラクタの受信サイクルの終わりで正しいストップビットが検出されようとなかろうと、データが UDR へ送信され、USR 中の RXC フラグが設定されます。実際、UDR レジスタは物理的に 2 つに分離しており、一つはデータ受信用もう一つはデータ送信用になっています。UDR が読み込まれるとき受信データレジスタがアクセスされ、UDR が書きこまれるとき送信データレジスタがアクセスされます。データワードの 9 ビットがが選択されている (UART コントロールレジスタ UCR 中の CHR9 ビットが設定されている) 場合、UDR へデータが送信される時、UCR 中の RXB8 ビットは、送信シフトレジスタ中のビット 9 がロードされます。

キャラクタを受信されたあと UDR レジスタが最後に受信してから読み込まれていない場合、UCR 中の過動作フラグ(OR)が設定されます。シフトレジスタへシフトされる最後のデータバイトは UDR 中へ送信することができず、失われてしまいます。OR ビットがバッファされ、UDR 中の正しいデータバイトが読み込まれるときに、OR ビットが更新されます。こういうわけで、ボードレートが高く、CPU 負荷が高い場合オーバーランを検出するために UDR レジスタを読み込んだあとユーザは常に OR ビットをチェックしておかなければなりません。

UCR 中の RXEN ビットが 0 にクリアされる時受信器は無効になります。PD0 ピンは汎用 I/O ピンとして使うことができることを意味しています。RXEN ビットが設定される時 UART 受信器が PD0 へつながり、DDRD の DDD0 の設定の有無に関わらず強制的に入力となります。PD0 が UART によって強制的に入力設定になった時 PORTD0 ビットはプルアップ抵抗のコントロールに使うことができます。

UCR 中の CHR9 ビットが設定されている場合、送受信キャラクタは 9 ビット長とスタート・ストップビットを加えたものになります。送信される 9 番目のビットは UCR レジスタ中の TXB8 ビットです。UDR レジスタに書きこむことによって送信が初期化される前に、このビットはほしい値に設定しておかなければなりません。受信された 9 番目のデータビ

AT90S2313

ットは UCR レジスタ中の RXB8 ビットになっています。

UART コントロール

UART コントロールレジスタ UDR

ビット	7	6	5	4	3	2	1	0	
\$0C(\$2C)	MSB							LSB	UDR
読み込み・書きこみ	読/書 (Read) / (Write)								
初期値	0	0	0	0	0	0	0	0	

UDR レジスタは同じアドレスを持ちますが物理的には異なる 2 つのレジスタです。レジスタに書き込むとき UART 送信データレジスタが書きこまれます。。UDR を読み込む場合は UART 受信データレジスタが読み込まれます。

UART ステータスレジスタ USR

ビット	7	6	5	4	3	2	1	0	
\$0B(\$2B)	RXC	TXC	UDRE	FE	OR	-	-	-	USR
読み込み・書きこみ	読/書 (Read) / (Write)	読 (Read)	読 (Read)	読 (Read)					
初期値	0	0	1	0	0	0	0	0	

USR レジスタは読み込みレジスタで UART の状態についての情報を提供しています。

・ビット 7 RXC:UART 受信コンプリート

受信されたキャラクタが受信シフトレジスタから UDR へ送られるときにこのビットは 1 に設定されます。フレーミングエラーが検出されたかどうかに関わらずビットが設定されます。UCR の RXCIE ビットが設定されるときで UART 受信コンプリート割りこみは、RXC が 1 に設定されるときに実行されます。RXC は UDR を読み込むときにクリアされます。割りこみで駆動されるデータ受信が使われている時、RXC をクリアするために UART 受信割りこみコンプリートルーチンが UDR を読み込まなければなりません。そうでなければ、いったん割りこみルーチンが終わると新しい割りこみが発生します。

・ビット 6 TXC:UART 送信コンプリート

送信シフトレジスタ中の全キャラクタがシフトして出て行き、UDR へ新しいデータが書きこまれていない時にこのビットが設定されます。このフラッグはハーフデュプレックスモードで通信インターフェイスに特に有効で、そのインターフェイスは送信が完了した直後に受信モードにはいって通信バスを開放しなければなりません。

UCR 中の TXCIE ビットが設定されている時に、TXC を設定することにより UART 送信コンプリート割りこみが実行されます。TXC は対応する割りこみベクトルを実行する時にハードウェアによりクリアされます。代わりに TXC に論理 1 を書きこんでも消すことができます。

AT90S2313

・ビット 5 UDRE データレジスタ空き

UDR に書きこまれたキャラクタが送信レジスタに送られるとき、このビットは 1 に設定されます。このビットを設定すると、トランスミッタが送信用の新しいキャラクタを受け取る準備ができたことを示します。

UCR 中の UDRIE ビットが設定されると、UART 送信コンプリート割りこみは UDRE が設定されている限り実行されています。UDRE は UDR に書きこむことで消えます。割りこみで駆動されるデータ送信が使われている場合、UART データレジスタ空き割りこみルーチンは UDRE をクリアするために UDR に書きこまなければなりません。そうしないと、いったん割りこみルーチンが終了してしまうと、新しい割りこみが生じてしまいます。送信器が準備できたことを示すために、リセット期間中に UDRE が 1 に設定されます。

・ビット 4 FE : フレーミングエラー

このビットはフレーミングエラー状態が検出された場合（すなわち、入ってくるキャラクタのストップビットがゼロであるとき）このビットが設定されます。受信データのストップビットが 1 であるとき FE ビットがクリアされます。

・ビット 3 OR : オーバーラン

オーバーラン条件が検出された時、すなわち UDR 中にすでに存在しているキャラクタが、次のキャラクタが受信シフトレジスタへシフトされる前に読み込まれなかった場合、このビットが設定されます。OR ビットがバッファされています。つまり、UDRE 中にまだ残っているデータが読み込まれた場合、このビットが設定されます。

OR ビットはデータが UDR へ送受信された場合 OR ビットはクリアされます。

・ビット 0 ~ 2 : Res 予約ビット

これらのビットは AT90S2313 では予約されており常に 0 として読み込まれます。

UART コントロールレジスタ UCR

ビット	7	6	5	4	3	2	1	0	
\$0A(\$2A)	RXCIE	TXCIE	UDRIE	RXEN	TXEN	CHR9	RXB8	TXB8	UCR
読み込み	読/書	読/書	読/書	読/書	読/書	読/書	読	書	
書きこみ	(Read) / (Write)	(Read)	(Write)						
初期値	0	0	0	0	0	0	1	0	

・ビット 7 RXCIE : RX コンプリート割りこみ有効

このビットが 1 に設定されている時、USR 中の RXC ビットがを設定することにより受信コンプリート割りこみルーチンが実行されます。（グローバル割りこみが有効になっていたとした場合）

・ビット 6 TXCIE : TX コンプリート割りこみ有効

このビットが 1 に設定されていて、USR 中の TXC を設定することにより TX コンプリート割りこみルーチンが実行されます。（グローバル割りこみが有効になっていたとした場合）

AT90S2313

・ビット5 UDRIE: : UART データレジスタ

このビットが 1 に設定された時、USR 中の UDRE ビットを設定することにより、UART データレジスタ空き割りこみルーチンが実行されます。(グローバル割りこみが有効にしてある場合)

・ビット4 RXEN : 受信有効

1 に設定されるとこのビットにより UART 受信器が有効になります。レシーバが無効になると TXC,OR,FE ステータスフラッグは設定することができません。これらのフラッグが設定されてあって、RXEN を OFF にする場合はクリアされることはありません。

・ビット3 TXEN : 送信有効

1 に設定された時このビットにより UART トランスミッタが有効になります。キャラクタを送信している途中でトランスミッタを無効にしてもシフトレジスタや UDR 中のつづくキャラクタが完全に送信されるまで、トランスミッタが無効になることはありません。

・ビット2 CHR9 : 9 ビットキャラクタ

送受信キャラクタが 9 ビットとスタート・ストップビットになっている時にこのビットが設定されます。UCR 中の RXB8 と TXB8 ビットを使うことにより 9 番目のビットはそれぞれ読み・書きすることができます。9 番目のデータビットは余分なストップビットまたはパリティビットとして使うことができます。

・ビット1 RXB : 受信データビット 1

CHR9 が設定されているときは RXB8 は受信キャラクタの 9 番目のデータビットになります。

・ビット0 TXB8 : 送信データビット 8

CHR9 が 1 に設定されている場合 TXB8 は送信されるキャラクタの 9 番目のデータビットになります。

ボーレートジェネレータ

ボーレートジェネレータは次の式にしたがったボーレートを生成します。

$$\text{BAUD} = \frac{f_{\text{CK}}}{16(\text{UBRR} + 1)}$$

・ BAUD = ボーレート

・ f_{CK} = 水晶クロック周波数

・ UBRR = UART ボーレートレジスタの中身 (0 ~ 255)

標準的な水晶周波数に対して最も普通に使われているボーレートは表 15 の UBRR の設定を使って生成することができます。UBRR の値は表中で太い文字になっており、目標とするボーレートから 2% 以下の誤差のボーレートを出します。しかし、1% 以上の誤差を持つボーレートを使うことはお勧めできません。高い誤差に設定するとノイズに対して耐性が弱くなります。

AT90S2313

表 15 いろいろな水晶周波数での UBRR の設定

Baud Rate	1 MHz	%Error	1.8432 MHz	%Error	2 MHz	%Error	2.4576 MHz	%Error
2400	UBRR= 25	0.2	UBRR= 47	0.0	UBRR= 51	0.2	UBRR= 63	0.0
4800	UBRR= 12	0.2	UBRR= 23	0.0	UBRR= 25	0.2	UBRR= 31	0.0
9600	UBRR= 6	7.5	UBRR= 11	0.0	UBRR= 12	0.2	UBRR= 15	0.0
14400	UBRR= 3	7.8	UBRR= 7	0.0	UBRR= 8	3.7	UBRR= 10	3.1
19200	UBRR= 2	7.8	UBRR= 5	0.0	UBRR= 6	7.5	UBRR= 7	0.0
28800	UBRR= 1	7.8	UBRR= 3	0.0	UBRR= 3	7.8	UBRR= 4	6.3
38400	UBRR= 1	22.9	UBRR= 2	0.0	UBRR= 2	7.8	UBRR= 3	0.0
57600	UBRR= 0	7.8	UBRR= 1	0.0	UBRR= 1	7.8	UBRR= 2	12.5
76800	UBRR= 0	22.9	UBRR= 1	33.3	UBRR= 1	22.9	UBRR= 1	0.0
115200	UBRR= 0	84.3	UBRR= 0	0.0	UBRR= 0	7.8	UBRR= 0	25.0

Baud Rate	3.2768 MHz	%Error	3.6864 MHz	%Error	4 MHz	%Error	4.608 MHz	%Error
2400	UBRR= 84	0.4	UBRR= 95	0.0	UBRR= 103	0.2	UBRR= 119	0.0
4800	UBRR= 42	0.8	UBRR= 47	0.0	UBRR= 51	0.2	UBRR= 59	0.0
9600	UBRR= 20	1.6	UBRR= 23	0.0	UBRR= 25	0.2	UBRR= 29	0.0
14400	UBRR= 13	1.6	UBRR= 15	0.0	UBRR= 16	2.1	UBRR= 19	0.0
19200	UBRR= 10	3.1	UBRR= 11	0.0	UBRR= 12	0.2	UBRR= 14	0.0
28800	UBRR= 6	1.6	UBRR= 7	0.0	UBRR= 8	3.7	UBRR= 9	0.0
38400	UBRR= 4	6.3	UBRR= 5	0.0	UBRR= 6	7.5	UBRR= 7	6.7
57600	UBRR= 3	12.5	UBRR= 3	0.0	UBRR= 3	7.8	UBRR= 4	0.0
76800	UBRR= 2	12.5	UBRR= 2	0.0	UBRR= 2	7.8	UBRR= 3	6.7
115200	UBRR= 1	12.5	UBRR= 1	0.0	UBRR= 1	7.8	UBRR= 2	20.0

Baud Rate	7.3728 MHz	%Error	8 MHz	%Error	9.216 MHz	%Error	11.059 MHz	%Error
2400	UBRR= 191	0.0	UBRR= 207	0.2	UBRR= 239	0.0	UBRR= 287	-
4800	UBRR= 95	0.0	UBRR= 103	0.2	UBRR= 119	0.0	UBRR= 143	0.0
9600	UBRR= 47	0.0	UBRR= 51	0.2	UBRR= 59	0.0	UBRR= 71	0.0
14400	UBRR= 31	0.0	UBRR= 34	0.8	UBRR= 39	0.0	UBRR= 47	0.0
19200	UBRR= 23	0.0	UBRR= 25	0.2	UBRR= 29	0.0	UBRR= 35	0.0
28800	UBRR= 15	0.0	UBRR= 16	2.1	UBRR= 19	0.0	UBRR= 23	0.0
38400	UBRR= 11	0.0	UBRR= 12	0.2	UBRR= 14	0.0	UBRR= 17	0.0
57600	UBRR= 7	0.0	UBRR= 8	3.7	UBRR= 9	0.0	UBRR= 11	0.0
76800	UBRR= 5	0.0	UBRR= 6	7.5	UBRR= 7	6.7	UBRR= 8	0.0
115200	UBRR= 3	0.0	UBRR= 3	7.8	UBRR= 4	0.0	UBRR= 5	0.0

UART ボーレートレジスタ UBRR

ビット	7	6	5	4	3	2	1	0
\$09(\$29)	MSB							LSB
読み込み	読/書 (Read)							
書きこみ	読/書 (Write)							
初期値	0	0	0	0	0	0	0	0

UBRR レジスタは 8 ビット読みこみ/書きこみレジスタで前ページの公式に従って UART のボーレートが決まります。

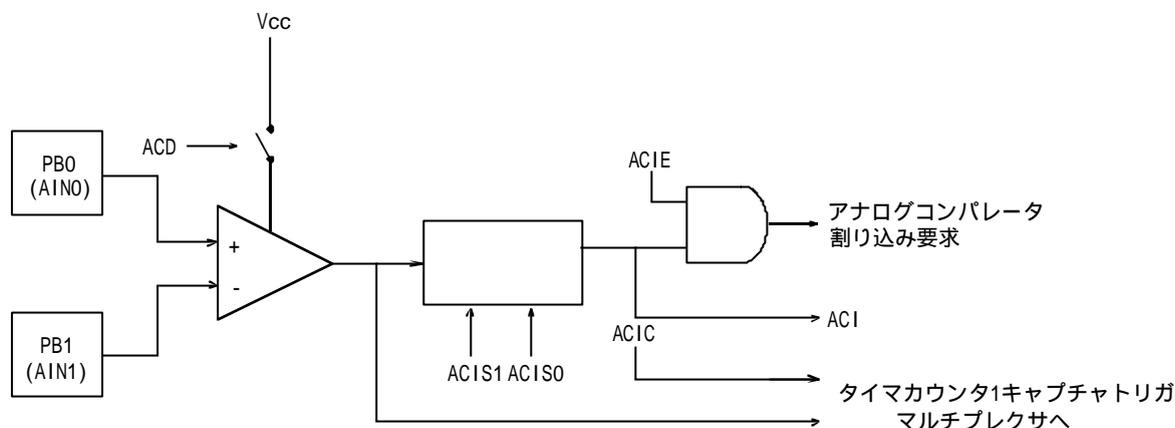
アナログコンパレータ

アナログコンパレータは正入力 AIN0(PB0)と負入力 AIN1(PB1)の入力値を比較します。正入力ピン PB1(AIN1)の電圧が負入力の値が高い時アナログコンパレータ出力 ACO が設定されます。コンパレータ出力はタイマカウンタ 1 入力キャプチャ機能をトリガする様に設定することもできます。加えて、コンパレータはアナログコンパレータとは独立した割りこみをトリガできます。割り込みを引き起こすタイミングはコンパレータ出力の立ち上が

AT90S2313

リ・立ち下がり・トグル（交互）に設定することができます。コンパレータと周辺のロジック回路は図 37 に示されています。

図 37 アナログコンパレータ ブロック図



アナログコンパレータコントロール・ステータスレジスタ ACSR

ビット	7	6	5	4	3	2	1	0	
\$08(\$28)	ACD	-	ACO	ACI	ACIE	ACIC	ACIS1	ACIS0	ACSR
読み込み・書きこみ	読/書 (Read) / (Write)	読 (Read)	読 (Read)	読/書 (Read) / (Write)					
初期値	0	0	0	0	0	0	0	0	

・ビット 7 ACD : アナログコンパレータ無効

このビットが 1 に設定されると、アナログコンパレータの電源が OFF になります。このビットはアナログコンパレータを OFF する時にはいつでも設定することができます。これにより、通常モードまたはアイドルモードでの消費電力を減らすことができます。ACD ビットを変更するときは、ACSR 中の ACIE ビットをクリアすることによってコンパレータ割りこみを無効にしておかなければなりません。そうでない場合、ビットが変わるときに割りこみが起こることがあります。

・ビット 6 Res : 予約ビット

このビットは AT90s2313 において予約ビットであり常に 0 として読み込まれます。

・ビット 5 ACO : アナログコンパレータ出力

ACO はコンパレータ出力に直接つながっています。

・ビット 4 ACI: アナログコンパレータ割りこみフラッグ

このビットは、コンパレータ出力が割りこみモードをトリガしたとき (ACIS1, ACIS0 でモードが定義) に設定されます。アナログコンパレータ割りこみルーチンは ACIE ビットが設定され、SREG 中の I ビットが設定される場合に実行されます。ACI は対応する割りこみルーチンが実行されるときにクリアされます。代わりに、ACI は論理 1 をフラッグに書きこむことにより 0 にクリアされ、割りこみは無効になります。

・ビット 3 ACIE : アナログコンパレータ割りこみ有効

AT90S2313

ACIE ビットが設定されステータスレジスタ中の I ビットが 1 に設定されるときに、アナログコンパレータ割りこみがアクティブになります。0 にクリアされると割りこみは無効になります。

・ビット 2 ACIC : アナログコンパレータ入力キャプチャ有効

このビットが 1 に設定されるとき、アナログコンパレータタイマカウンタ 1 の入力キャプチャ機能が有効になります。

・ビット 0 ACIS1, ACIS0 : アナログコンパレータ割りこみモード選択

これらのビットによりどのコンパレータイベントでアナログコンパレータ割り込みをトリガするのが決まります。

表 16 ACIS1/ACIS0 の設定

ACIS1	ACIS0	入力モード
0	0	出力がトグルするときにコンパレータ割りこみ
0	1	予約 (使用できません)
1	0	出力エッジ立ち下がりでコンパレータ割りこみ
1	1	出力エッジ立ち上がりでコンパレータ割りこみ

注意 : ACIS1/ACIS0 ビットを変える時、アナログコンパレータ割りこみは無効にしておかなければなりません。(ACSR レジスタ中の割りこみ有効ビットをクリア) そうでないとビットが変わったときに割り込みが起こることがあります。

I/O ポート

デジタル I/O ポートとして使われる場合、全 AVR ポートは、本当の意味での読み込み・修正・書きこみ機能を持っています。他のピンの方向を意図せず変えてしまうことなく、1 つのポートピンの方向を、SBI, CBI 命令で変更できることを意味しています。同様に (出力として構成されている場合) ドライブ値の変更、(入力設定の場合) プルアップ抵抗の有効・無効についてもいえます。

ポート B

ポート B は 8 ビットの双方向 I/O ポートです。

3 つのメモリアドレスがポート B に対して割り当てられており、それぞれ、データレジスタ PORTB \$18(\$38)、データ方向レジスタ DDRB\$17(\$37)、ポート B 入力ピン PINB は \$16(\$36)です。データレジスタとデータ方向レジスタが読み込み・書きこみができるのに対し、ポート B 入力ピンアドレスは、読み込み専用です。

全ポートピンは個々にプルアップ抵抗を選択可能です。ポート B 出力バッファは 20mA まで流し込むことができるので、LED ディスプレイを直接駆動できます。PB0~PB7 は入力として使われていて、外部的に L レベルにしてあるとき、内部レジスタが有効になると電流を流しだすこともできます。

ポート B ピンは次の表 17 に示されているような機能選択があります。

AT90S2313

表 17 ポート B ピンの選択機能

ポートピン	選択機能
PB0	AIN0(アナログコンパレータ正入力)
PB1	AIN1(アナログコンパレータ負入力)
PB3	OC1(タイマカウンタ1出力コンペアマッチの出力)
PB5	MOSI(メモリのダウンロード用のデータ入力ライン)
PB6	MISO(メモリのアップロード用のデータ出力ライン)
PB7	SCK(シリアルクロック入力)

ピンが選択機能を使うためには、DDRB と PORTB レジスタは、選択機能の説明に従って設定されなければなりません。

ポート B データレジスタ PORTB

ビット	7	6	5	4	3	2	1	0	
\$18(\$38)	PORTB7	PORTB6	PORTB5	PORTB4	PORTB3	PORTB2	PORTB1	PORTB0	PORTB
読み込み・書きこみ	読/書 (Read) / (Write)								
初期値	0	0	0	0	0	0	0	0	

ポート B 方向レジスタ DDRB

ビット	7	6	5	4	3	2	1	0	
\$17(\$37)	DDB7	DDB6	DDB5	DDB4	DDB3	DDB2	DDB1	DDB0	DDRB
読み込み・書きこみ	読/書 (Read) / (Write)								
初期値	0	0	0	0	0	0	0	0	

ポート B 入力アドレス PINB

ビット	7	6	5	4	3	2	1	0	
\$16(\$36)	PIN7	PIN6	PIN5	PIN4	PIN3	PIN2	PIN1	PIN0	PINB
読み込み・書きこみ	読/書 (Read) / (Write)								
初期値	Hi-Z								

ポート B 入力ピンアドレスは PINB はレジスタではありません。このアドレスでポート B ピンの物理値（実際にかかっている値）へのアクセスが有効になります。PORTB を読み込むとき、ポート B データラッチが読み込まれ、PINB を読み込むときは、ピン上の物理値が読みこまれます。

一般デジタル I/O としてのポート B

ポート B ピンは、デジタル I/O ピンとして使われているとき、全て同等の機能を持っています。

PBn、汎用 I/O ピン : DDRB レジスタ中の DDBn レジスタピンの方向が決まります。DDBn が 1 に設定されている時、PBn は出力ピンとして構成されます。DDBn がクリアされている場合、PBn は入力ピンとして構成されます。入力ピンとして構成されている時で、

AT90S2313

PORTBn が 1 に設定されている場合 MOS プルアップ抵抗がアクティブになります。プルアップ抵抗を OFF にするためには、PORTB をクリアにするか、出力ピンとして構成してください。リセット状態がアクティブになったとき、クロックが動いていなくても、トライステートになっています。

表 17 ポート B ピンの DDBn の効果

DDBn	PORTB	I/O	プルアップ抵抗	コメント
0	0	入力	OFF	トライステート (ハイインピーダンス状態)
0	1	入力	ON	L レベルにプルダウンされている場合、電流が流れ出ます。
1	0	出力	OFF	プッシュプルゼロ出力
1	1	出力	OFF	プッシュプル1 出力

n : 0 ~ 7 でピン番号

ポート B の選択機能

ポート B ピンの選択機能は :

・SCK ポート B、ビット 7

メモリのアップ・ダウンロードのクロック入力ピンです。

・MISO ポート B、ビット 6

MISO はメモリのアップロード用のデータ出力ピンです。

・MOSI ポート B、ビット 5

MOSI はメモリのダウンロード用のデータ入力ピンです。

・OC1 ポート B、ビット 3

OC1 は出力コンペアマッチの出力です。PB3 はタイマー1 コンペアマッチの外部出力として働きます。この機能を使うためには PB3 ピンが出力として構成 (DDB3 が 1 に設定) されていなければなりません。出力を有効にする方法やさらに詳しい説明に付いてはタイマーの説明を参照して下さい。

・AIN1 ポート B、ビット 1

AIN1 はアナログコンパレータの負入力です。出力として構成されていて (DDB1 が 1 に設定されていて)、内部 MOS プルアップ抵抗が OFF になっている (PB1 が 0 にクリアされている) 場合、このピンは内部アナログコンパレータの負入力ピンとして動作します。

・AIN0 ポート B、ビット 0

AIN0 はアナログコンパレータの正入力です。入力として構成されていて (DDB1 が設定されていて) MOS プルアップ抵抗が OFF になっている時 (PB0 が 0 にクリアされている) このピンは内部アナログコンパレータの正入力をして動作します。

ポート B の構成図

ポート B ピンは同期していることに注意。しかし、同期のためのラッチは図には示されていません。

AT90S2313

図 38 ポート B の回路図 (PB0 と PB1)

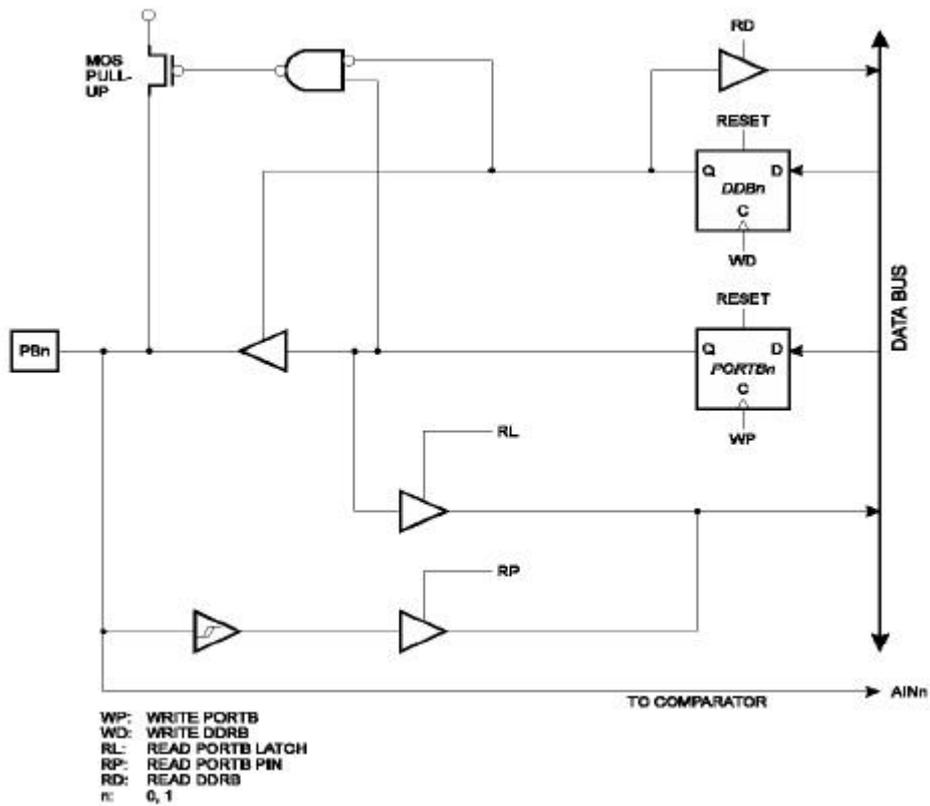
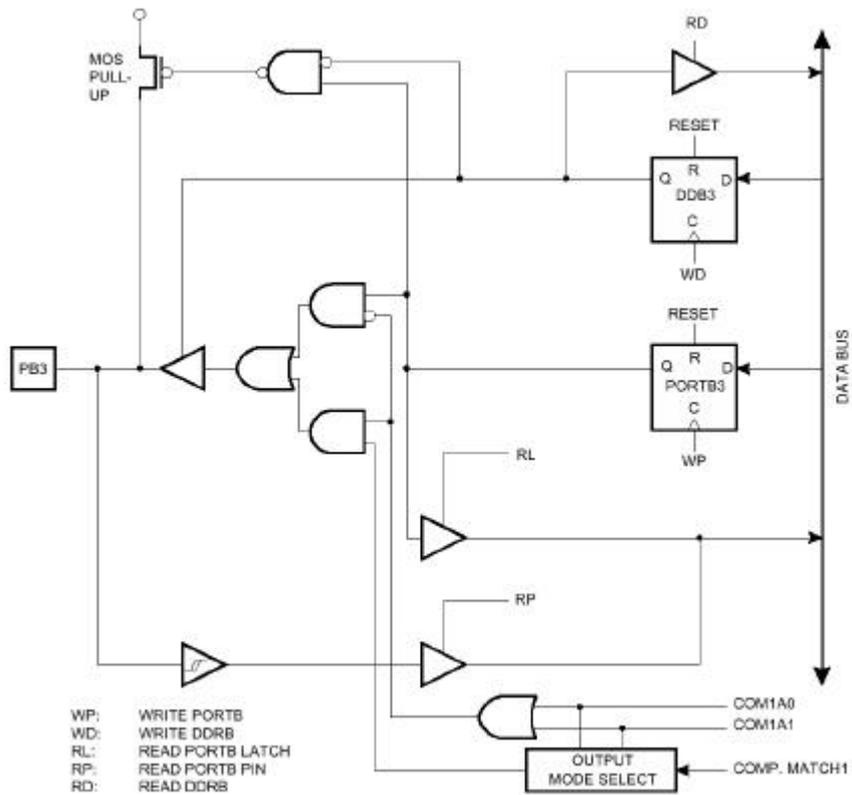


図 39 ポート B の回路図 (PB3)



AT90S2313

ポート D

3つのメモリアドレスがポート D に対して割り当てられており、それぞれ、データレジスタ PORTD \$12(\$32)、データ方向レジスタ DDRD\$11(\$31)、ポート D 入力ピン PIND は \$10(\$30)です。データレジスタとデータ方向レジスタが読み込み・書きこみができるのに対し、ポート D 入力ピンアドレスは、読み込み専用です。

ポート D は PD0~PD6 までの7つの双方向 I/O レジスタで、プルアップ抵抗がついていません。ポート D 出力バッファは 20mA まで流し込むことができます。入力としては外部から L レベルにプルダウンされたポート D ピンは、プルアップ抵抗が ON になっていると電流を流し出すことができます。

ポート D ピンのいくつかは次の表 19 に示されているような機能選択があります。

表 19 ポート D ピンの選択機能

ポートピン	選択機能
PD0	RXD(UART用の受信データ入力)
PD1	TXD(UART用の送信データ出力)
PD2	INT0(外部割りこみ0入力)
PD3	INT1(外部割りこみ1入力)
PD4	T0(タイマカウンタ0外部入力)
PD5	T1(タイマカウンタ1外部入力)
PD6	ICP(タイマカウンタ1入力キャプチャピン)

ピンが選択機能を使うためには、DDRD と PORTD レジスタは、選択機能の説明に従って設定されなければなりません。

ポート D データレジスタ PORTD

ビット	7	6	5	4	3	2	1	0	
\$12(\$32)	-	PORTD6	PORTD5	PORTD4	PORTD3	PORTD2	PORTD1	PORTD0	PORTD
読み込み・書きこみ	読 (Read)	読/書 (Read) / (Write)							
初期値	0	0	0	0	0	0	0	0	

ポート D 方向レジスタ DDRD

ビット	7	6	5	4	3	2	1	0	
\$11(\$31)	-	DDD6	DDD5	DDD4	DDD3	DDD2	DDD1	DDD0	DDRD
読み込み・書きこみ	読 (Read)	読/書 (Read) / (Write)							
初期値	0	0	0	0	0	0	0	0	

ポート D 入力アドレス PIND

ビット	7	6	5	4	3	2	1	0	
\$10(\$30)	-	PIND6	PIND5	PIND4	PIND3	PIND2	PIND1	PIND0	PIND
読み込み・書きこみ	読 (Read)	読/書 (Read) / (Write)							
初期値	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	

AT90S2313

ポート D 入力ピンアドレスは PIND はレジスタではありません。このアドレスでポート D ピンの物理値（実際にかかっている値）へのアクセスが有効になります。PORTD を読み込むとき、ポート D データラッチが読み込まれ、PIND を読み込むときは、ピン上の物理値が読みこまれます。

一般デジタル I/O としてのポート D

ポート D ピンは、デジタル I/O ピンとして使われているとき、全て同等の機能を持っています。

PDn、汎用 I/O ピン : DDRD レジスタ中の DDDn レジスタピンの方向が決まります。DDDn が 1 に設定されている時、PDn は出力ピンとして構成されます。DDDn がクリアされている場合、PDn は入力ピンとして構成されます。入力ピンとして構成されている時で、PORTDn が 1 に設定されている場合 MOS プルアップ抵抗がアクティブになります。プルアップ抵抗を OFF にするためには、PORTD をクリアにするか、出力ピンとして構成してください。リセット状態がアクティブになったとき、クロックが動いていなくても、トライステートになっています。

表 18 ポート D ピンの DDDn の効果

DDBn	PORTB	I/O	プルアップ抵抗	コメント
0	0	入力	OFF	トライステート（ハイインピーダンス状態）
0	1	入力	ON	Lレベルにプルダウンされている場合、電流が流れ出ます。
1	0	出力	OFF	プッシュプルゼロ出力
1	1	出力	OFF	プッシュプル1出力

n : 0 ~ 7 でピン番号

ポート D の選択機能

ポート D の選択機能は

・ICP ポート D、ビット 6

タイマカウンタ 1 入力キャプチャピン。詳しくはタイマカウンタ 1 の説明を見てください。

・T1 ポート D、ビット 5

T1 はタイマクロック 1 のクロックソースです。詳しくはタイマの説明を見てください。

・T0 ポート D、ビット 4

T0 はタイマカウンタ 0 のクロックソースです。詳しくはタイマの説明を見てください。

・INT1 ポート D、ビット 2

INT0 外部割りこみソース 1 です。PD3 ピンは MCU に対して外部割りこみソースとして働きます。ソースを有効にする方法などの詳しいことは割りこみの説明を見てください。

・INT0 ポート D、ビット 2

INT0 外部割りこみソース 0 です。PD2 ピンは MCU に対して外部割りこみソースとして働きます。ソースを有効にする方法などの詳しいことは割りこみの説明を見てください。

AT90S2313

・TXD0 ポート D、ビット 1

送信データ (UART 用のデータ出力ピン) です。UART 送信器が有効になると DDRD1 の出力設定に関わらず、ピンは出力として構成されます。

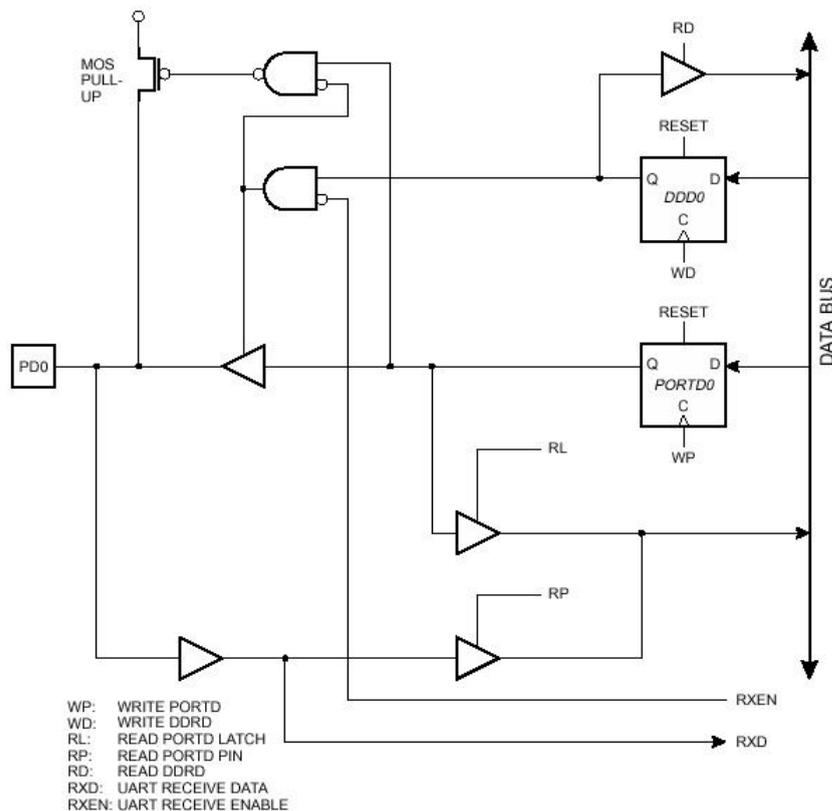
・RXD0 ポート D、ビット 0

受信データ (UART 用のデータ入力ピン) です。UART 受信器が有効になると DDRD0 の出力設定に関わらず、ピンは入力として構成されます。UART がこのピンを強制的に入力にすると PORTD0 を論理 1 にすると、内部プルアップ抵抗が ON になります。

ポート D の回路図

全ポートピンが同期していることに注意して下さい。しかし、同期ラッチは図には示されていません。

図 44 ポート D 回路図 (PD0 ピン)



AT90S2313

図 47 ポート D 回路図 (PD4,PD5 ピン)

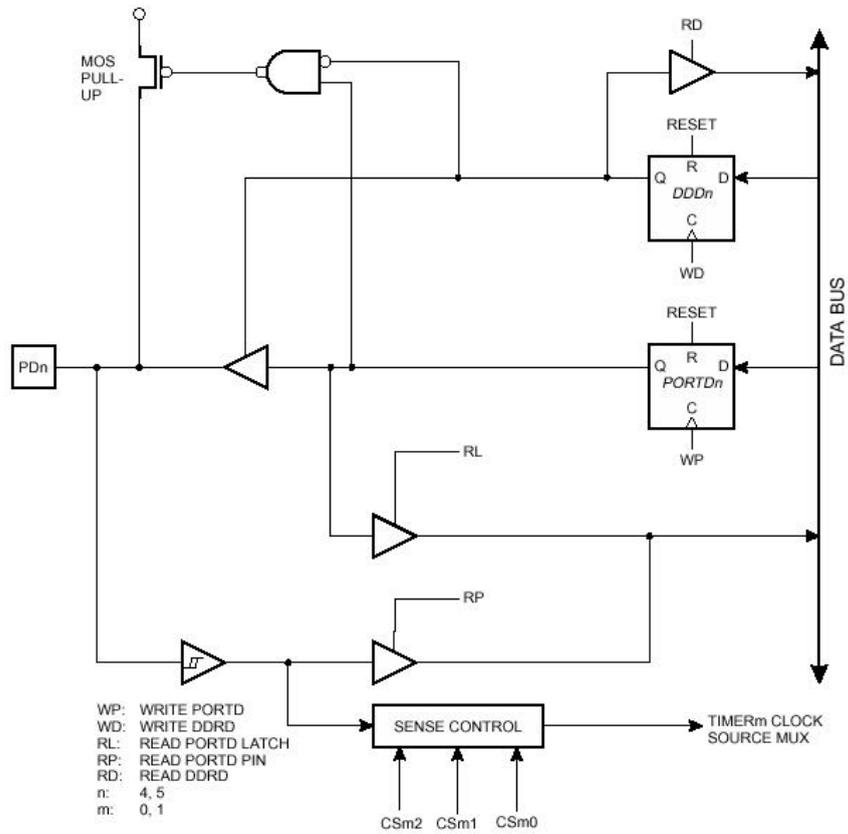
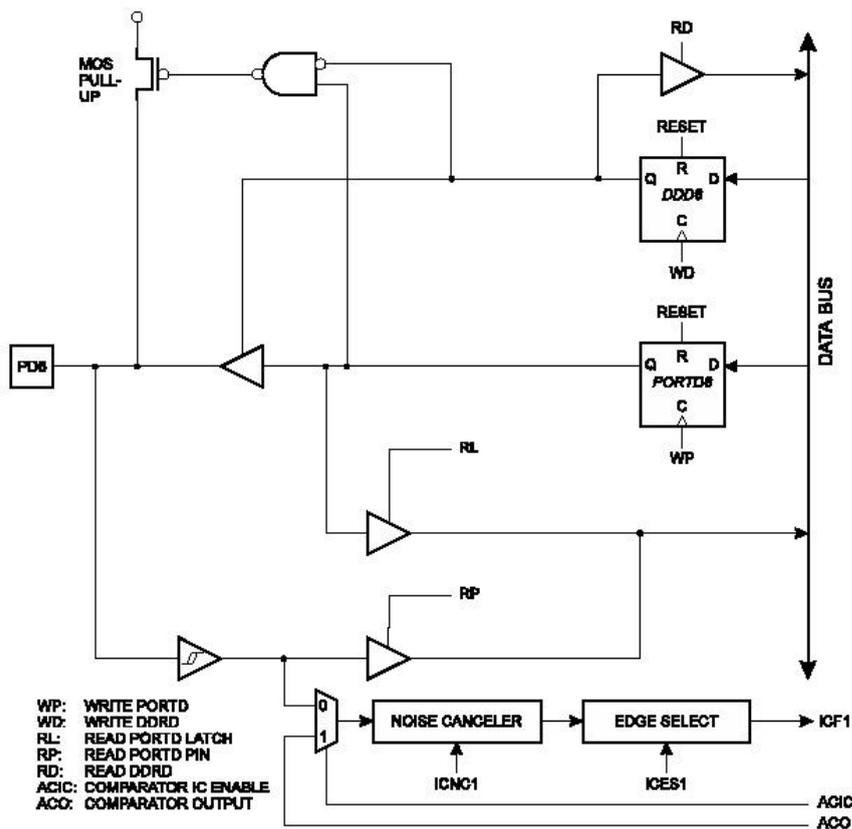


図 48 ポート D 回路図 (PD6 ピン)



AT90S2313

メモリのプログラミング

AT90S2313 の MCU は 2 つのロックビットを持っており、非プログラム「0」、プログラム「1」状態にして表 21 のような特性を得ることができます。ロックビットはチップ消去動作でのみ消去することができます。

表 21 ロックビット保護モード

メモリロックビット			保護の種類
モード	LB1	LB2	
1	1	1	メモリロック機能は有効になっていません
2	0	1	フラッシュと EEPROM の追加プログラミングが無効になっています。 ⁽¹⁾
3	0	0	モード 2 と同じです。ペリファイもできません。

注意：

1. パラレルプログラミングモードにおいて、ヒューズビットを何度もプログラムすると無効になります。ロックビットをプログラムする前にヒューズビットをかけてください。

ヒューズビット

- ・ AT90S2313 は 2 つのヒューズビット SPIEN と FSTRT を持っています。
SPIEN ヒューズがプログラム「0」されている時、シリアルプログラムのデータダウンロードが有効になります。標準値は「0」です。
- ・ FSTRT ヒューズがプログラムされるとき、短い立ち上がり時間が選択できます。標準値は「0」です。このビットをあらかじめ 0 にプログラムしてある製品も需要に応じてお届けしています。

シリアルプログラミングモードではヒューズビットはアクセスできません。ヒューズビットの状態ではチップ消去でも変わりません。

署名バイト

全 Atmel マイクロコントローラは 3 バイトの署名バイトを持っており、デバイスの ID として使います。このコードは、シリアル・パラレルの両モードで読み込むことができます。これらの 3 つのバイトは、1 つの独立したアドレス空間にあります。

AT90S2313 に対し、

1. \$000 : \$1E (Atmel 製品であることを示します。)
2. \$001 : \$91 (2k バイトのフラッシュメモリを示します。)
3. \$002 : \$01 (署名バイト \$001 は \$91 になっている場合、AT90S2313 であることを示します)

注意 1 : ロックビットがプログラムされる (ロックモード 3) ととき、署名バイトは、シリアルプログラミングモード (低い電圧) で読み込むことができません。署名ビットを読み込むと次の値を返します。: \$01,\$02,\$03

AT90S2313

フラッシュと EEPROM のプログラミング

Atmel の AT90S2313 には 2k バイトのシステム内蔵プログラム可能フラッシュプログラムメモリと 128 バイトの EEPROM データメモリがあります。

AT90S2313 は内蔵フラッシュプログラムと EEPROM データメモリ消去された状態（すなわち中身 = \$FF）で並んでおり、プログラムする準備ができています。

デバイスは、高電圧（12V）パラレルプログラミングモードとシリアルプログラミングモード（低い電圧）があります。+12V はプログラミング有効にするためにだけ使われ、このピンからは重要な電流が流れてくることはありません。シリアルプログラミングモード（低い電圧）では、ユーザのシステム中にあるデバイスへプログラムやデータのダウンロードができます。

AT90S2313 中の EEPROM と PROGRAM メモリはどのプログラミングモードでもバイトごとにプログラムされます。EEPROM に対して、シリアルプログラミングモード（低い電圧）のセルフタイム書きこみ命令の中で自動消去サイクルが作られます。

プログラミング中に供給電圧は、表 22 と一致していなければなりません。

表 22 プログラミング中の電源電圧

型番	シリアルプログラミング	パラレルプログラミング
AT90S2313	2.7-6.0V	4.5-5.5V

パラレルプログラミング

この節では、AT90S2313 中のフラッシュプログラムメモリ、EEPROM データメモリ、ロックビット、ヒューズビットのパラレルプログラム・ベリファイの方法を説明しています。

信号名

この節では AT90S2313 のピンのいくつかは、信号名が参照されます。信号名はパラレルプログラミング中の機能を表しています。図 49 と表 32 を参照して下さい。表 23 にないピンはピン名で参照されています。

XA1, XA0 ピンは XTAL1 に正のパルスを与えたときに実行される動作を決定します。表 24 にビットのコード化を示してあります。

WR と OE にパルスを加えたとき、ロードされたコマンドで実行される動作が決まります。コマンドは、表 25 に示されているような機能が割り当てられたビットをもつバイトです。

AT90S2313

図 49 パラレルプログラミング

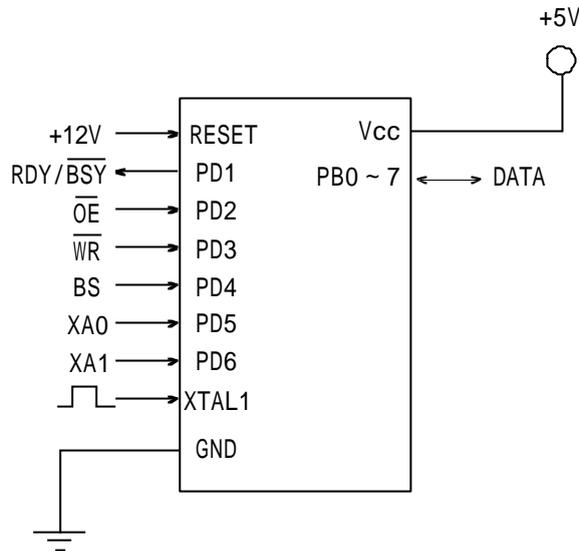


表 23 ピン名のマッピング

プログラミングモード中の信号	ピン名	ピン方向	機能
RDY/BSY	PD1	出力	0: デバイスはプログラム中でBUSY状態。 1: デバイスは新しいコマンドの準備ができています。
OE	PD2	入力	出力有効 (アクティブ時にL)
OR	PD3	入力	書きこみパルス (アクティブにL)
BS	PD4	入力	バイト選択 (0で下位バイト選択、1で上位バイト選択)
XA0	PD5	入力	XTAL動作ビット0
XA1	PD6	入力	XTAL動作ビット1
DATA	PB0~	入出力	双方向データバス (OEがLレベルの時出力)

表 24 XA1 と XA0 のコ - ド化

XA1	XA0	XTAL1にパルスが与えられたときの動作
0	0	フラッシュまたはEEPROMアドレスのロード (BSIによって上位バイトアドレスか下位バイトアドレスかが決まります。)
0	1	フラッシュまたはEEPROMデータのロード (BSIによって上位バイトデータか下位バイトデータかが決まります。)
1	0	コマンドのロード
1	1	なにもしません

表 25 コマンドバイトのビットコード化

バイトのコマンド	実行されるコマンド
1000 0000	チップ消去
0100 0000	ヒューズビットの書きこみ
0010 0000	ロックビットの書きこみ
0001 0000	フラッシュの書きこみ
0001 0001	EEPROMの書きこみ
0000 1000	署名バイトの読み込み
0000 0100	ヒューズとロックビットの読み込み
0000 0010	フラッシュの読み込み
0000 0011	EEPROMの読み込み

AT90S2313

プログラミングモードにはいる

次のアルゴリズムによりデバイスがパラレルプログラミングモードに入ります。

1. 表 22 に従って Vcc と GND の間で電圧を加えてください。
2. RESET と BS ピンを 0 に設定して少なくとも 100n 秒待ってください。
3. 11.5 ~ 12.5V で RESET を加えてください。+12V がリセットに加えられて 100ns 以内に BS 上に動作があると、デバイスがプログラミングモードに入ることができません。

チップ消去

チップ消去コマンドでフラッシュと EEPROM とロックビットが消去できます。フラッシュと EEPROM が完全に消去されるまで、ロックビットはリセットされることはありません。ヒューズビットが変わることはありません。フラッシュまたは EEPROM も再プログラムされる前にチップ消去が行われなければなりません。

「チップ消去」コマンドのロード

1. XA1, XA0 から 10 に設定して下さい。これによりコマンドのロードが有効になります。
2. BS が 0 に設定して下さい。
3. DATA を「1000 0000」に設定して下さい。これがチップ消去のコマンドです。
4. XTAL1 に正パルスを与えてください。これによりコマンドがロードされます。
5. WR に対して t_{WLWH_CE} の幅の負パルスを与えるとチップ消去が実行されます。 t_{WLWH_CE} の値については表 26 を参照して下さい。チップ消去をしても RDY/BSY ピン上で信号は生成されません。

フラッシュのプログラミング

A: 「フラッシュの書きこみ」コマンドのロード

1. XA1, XA0 を 10 に設定して下さい。これにより、コマンドのロードが有効になります。
2. BS を 0 に設定して下さい。
3. DATA を「0001 0000」設定して下さい。これは、「フラッシュの書きこみ」用のチップ消去コマンドです。
4. XTAL1 に正パルスを与えてください。これによりコマンドがロードされます。

B: アドレスの上位バイトのロード

1. XA0, XA1 を 00 に設定して下さい。これによりアドレスのロードを有効になります。
2. BS を 1 に設定して下さい。これで上位バイトを選択します。
3. DATA=アドレスの上位バイト (\$00 ~ \$03)
4. XTAL1 に正パルスを与えてください。これにより、アドレスの上位バイトがロードされます。

C: 下位アドレスのロード

1. XA1, XA0 を 00 に設定して下さい。これによりアドレスのロードが有効になります。

AT90S2313

2. BS を 0 に設定して下さい。これにより下位バイトを選択します。
3. DATA=下位バイトのアドレス(\$00~\$FF)を設定して下さい。
4. XTAL1 に正パルスを与えてください。これにより、アドレスの下位バイトがロードされます。

D：データ下位バイトのロード

1. XA1,XA0 を「01」に設定して下さい。
2. DATA=データの下位バイト(\$00~\$FF)に設定
3. XTAL1 に正パルスを与えてください。

E：データの下位バイトを書きこむ

1. BS を 0 に設定して下さい。下位バイトを選択します。
2. WR に負パルスを与えて下さい。これによりデータバイトのプログラミングが始まります。RDY/BSY は L レベルになります。
3. RDY/BSY は次のバイトをプログラムするために H レベルになります。
(信号波形は図 50 を参照して下さい。)

F：上位データバイトのロード

1. XA1,XA0 を「01」に設定して下さい。これによりデータのロードが有効になります。
2. DATA=データの上位バイト(\$00~\$FF)に設定します。
3. XTAL1 に正パルスを加えてください。これによりデータの上位バイトをロードします。

G：データ上位バイトの書きこみ

1. BS を 1 に設定して下さい。これで上位データを選択します。
2. WR に負パルスを与えてください。これによりデータバイトのプログラミングが始まります。次のバイトをプログラムするために RDY/BSY が H レベルになります。

(波形用に図 51 を参照)

ロードされたコマンドとアドレスは、プログラムしているデバイスの中で保持されたままになっています。効率的にプログラミングを行うために、次のことを考慮して下さい。

- ・多様なメモリロケーションを読み込んだり書きこんだりするときにコマンドがロードされる必要があります。
- ・アドレスの上位バイトはフラッシュ中で新しく 256 ワードをプログラミングする前にロードされる必要があります。
- ・チップ消去のあと、全フラッシュや EEPROM の内容が\$FF の書き込みを省略します。

AT90S2313

表 50 フラッシュのプログラミング

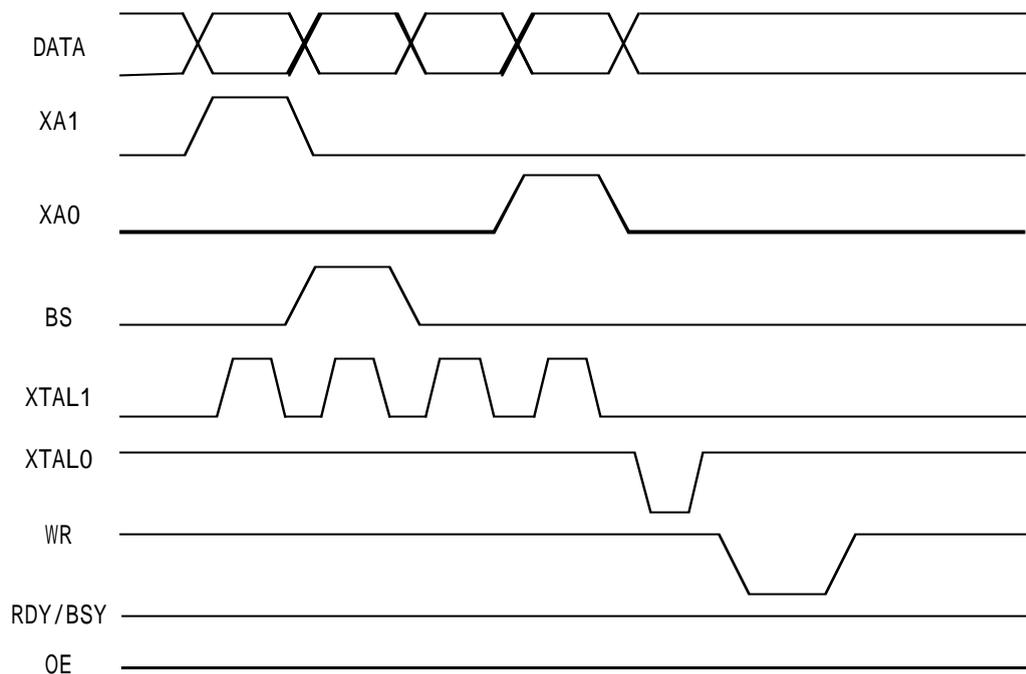
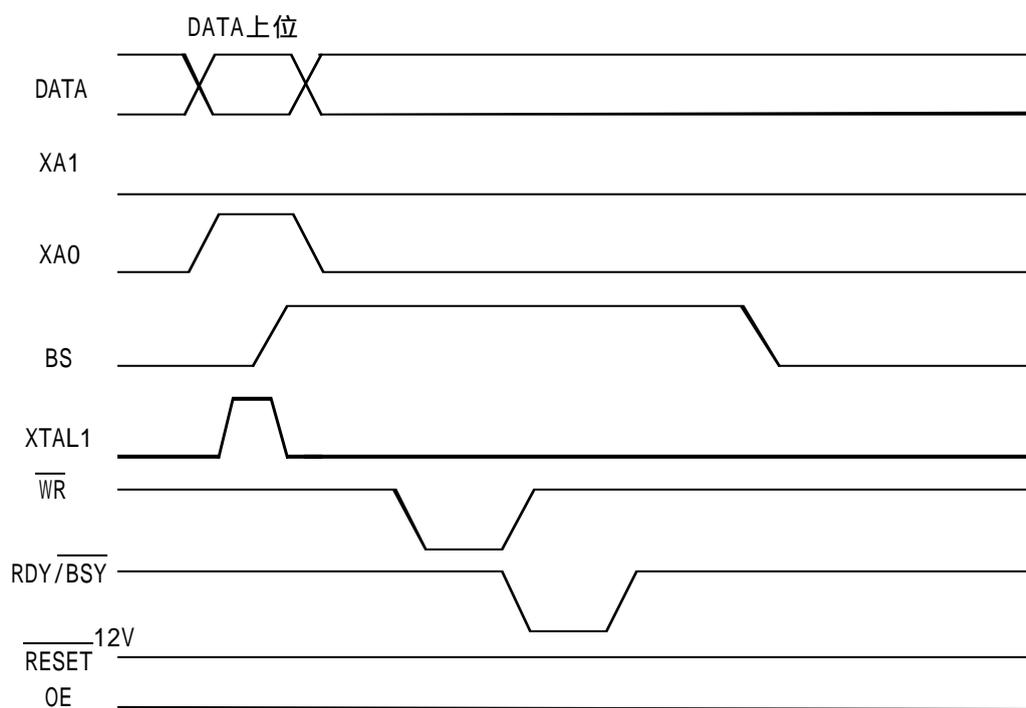


表 51 フラッシュのプログラミング(続き)



AT90S2313

フラッシュの読み込み

フラッシュメモリの読み込みアルゴリズムは次の通りです。コマンドとアドレスのロードについての詳細はフラッシュのプログラミングを参照して下さい。）

1. A : ロードコマンド「0000 0010」
2. B : 上位バイトアドレスのロード\$00~\$03
3. C : 下位バイトアドレスのロード\$00~\$FF
4. OE を 0 に、BS を 0 に設定して下さい。フラッシュワードの下位バイトは現在 DATA で読み込むことができます。
5. BS を 1 に設定して下さい。フラッシュワードの上位バイトは DATA から読み込むことができます。
6. OE を 1 に設定して下さい。

EEPROM のプログラミング

EEPROM のプログラミングアルゴリズムは次の通りです。（コマンド、アドレス、データのダウンロードの詳細はフラッシュのプログラミングを参照して下さい。）

1. A : ロードコマンド「0001 0001」
2. C : アドレス下位バイトのロード(\$00~\$7F)
3. D : データ下位バイトのロード (\$00~\$FF)
4. E : データ下位バイトの書きこみ

EEPROM の読み込み

EEPROM メモリ読み込み用のアルゴリズムは次の通りです。（コマンドとアドレスのロードについての詳細はフラッシュのプログラミングを参照して下さい。）

1. A : ロードコマンド「0000 0011」
2. C : 下位バイトアドレスのロード (\$00~\$7F)
3. OE を 0 に BS を 0 に設定して下さい。EEPROM のデータバイトは現在 DATA で読み込むことができます。
4. OE を 1 に設定して下さい。

ヒューズビットのプログラミング

ヒューズビットのプログラミングのアルゴリズムは次の通りです。（コマンドとデータのロードの詳細はフラッシュのプログラミングを参照して下さい。）

1. A : ロードコマンド 「0100 0000」
2. D : データ下位バイトのロード。ビット n=0 でヒューズビットのプログラム、ビット n=1 でヒューズビットを消去します。
ビット 5 = SPIEN ヒューズビット
ビット 0 = FSTRT ヒューズビット

AT90S2313

ビット 6~7、ビット 1~4 = 1 これらは予約ビットで未プログラム状態「1」にしておいて下さい。

3. プログラミングを実行するために WR に t_{WLWH_PFB} の長さの負パルスを加えてください。
 t_{WLWH_PFB} は表 26 に示してあります。ヒューズビットのプログラミングをしても RDY/BSY 上で何も生成することはありません。

ロックビットのプログラミング

ロックビットのプログラミングは次の通りです。(コマンドとデータのロードについてはフラッシュのプログラミングを参照して下さい。)

1. A : ロードコマンド「0010 0000」
2. D : データ下位バイトのロード。ビット $n=0$ でロックビットをプログラムします。
ビット 2 = ロックビット 2
ビット 1 = ロックビット 1
ビット 0,3~7 = 「1」 これらは予約ビットで未プログラム状態「1」にしておいて下さい。

3. データ下位バイトの書きこみ

ロックビットはチップ消去を行うことによるのみ消去できます。

ヒューズとロックビットの読み込み

ヒューズのロックビットの読み込みのアルゴリズムは次の通りです。(コマンドのロードについての詳細はフラッシュのプログラミングを参照して下さい。)

1. A : ロードコマンド「0000 0100」
2. OE を 0 に、BS を 1 に設定して下さい。ヒューズとロックビットの状態は現在 DATA で読み込むことができます。(「0」はプログラム状態を意味します。)
ビット 7 = ロックビット 1
ビット 6 = ロックビット 2
ビット 5 = SPIEN ヒューズビット
ビット 0 = FRTST ヒューズビット
3. OE を 1 に設定して下さい
BS は 1 に設定しておく必要があることに注意して下さい。

署名バイトの読み込み

署名バイトの読み込みのアルゴリズムは次の通りです。(コマンドとアドレスのロードの詳細はフラッシュのプログラミングを参照して下さい。)

1. A : ロードコマンド「0000 0000」
2. C : 下位バイトアドレスのロード (\$00 ~ \$02)

AT90S2313

OE を 0 に BS を 0 に設定して下さい。(\$ 00 ~ \$ 02) 選択した署名バイトが現在 DATA で読み込むことができます。

3. OE を 1 に設定して下さい。

パラレルプログラミングの特性

図 52 パラレルプログラミングタイミング

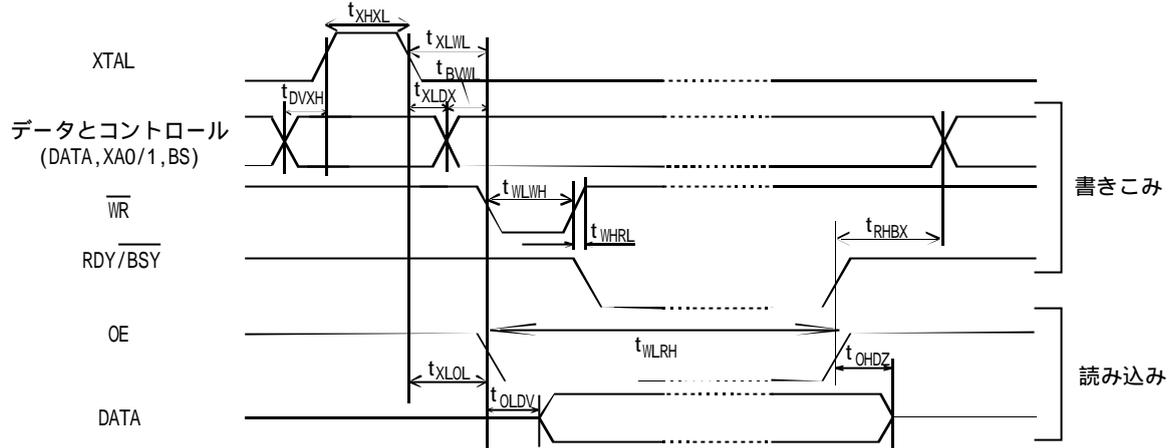


表 26 パラレルプログラミングの特性

Symbol	Parameter	Min	Typ	Max	Units
V_{PP}	Programming Enable Voltage	11.5		12.5	V
I_{PP}	Programming Enable Current			250	μA
t_{DVXH}	Data and Control Setup before XTAL1 High	67			ns
t_{XHL}	XTAL1 Pulse Width High	67			ns
t_{XLDX}	Data and Control Hold after XTAL1 Low	67			ns
t_{XLWL}	XTAL1 Low to \overline{WR} Low	67			ns
t_{BWWL}	BS Valid to \overline{WR} Low	67			ns
t_{RHBX}	BS Hold after RDY/BSY High	67			ns
t_{WLWH}	\overline{WR} Pulse Width Low ⁽¹⁾	67			ns
t_{WHRL}	\overline{WR} High to RDY/BSY Low ⁽²⁾		20		ns
t_{WLRH}	\overline{WR} Low to RDY/BSY High ⁽²⁾	0.5	0.7	0.9	ms
t_{XLLOL}	XTAL1 Low to \overline{OE} Low	67			ns
t_{OLDV}	\overline{OE} Low to DATA Valid		20		ns
t_{OHDZ}	\overline{OE} High to DATA Tri-stated			20	ns
t_{WLWH_CE}	\overline{WR} Pulse Width Low for Chip Erase	5	10	15	ms
t_{WLWH_PFB}	\overline{WR} Pulse Width Low for Programming the Fuse Bits	1.0	1.5	1.8	ms

注意 1: チップ消去用に t_{WLWH_CE} ヒューズプログラミング用に t_{WLWH_PFB} を使ってください。

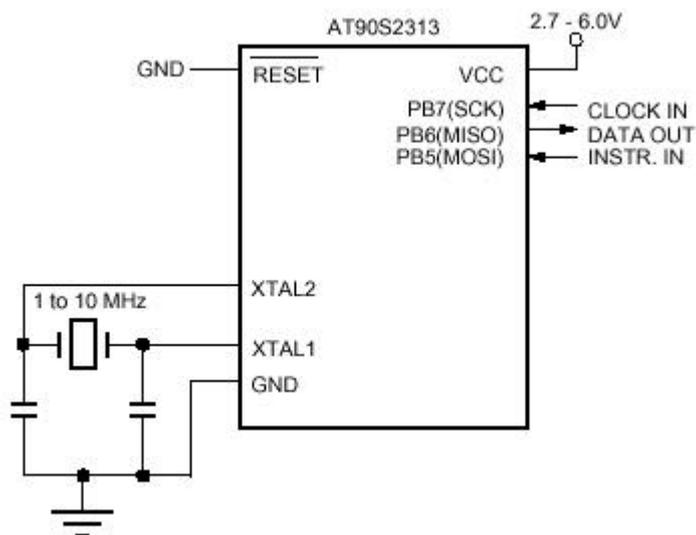
2: t_{WLWH} が t_{WLRH} より長く保たれている場合、RDY/BSY パルスは見られません。

AT90S2313

シリアルダウンロード

プログラムとデータメモリの配列は、RESET が GND にプルダウンされている間 SPI バスを使ってプログラムされます。シリアルインターフェイスは SCK, MOSI(入力), MISO(出力)のピンからなります。図 53 を参照して下さい。RESET が L レベルになった場合、プログラム有効命令は、プログラム・消去命令が実行される前にまず行われなければなりません。

表 53 シリアルプログラミングとベリファイ



EEPROM に対して、自動消去プログラムはセルフタイムの書きこみ命令内で実行され、チップ消去を最初に行う必要はありません。プログラムと EEPROM 配列中の全メモリの内容をチップ消去命令で \$FF へ戻します。

プログラム・EEPROM メモリ配列はアドレス空間がわかれています。\$0000 ~ \$03FF はプログラムフラッシュメモリ用で \$000 ~ \$07F は EEPROM データメモリ用です。

XTAL1 に供給されている外部クロックまたは水晶は XTAL1 と XTAL2 を横切って接続されなければいけません。シリアルクロックの L-H の最小時間は次の様に定義されます。

L レベル : $2 * XTAL1$ クロックサイクル

H レベル : $2 * XTAL1$ クロックサイクル

シリアルプログラミングのアルゴリズム

AT90S2313 へシリアルデータを書きこむときは SCK の立ち上がりエッジでデータがクロックされます。AT90S2313 からデータを読み込むときは、SCK の立ち下がりエッジでデータがクロックされます。タイミングの詳細は図 54、図 55、表 29 を参照して下さい。

シリアルプログラミングモードで AT90S2313 をプログラム・ベリファイするために、次の手順を推奨しています。(表 28 の 4 バイトの命令フォーマットを参照して下さい。)

AT90S2313

1. パワーアップシーケンス：RESET と SCK が 0 に設定されている間に、Vcc と GND 間に電力をかけてください。水晶が XTAL1 と XTAL2 をはさんでつながっていない場合、クロック信号を XTAL1 に加えてください。システムによっては立ち上がりの間に SCK が L レベルに保たれていない場合があります。この場合 RESET は SCK が 0 に設定されてから、再短で 2 クリスタルサイクルの間継続して、正パルスを与えられなければなりません。
2. 少なくとも 20m 秒待って MOSI ピンにシリアル有効のプログラムを送ることに よってシリアルプログラムを有効にして下さい。
3. 通信が同期できない場合はシリアルプログラミング命令が働きません。同期して いる場合二番目のバイトが、プログラム有効命令の 3 番目のバイトを出している時 にエコーバックしてきます。エコーがただしかろうとなかろうと全 4 バイト命令が 送信されなければなりません。\$53 がエコーバックしない場合、SCK に正パルスと 与えて、新しいプログラム有効命令を発してください。32 回の試行のうち\$53 が見 られない場合、機能するデバイスがつかない場合があります。
4. チップ消去が実行される（フラッシュを消去するために行わなければなりません。） 場合、命令後 `twd_ERASE` 待って RESET に正パルスを与えて、ステップ 2 からやりな おしてください。`twd_ERASE` の値については 78 ページの表 30 を参照して下さい。
5. フラッシュと EEPROM 配列は正しく書きこむ命令を使うことによりアドレスとデ ータと一緒に供給し 1 度に 1 バイトプログラムされます。EEPROM のメモリロケ ーションは新しくデータが書きこまれる前にまず自動的に消去されなければなりま せん。フラッシュメモリや EEPROM にいつ次のバイトを書きこんで良いかを検出 するためにデータポーリングを行ってください。データをチェックしていない場合、 次の命令を送信する前に `twd_PROG` の間待ってください。`twd_PROG` の値については 79 ページの表 31 を参照して下さい。消去されたデバイスではデータファイル中に \$FF はプログラムしておく必要はありません。
6. 読み込み命令を使ってどんなメモリロケーションでもベリファイでき、選択されたア ドレスの内容がシリアル出力 MISO(PB6)ピンでの値を返します。
7. プログラミングのセッションの終わりに、通常の動作を実行するために H レベルに 設定しなければなりません。
8. パワーOFF シーケンス（必要な場合）
XTAL1 を「0」に設定して下さい。
RESET を 1 に設定する。
Vcc の電源を OFF にする。

EEPROM のデータポーリング

1 バイトが EEPROM へプログラムされる場合、プログラムされているアドレスを読み込ん

AT90S2313

でいる間は、自動消去が終わるまで P1 の値になり、そのあと P2 の値になります。P1 と P2 の値については、表 27 を参照してください。

デバイスが新しい EEPROM バイトに対して準備ができている時には、プログラム値が正しく読み込まれます。これは、いつ次のバイトを書きこむことができるかを定めるために使います。これは P1 と P2 の値に対して働かないため、これらの値をプログラムするときは、次のバイトをプログラムするまで、少なくとも規定の時間 t_{WD_PROG} だけ待たなければいけません。 t_{WD_PROG} の値については表 30 を参照してください。チップ消去されたデバイスは全ロケーションで \$FF になっているので、\$FF を含んでいるアドレスのプログラミングはスキップされます。最初にチップ消去されたデバイス以外では EEPROM が再プログラムされてもこれは、適用されません。

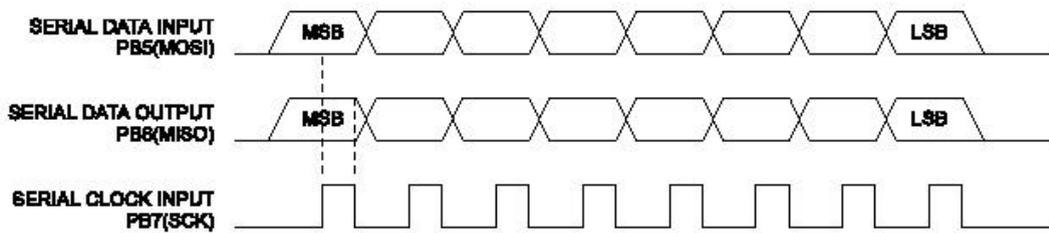
表 27 EEPROM のポーリング中の間の読み返し値

型番	P1	P2
AT90S2313	\$80	\$7F

フラッシュのデータポーリング

フラッシュにバイトがプログラムされている場合、プログラムされているアドレスを読み込むと \$7F になります。デバイスが新しいバイトに対して準備ができている時には、プログラム値が正しく読み込まれます。これは、いつ次のバイトを書きこむことができるかを定めるために使います。これは値 \$7F に対しては働かないため、これらの値をプログラムするときは、次のバイトをプログラムするまで、少なくとも規定の時間 t_{WD_PROG} だけ待たなければいけません。チップ消去されたデバイスは全ロケーションで \$FF になっているので、\$FF を含んでいるアドレスのプログラミングはスキップされます。

図 54 低電圧シリアルダウロード波形



AT90S2313

表 28 シリアルプログラム命令一覧

Instruction	Instruction Format				Operation
	Byte 1	Byte 2	Byte 3	Byte 4	
Programming Enable	1010 1100	0101 0011	xxxx xxxx	xxxx xxxx	Enable Serial Programming while RESET is low.
Chip Erase	1010 1100	100x xxxx	xxxx xxxx	xxxx xxxx	Chip Erase Flash and EEPROM memory arrays.
Read Program Memory	0010 H000	xxxx xxaa	bbbb bbbb	oooo oooo	Read H (high or low) data o from Program memory at word address a:b.
Write Program Memory	0100 H000	xxxx xxaa	bbbb bbbb	iiii iiii	Write H (high or low) data i to Program memory at word address a:b.
Read EEPROM Memory	1010 0000	xxxx xxxx	xbbb bbbb	oooo oooo	Read data o from EEPROM memory at address b.
Write EEPROM Memory	1100 0000	xxxx xxxx	xbbb bbbb	iiii iiii	Write data i to EEPROM memory at address b.
Write Lock Bits	1010 1100	111x x21x	xxxx xxxx	xxxx xxxx	Write Lock bits. Set bits 1,2=0' to program Lock bits.
Read Signature Bytes	0011 0000	xxxx xxxx	xxxx xxbb	oooo oooo	Read Signature Byte o at address b. ⁽¹⁾

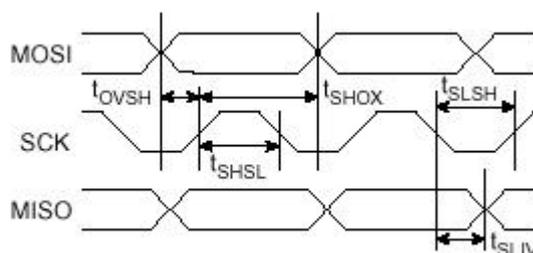
注意

- a : 上位アドレスバイト
- b : 下位アドレスバイト
- H : 0 下位バイト、1 上位バイト
- i : データ入力
- o : データ出力
- x : 値に依存しない
- 1 : ロックビット 1
- 2 : ロックビット 2

注意 1. 署名バイト 3 はロックモード 3(両方のロックビットがプログラムされている)の時、読み込むことはできません。

シリアルプログラミングの特性

図 55 シリアルプログラミングのタイミング



AT90S2313

表 29 シリアルプログラミングの特性

$T_A = -40 \sim 85$ 、 $V_{CC} = 2.7V \sim 6.0V$ (とくに断りのない場合)

記号	パラメータ	最小値	標準値	最大値	単位
$1/t_{CLCL}$	振動周波数($V_{CC} = 2.7 \sim 6.0V$)	0		4	MHz
t_{CLCL}	振動周期($V_{CC} = 2.7 \sim 6.0V$)	250			ns
$1/t_{CLCL}$	振動周波数($V_{CC} = 4.0 \sim 6.0V$)	0		8	MHz
t_{CLCL}	振動周期($V_{CC} = 4.0 \sim 6.0V$)	125			ns
t_{SHSL}	SCK の H レベルのパルス幅	$2 * t_{CLCL}$			ns
t_{SLSH}	SCK の L レベルのパルス幅	$2 * t_{CLCL}$			ns
t_{OVSH}	SCK が H レベルに対する MOSI の設定時間	t_{CLCL}			ns
t_{SHOX}	SCK が H レベルになった後の MOSI のホールド時間	$2 * t_{CLCL}$			ns
t_{SLIV}	有効な MOSI に対する SCK の L レベル時間	10	16	32	ns

表 30 チップ消去命令後の待ち時間の最小値

記号	3.2V	3.6V	4.0V	5.0V
t_{WD_ERASE}	18ms	14ms	12ms	8ms

表 31 フラッシュまたは EEPROM ロケーションの書きこみ後の待ち時間の最小値

記号	3.2V	3.6V	4.0V	5.0V
t_{WD_PROG}	9ms	7ms	6ms	4ms

AT90S2313

電気的な特性

最大定格

動作温度	-55 ~ +125
耐久温度	-65 ~ +150
RESET端子以外の GNDに対する電圧	-1.0V ~ V _{CC} +0.5V
RESET端子の GNDに対する電圧	-1.0V ~ +13.0V
最大動作電圧	6.6V
I/Oピン1本あたりの直流電流	40.0mA
V _{CC} とGNDピンの直流電流	200.0mA

注意：最大定格を超える値を加えると、デバイスに致命的な損傷を与えることがあります。この定格は、内部破壊のおこる定格であって、この値での動作を保証するものではありません。この仕様の動作の節に示されている値を超える他の条件でデバイスが動作することは保証していません。最大定格に長くさらされると、デバイスの信頼性に影響を与えることがあります。

AT90S2313

DC 特性

$T_A = -40 \sim 85$ 、 $V_{CC} = 2.7 \sim 6.0V$ (とくに断りがない場合)

Symbol	Parameter	Condition	Min	Typ	Max	Units
V_{IL}	Input Low Voltage	(Except XTAL1)	-0.5		$0.3 V_{CC}^{(1)}$	V
V_{IL1}	Input Low Voltage	(XTAL1)	-0.5		$0.1^{(1)}$	V
V_{IH}	Input High Voltage	(Except XTAL1, \overline{RESET})	$0.6 V_{CC}^{(2)}$		$V_{CC} + 0.5$	V
V_{IH1}	Input High Voltage	(XTAL1)	$0.7 V_{CC}^{(2)}$		$V_{CC} + 0.5$	V
V_{IH2}	Input High Voltage	\overline{RESET}	$0.85 V_{CC}^{(2)}$		$V_{CC} + 0.5$	V
V_{OL}	Output Low Voltage ⁽³⁾ (Ports B,D)	$I_{OL} = 20 \text{ mA}, V_{CC} = 5V$ $I_{OL} = 10 \text{ mA}, V_{CC} = 3V$			0.6 0.5	V V
V_{OH}	Output High Voltage ⁽⁴⁾ (Ports B,D)	$I_{OH} = -3 \text{ mA}, V_{CC} = 5V$ $I_{OH} = -1.5 \text{ mA}, V_{CC} = 3V$	4.3 2.3			V V
I_{IL}	Input Leakage Current I/O pin	$V_{CC} = 6V$, pin low (absolute value)			1.5	μA
I_{IH}	Input Leakage Current I/O pin	$V_{CC} = 6V$, pin high (absolute value)			980	nA
RRST	Reset Pull-up Resistor		100		500	$k\Omega$
$R_{I/O}$	I/O Pin Pull-Up Resistor		35		120	$k\Omega$
I_{CC}	Power Supply Current	Active Mode, $V_{CC} = 3V, 4MHz$			3.0	mA
		Idle Mode $V_{CC} = 3V, 4MHz$			1.0	mA
I_{CC}	Power Down Mode ⁽⁶⁾	WDT enabled, $V_{CC} = 3V$		9	15.0	μA
		WDT disabled, $V_{CC} = 3V$		<1	2.0	μA
V_{ACIO}	Analog Comparator Input Offset Voltage	$V_{CC} = 5V$			40	mV
I_{ACLK}	Analog Comparator Input Leakage Current	$V_{CC} = 5V$ $V_{in} = V_{CC}/2$	-50		50	nA
t_{ACPD}	Analog Comparator Propagation Delay	$V_{CC} = 2.7V$ $V_{CC} = 4.0V$		750 500		ns

1. 「最大」とは、ピンが L レベルとして読み込まれる保証のある値で最高の値のことです。
2. 「最小」とは、ピンが H レベルとして読み込まれる保証がある値で最高の値のことです。
3. それぞれの I/O ポートはテスト条件以上流しこむ ($V_{CC}=5V$ で 20mA、 $V_{CC}=3V$ で 10mA 定常状態、非過渡的) ことができますが、次のことを観測しておいてください。

1) I_{OL} の総和は全ポートで 200mA を越えてはいけません

2) I_{IOL} の総和はポート D0 ~ D5 と XTAL2 で 100mA を越えてはいけません。

3) I_{OI} の総和はポート B0 ~ B7 と D6 で 100mA を越えてはいけません。

I_{OL} がテスト条件を越える場合、 V_{OL} は関連する仕様を越えることがあります。ピンは、リストに上がっているテスト条件より多く電流をシンクできる保証はありません。

4. それぞれの I/O ポートは ($V_{CC}=5V$ で 20mA、 $V_{CC}=3V$ で 10mA 定常状態、非過渡的) なもとで、テスト条件を越えて電流を流し出すことができますが、次のことが観測されなければなりません。

1) I_{OH} の総和は全ポートで 200mA を越えてはいけません

2) I_{OH} の総和はポート D0 ~ D5 と XTAL2 で 100mA を越えてはいけません。

3) I_{OH} の総和はポート B0 ~ B7 と D6 で 100mA を越えてはいけません。

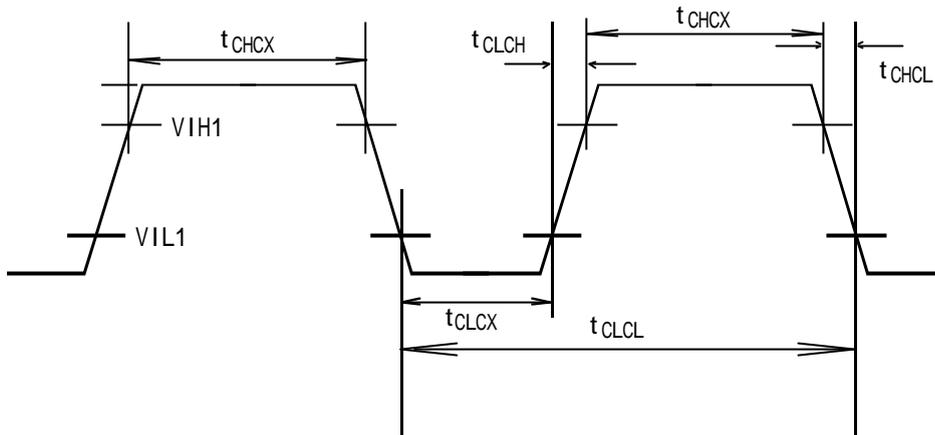
AT90S2313

I_{OL} がテスト条件を越える場合、 V_{OL} は関連する仕様を越えることがあります。ピンは、リストに上がっているテスト条件より多く電流を流し出す保証はありません。

5. パワーダウンモードの最小電圧は 2V です。

外部クロック駆動波形

図 56 外部クロック



外部クロックの駆動

記号	パラメータ	Vcc:2.7 ~ 4.0V		Vcc:4.0 ~ 6.0V		単位
		最小値	最大値	最小値	最大値	
$1/t_{CLCL}$	振動周波数	0	4	0	10	MHz
t_{CLCL}	クロック周期	250		100		ns
t_{CHCX}	H レベルの時間	100		40		ns
t_{CLCX}	L レベルの時間	100		40		ns
t_{CLCH}	立ち上がり時間		1.6		0.5	μs
t_{CHCL}	立ち下がり時間		1.6		0.5	μs

標準的な特性

次の表は標準的な振る舞いを示します。これらのデータは特徴を表していますが、試してあるものではありません。全電流消費の測定は、全 I/O ピンが入力として構成されていて、プルアップ抵抗を有効にした状態で行われています。レール トゥ レールの正弦波生成器がクロック源として使われています。

パワーダウンモードでの消費電力はクロックの選択と無関係です。

電流の消費量は、いろいろな要素の関数になっています。例えば、動作電圧、動作周波数、I/O ピンの負荷、I/O ピンの切り替え率、実行コード、周囲温度です。主な要素は、動作電圧と周波数です。

容量負荷からのピンから引き出される電流は、 $C_L * V_{cc} * f$ として見積もることができます。 C_L =容量負荷、 V_{cc} =動作電圧、 f =I/O ピンの平均スイッチング周波数です。

AT90S2313

部品はテスト限界より高い周波数で代表させてあります。部品は、命令コードが示すより高い値では正常に動きません。

ウォッチドッグタイマが有効になったパワーダウンモードと無効のパワーダウンモードの電流消費の差はウォッチドッグタイマの分を引いた差の電流になります。

AT90S2313

図 57 アクティブ時の電源電流対周波数

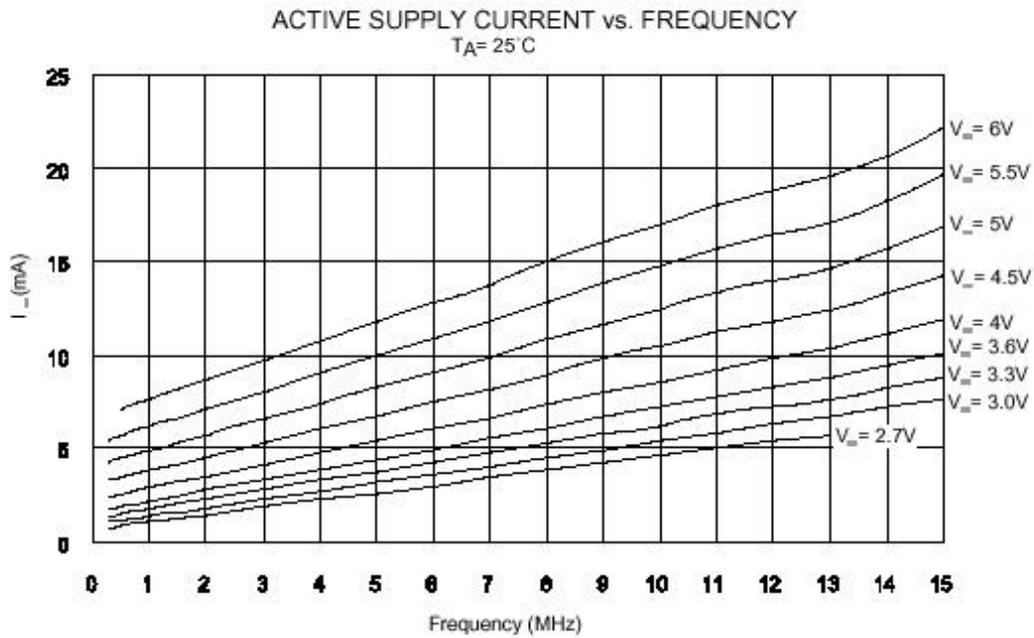
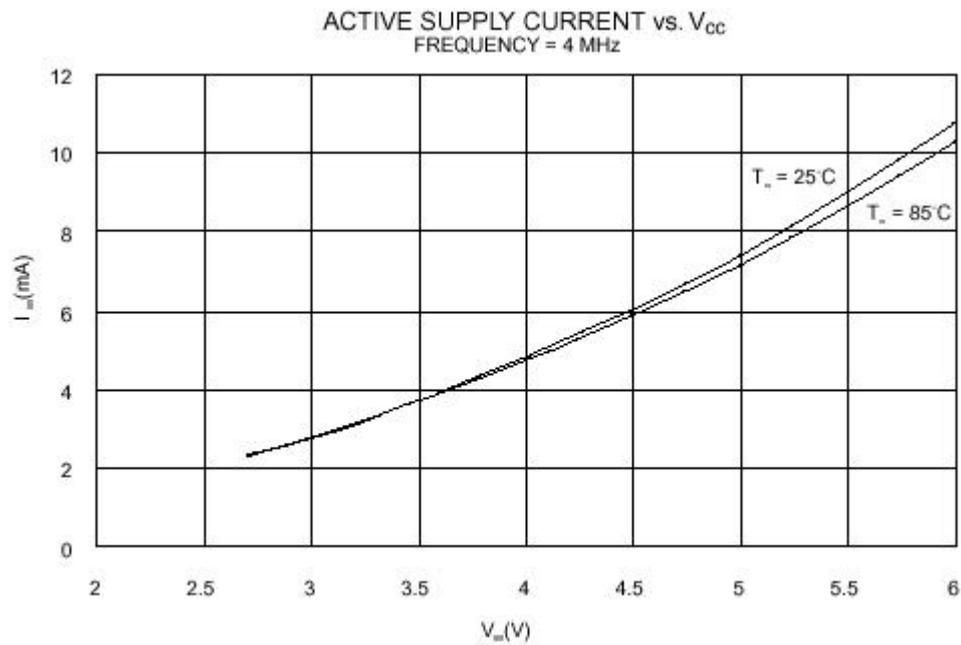


図 58 アクティブ時の電源電流対 V_{cc} 4MHz の周波数の場合



AT90S2313

図 59 アイドルモードでの電源電流対 V_{CC} 周波数

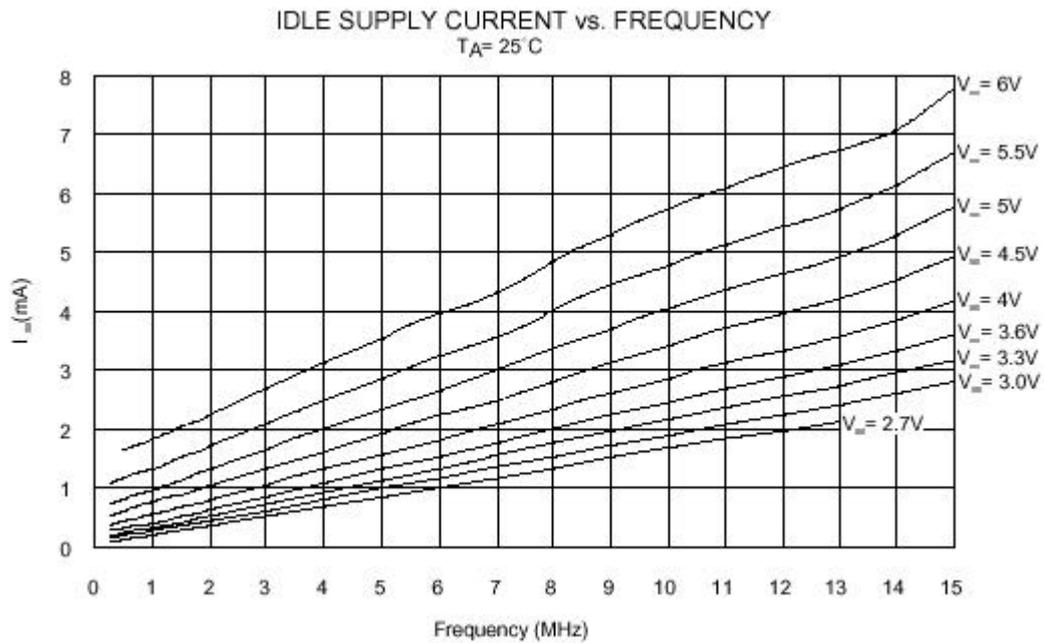
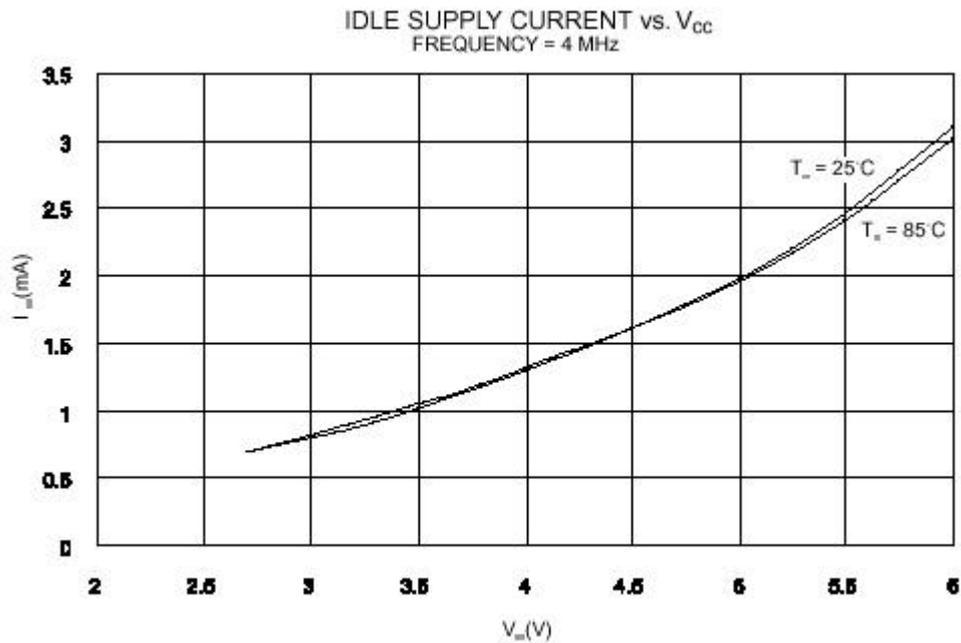


図 60 アイドルモードでの電源電流対 V_{CC} 4MHz の周波数の場合



AT90S2313

図 61 パワーダウン電源電流対 V_{CC} ウォッチドッグタイマ無効の場合

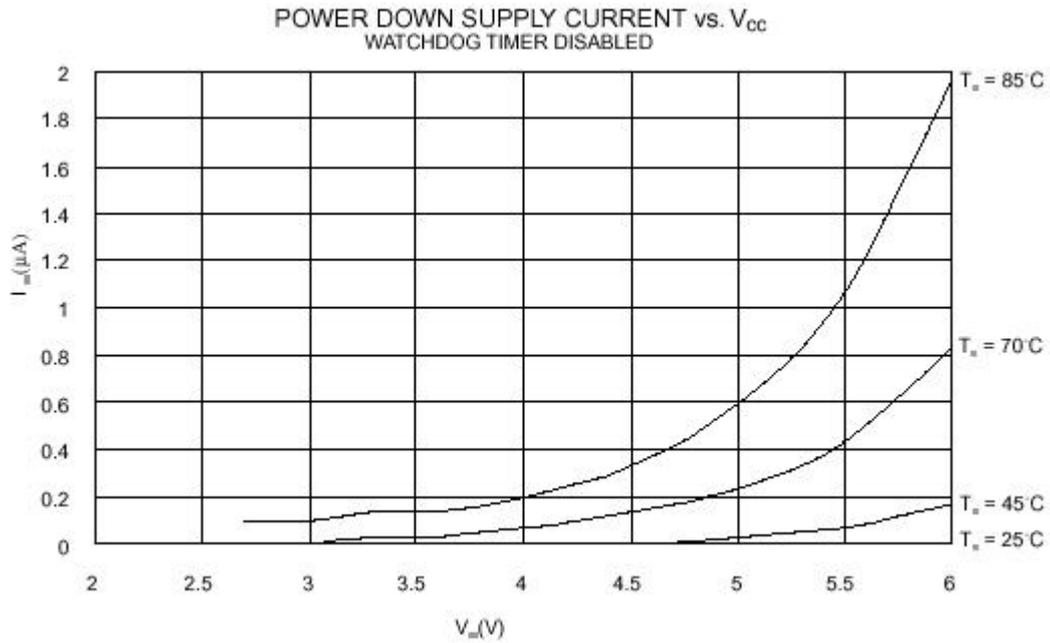
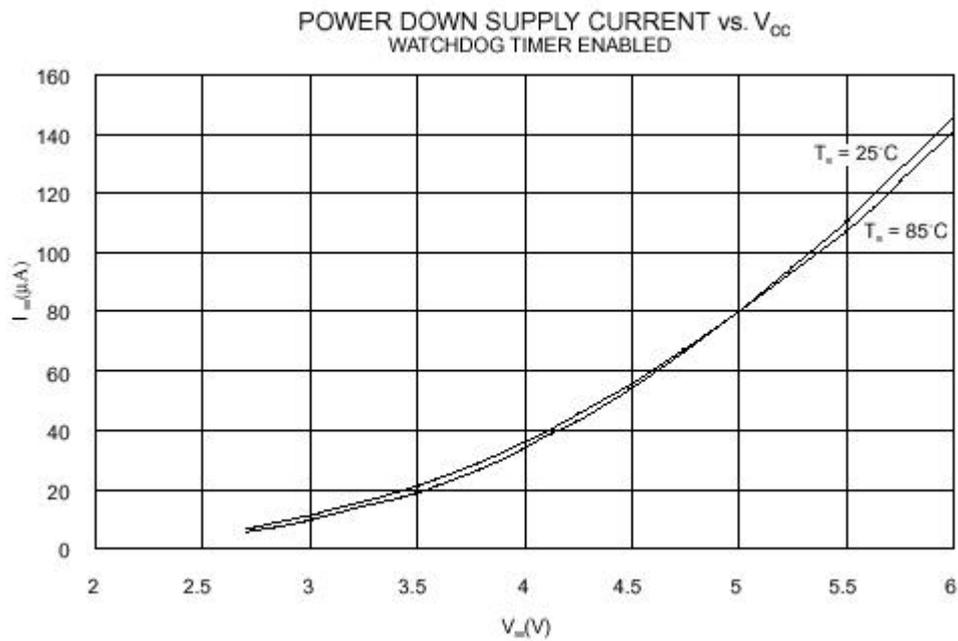
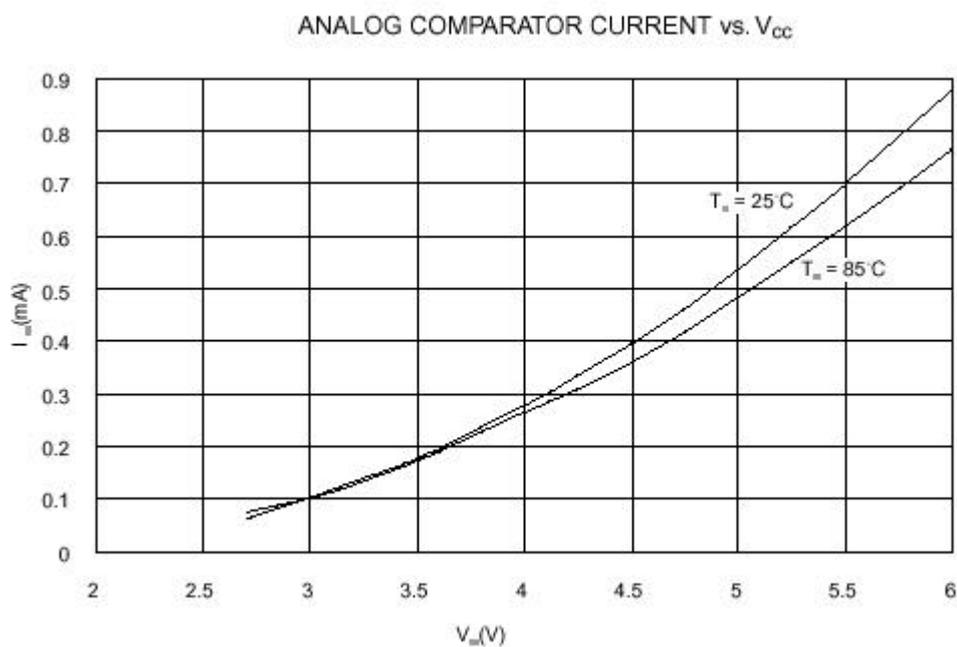


図 62 パワーダウン電源電流対 V_{CC} ウォッチドッグタイマが有効になっている場合



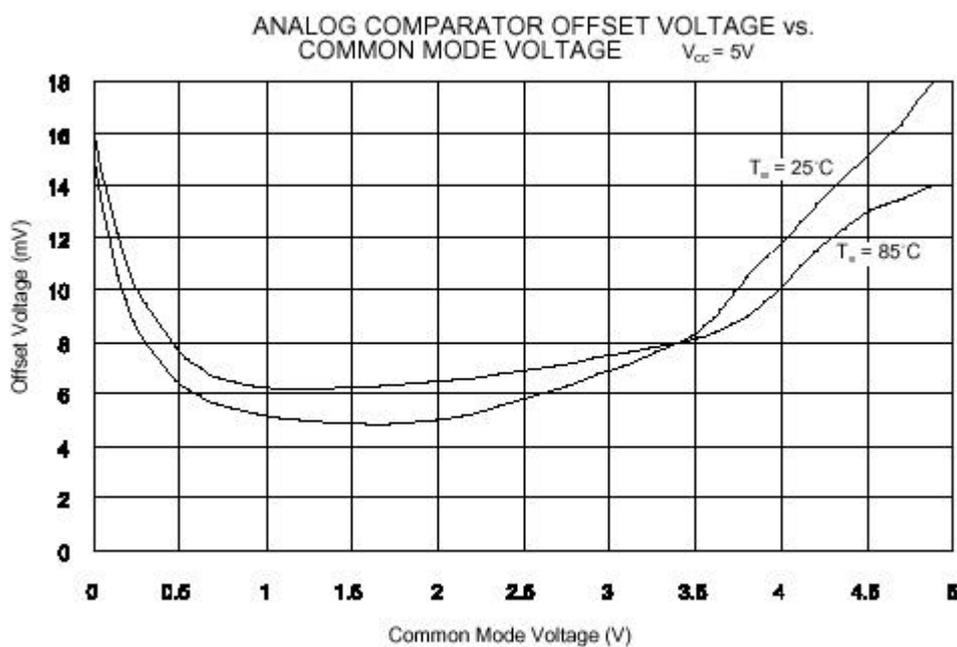
AT90S2313

図 63 アナログコンパレータ電流対 V_{CC}



アナログコンパレータのオフセット電圧はオフセットの絶対値で測定されます。

図 64 アナログコンパレータオフセット電圧対コモンモード電圧



AT90S2313

図 65 アナログコンパレータオフセット電圧対コモンモード電圧

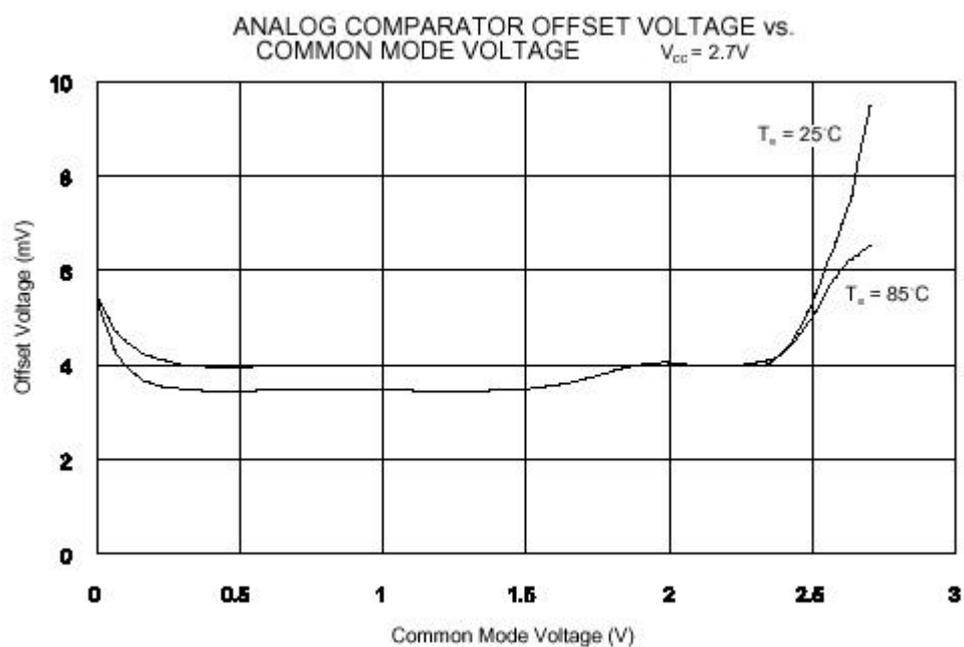
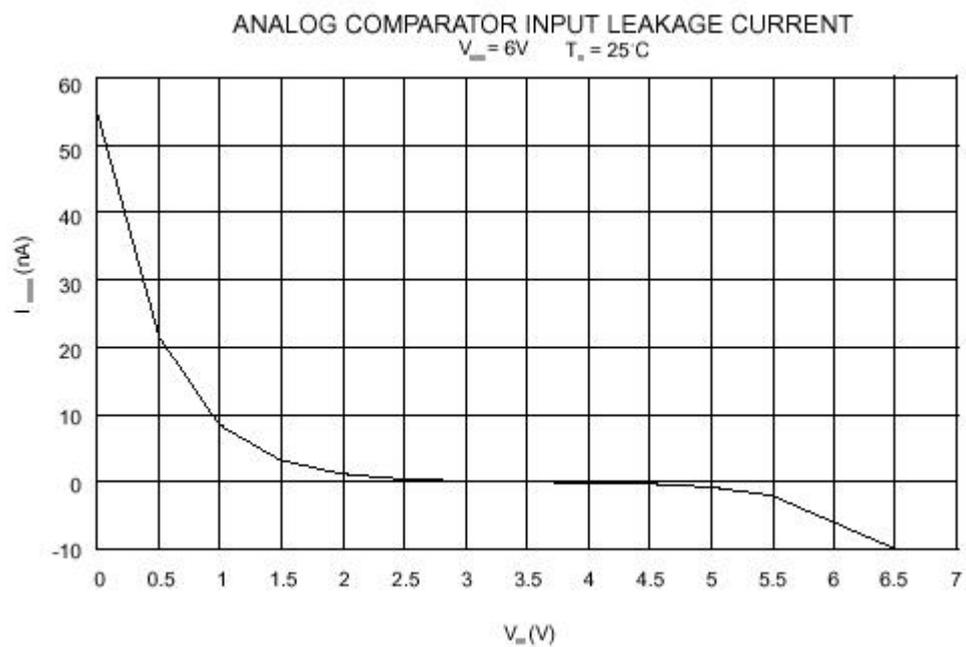
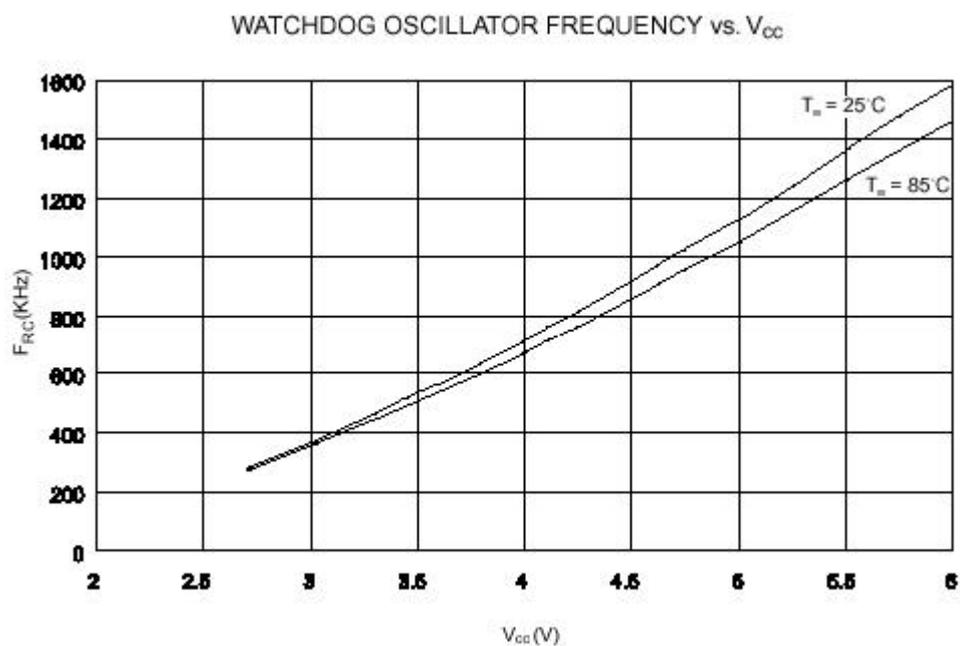


図 66 アナログコンパレータ入力漏れ電流



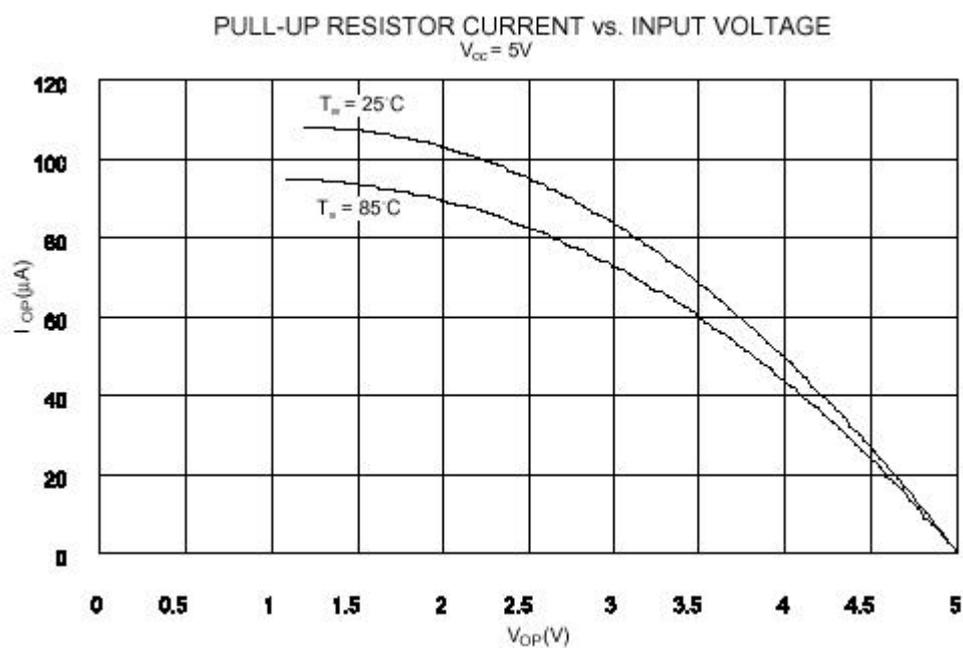
AT90S2313

図 67 ウォッチドッグ周波数対 V_{CC}



I/O ポートのソース・シンク能力は1度に1ピンについて測定してあります。

図 68 プルアップ抵抗の電流対入力電圧 $V_{CC} = 5V$



AT90S2313

図 69 プルアップ抵抗の電流対入力電圧 $V_{CC}=2.7V$

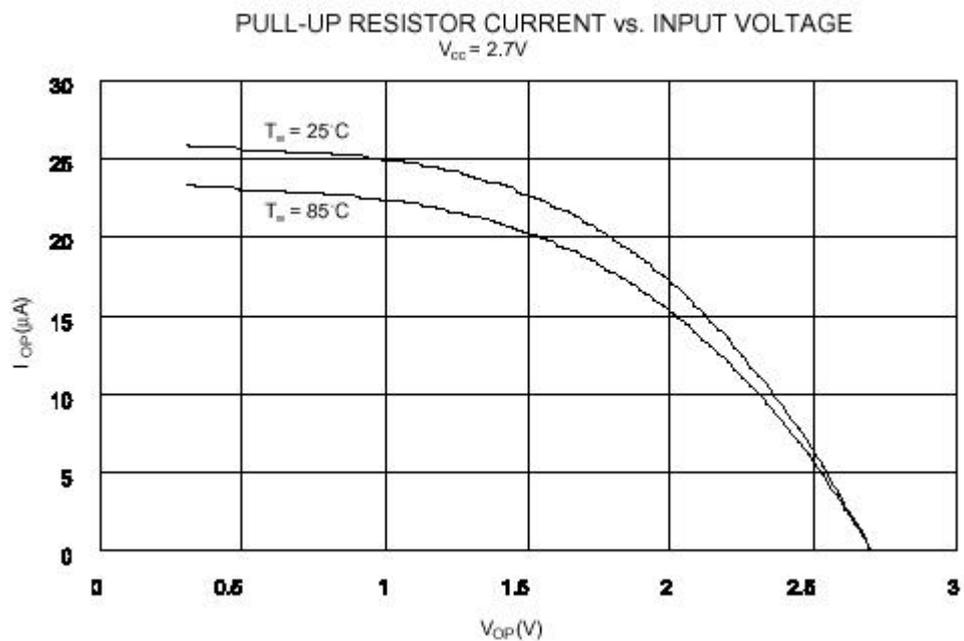
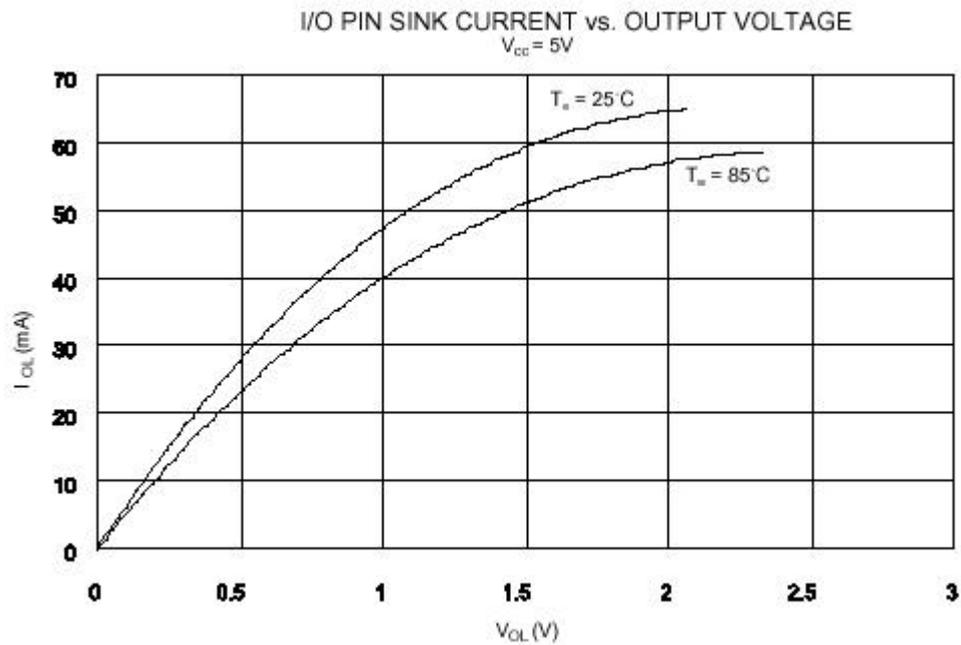


図 70 I/O ピンシンク電流対出力電圧 $V_{CC}=5V$



AT90S2313

図 71 I/O ピンソース電流対出力電圧 $V_{CC}=5V$

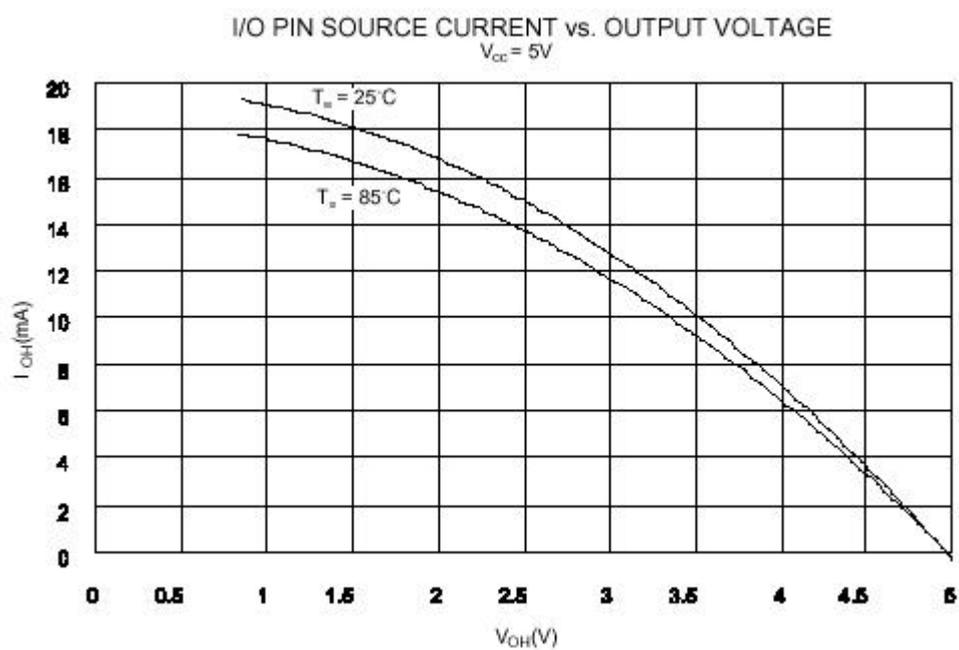
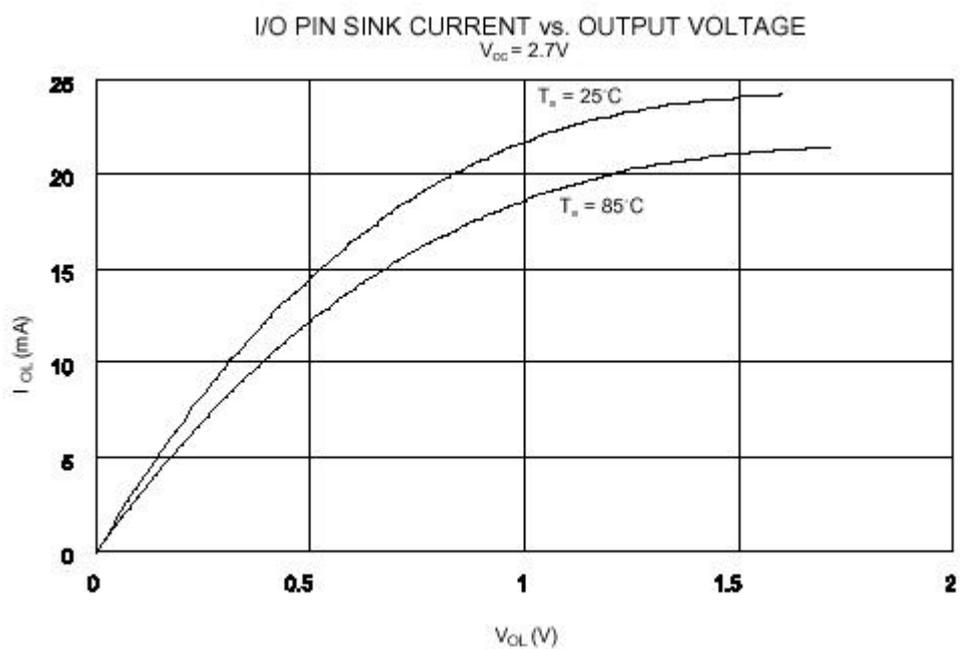


図 72 I/O ピンシンク電流対出力電圧 $V_{CC}=2.7V$



AT90S2313

図 73 I/O ピンソース電流対出力電圧 $V_{CC}=2.7V$

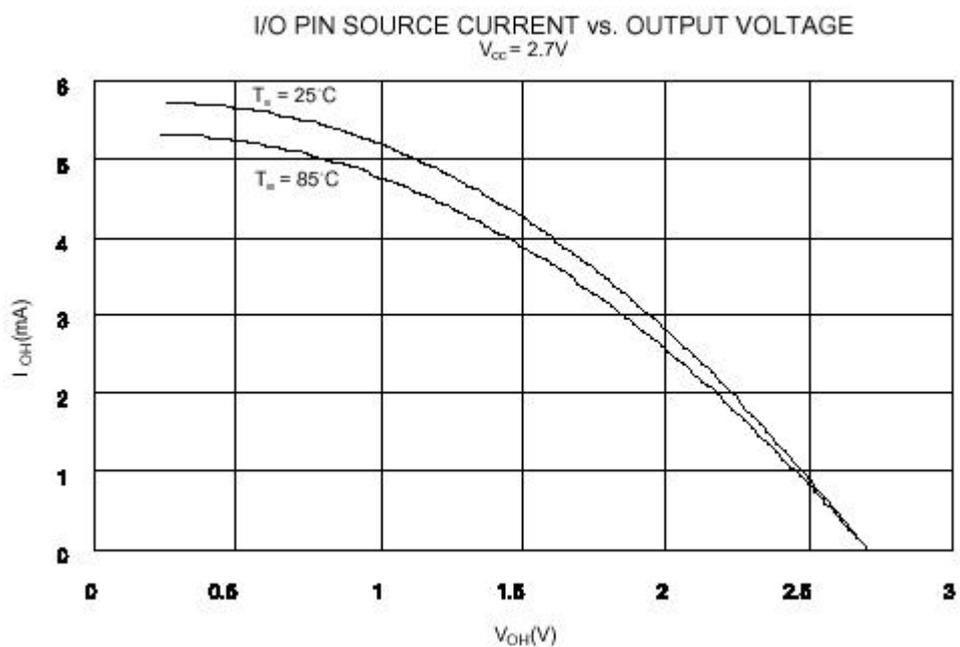
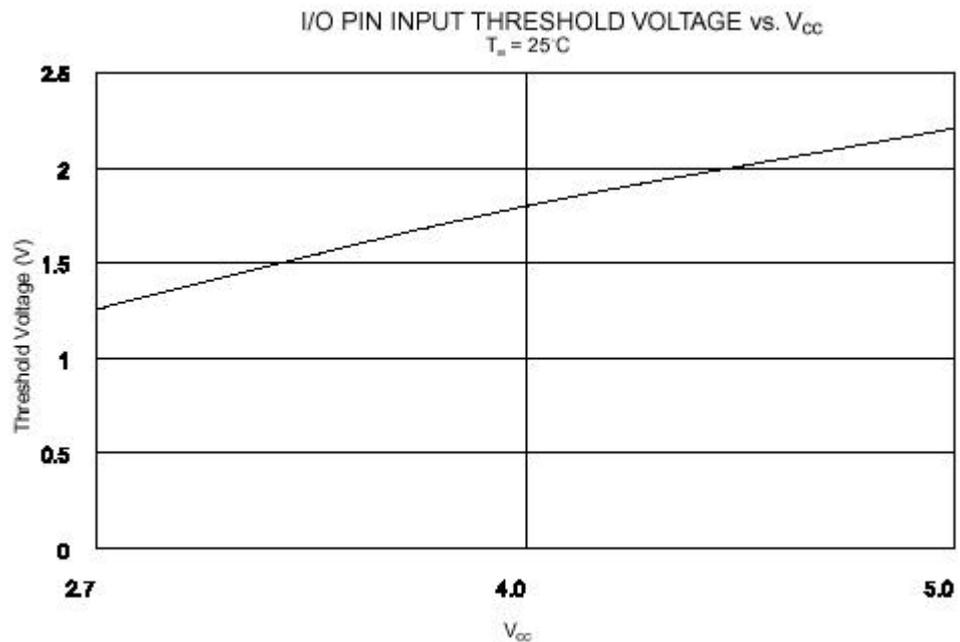
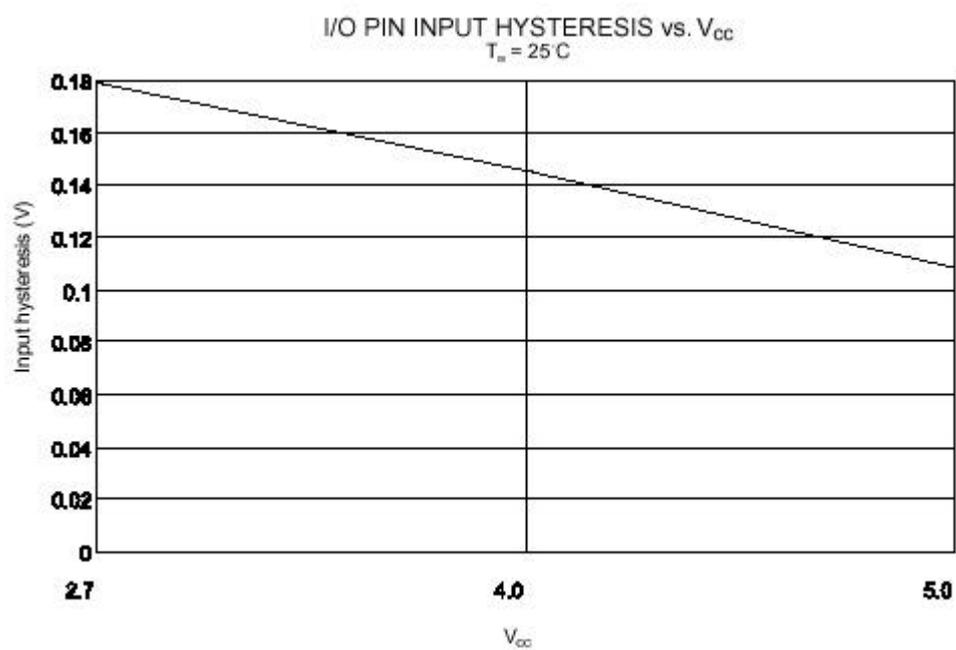


図 74 I/O ピン入力スレッショールド電圧対 V_{CC}



AT90S2313

図 75 I/O ピン入力ヒステリシス対 V_{CC}



AT90S2313

AT90S2313 のレジスタ概観

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Page
\$3F (\$5F)	SREG	I	T	H	S	V	N	Z	C	18
\$3E (\$5E)	Reserved									
\$3D (\$5D)	SPL	SP7	SP6	SP5	SP4	SP3	SP2	SP1	SP0	19
\$3C (\$5C)	Reserved									
\$3B (\$5B)	GIMSK	INT1	INT0	-	-	-	-	-	-	24
\$3A (\$5A)	GIFR	INTF1	INTF0	-	-	-	-	-	-	24
\$39 (\$59)	TIMSK	TOIE1	OCIE1A	-	-	TICIE1	-	TOIE0	-	24
\$38 (\$58)	TIFR	TOV1	OCF1A	-	-	ICF1	-	TOV0	-	25
\$37 (\$57)	Reserved									
\$36 (\$56)	Reserved									
\$35 (\$55)	MCUCR	-	-	SE	SM	ISC11	ISC10	ISC01	ISC00	26
\$34 (\$54)	Reserved									
\$33 (\$53)	TCCR0	-	-	-	-	-	CS02	CS01	CS00	29
\$32 (\$52)	TCNT0	Timer/Counter0 (8 Bit)								30
\$31 (\$51)	Reserved									
\$30 (\$50)	Reserved									
\$2F (\$4F)	TCCR1A	COM1A1	COM1A0	-	-	-	-	PWM11	PWM10	31
\$2E (\$4E)	TCCR1B	ICNC1	ICES1	-	-	CTC1	CS12	CS11	CS10	32
\$2D (\$4D)	TCNT1H	Timer/Counter1 - Counter Register High Byte								33
\$2C (\$4C)	TCNT1L	Timer/Counter1 - Counter Register Low Byte								33
\$2B (\$4B)	OCR1AH	Timer/Counter1 - Compare Register High Byte								34
\$2A (\$4A)	OCR1AL	Timer/Counter1 - Compare Register Low Byte								34
\$29 (\$49)	Reserved									
\$28 (\$48)	Reserved									
\$27 (\$47)	Reserved									
\$26 (\$46)	Reserved									
\$25 (\$45)	ICR1H	Timer/Counter1 - Input Capture Register High Byte								34
\$24 (\$44)	ICR1L	Timer/Counter1 - Input Capture Register Low Byte								34
\$23 (\$43)	Reserved									
\$22 (\$42)	Reserved									
\$21 (\$41)	WDTCSR	-	-	-	WDTOE	WDE	WDP2	WDP1	WDP0	36
\$20 (\$40)	Reserved									
\$1F (\$3F)	Reserved									
\$1E (\$3E)	EEAR	EEPROM Address Register								38
\$1D (\$3D)	EEDR	EEPROM Data register								38
\$1C (\$3C)	EEDR	-	-	-	-	-	EEMWE	EEWE	EERE	38
\$1B (\$3B)	Reserved									
\$1A (\$3A)	Reserved									
\$19 (\$39)	Reserved									
\$18 (\$38)	PORTB	PORTB7	PORTB6	PORTB5	PORTB4	PORTB3	PORTB2	PORTB1	PORTB0	47
\$17 (\$37)	DDRB	DDB7	DDB6	DDB5	DDB4	DDB3	DDB2	DDB1	DDB0	47
\$16 (\$36)	PINB	PINB7	PINB6	PINB5	PINB4	PINB3	PINB2	PINB1	PINB0	47
\$15 (\$35)	Reserved									
\$14 (\$34)	Reserved									
\$13 (\$33)	Reserved									
\$12 (\$32)	PORTD	-	PORTD6	PORTD5	PORTD4	PORTD3	PORTD2	PORTD1	PORTD0	52
\$11 (\$31)	DDRD	-	DDD6	DDD5	DDD4	DDD3	DDD2	DDD1	DDD0	52
\$10 (\$30)	PIND	-	PIND6	PIND5	PIND4	PIND3	PIND2	PIND1	PIND0	52
...	Reserved									
\$0C (\$2C)	UDR	UART I/O Data Register								42
\$0B (\$2B)	USR	RXC	TXC	UDRE	FE	OR	-	-	-	42
\$0A (\$2A)	UCR	RXCIE	TXCIE	UDRIE	RXEN	TXEN	CHR9	RXB8	TXB8	43
\$09 (\$29)	UBRR	UART Baud Rate Register								45
\$08 (\$28)	ACSR	ACD	-	ACO	ACI	ACIE	ACIC	ACIS1	ACIS0	45
...	Reserved									
\$00 (\$20)	Reserved									

注意

- 1: これから出てくるデバイスに互換性を持たせるため、予約ビットはアクセスした場合 0 と書きこんでください。予約 I/O メモリには書きこまないで下さい。
- 2: ステータスフラッグのいくつかは論理 1 を書きこむことにより消去されます。CBI と SBI 命令が I/O レジスタ中の全ビットに対して作用し、設定状態として読み込まれているフラッグに 1 を書きこんでフラッグをクリアします。CBI と SBI 命令は\$00 ~ \$1F のレジスタのみに作用します。

AT90S2313

命令一覧

記号 オペランド 説明

動作 作用するフラッグ クロック数

Mnemonics	Operands	Description	Operation	Flags	#Clocks
ARITHMETIC AND LOGIC INSTRUCTIONS					
ADD	Rd, Rr	Add two Registers	$Rd \leftarrow Rd + Rr$	Z,C,N,V,H	1
ADC	Rd, Rr	Add with Carry two Registers	$Rd \leftarrow Rd + Rr + C$	Z,C,N,V,H	1
ADIW	Rd,K	Add Immediate to Word	$RshRdl \leftarrow RshRdl + K$	Z,C,N,V,S	2
SUB	Rd, Rr	Subtract two Registers	$Rd \leftarrow Rd - Rr$	Z,C,N,V,H	1
SUBI	Rd, K	Subtract Constant from Register	$Rd \leftarrow Rd - K$	Z,C,N,V,H	1
SBIW	Rd,K	Subtract Immediate from Word	$RshRdl \leftarrow RshRdl - K$	Z,C,N,V,S	2
SBC	Rd, Rr	Subtract with Carry two Registers	$Rd \leftarrow Rd - Rr - C$	Z,C,N,V,H	1
SBCI	Rd, K	Subtract with Carry Constant from Reg.	$Rd \leftarrow Rd - K - C$	Z,C,N,V,H	1
AND	Rd, Rr	Logical AND Registers	$Rd \leftarrow Rd \cdot Rr$	Z,N,V	1
ANDI	Rd, K	Logical AND Register and Constant	$Rd \leftarrow Rd \cdot K$	Z,N,V	1
OR	Rd, Rr	Logical OR Registers	$Rd \leftarrow Rd \vee Rr$	Z,N,V	1
ORI	Rd, K	Logical OR Register and Constant	$Rd \leftarrow Rd \vee K$	Z,N,V	1
EOR	Rd, Rr	Exclusive OR Registers	$Rd \leftarrow Rd \oplus Rr$	Z,N,V	1
COM	Rd	One's Complement	$Rd \leftarrow \text{NOT } Rd$	Z,C,N,V	1
NEG	Rd	Two's Complement	$Rd \leftarrow \text{NOT } Rd + 1$	Z,C,N,V,H	1
SBR	Rd,K	Set Bit(s) in Register	$Rd \leftarrow Rd \vee K$	Z,N,V	1
CBR	Rd,K	Clear Bit(s) in Register	$Rd \leftarrow Rd \cdot (\text{NOT } K)$	Z,N,V	1
INC	Rd	Increment	$Rd \leftarrow Rd + 1$	Z,N,V	1
DEC	Rd	Decrement	$Rd \leftarrow Rd - 1$	Z,N,V	1
TST	Rd	Test for Zero or Minus	$Rd \leftarrow Rd \cdot Rd$	Z,N,V	1
CLR	Rd	Clear Register	$Rd \leftarrow Rd \oplus Rd$	Z,N,V	1
SER	Rd	Set Register	$Rd \leftarrow \text{NOT } Rd$	None	1
BRANCH INSTRUCTIONS					
RJMP	k	Relative Jump	$PC \leftarrow PC + k + 1$	None	2
IJMP		Indirect Jump to (Z)	$PC \leftarrow Z$	None	2
RCALL	k	Relative Subroutine Call	$PC \leftarrow PC + k + 1$	None	3
ICALL		Indirect Call to (Z)	$PC \leftarrow Z$	None	3
RET		Subroutine Return	$PC \leftarrow \text{STACK}$	None	4
RETI		Interrupt Return	$PC \leftarrow \text{STACK}$	I	4
CPSE	Rd,Rr	Compare, Skip if Equal	if (Rd = Rr) $PC \leftarrow PC + 2$ or 3	None	1/2
CP	Rd,Rr	Compare	$Rd - Rr$	Z,N,V,C,H	1
CPC	Rd,Rr	Compare with Carry	$Rd - Rr - C$	Z,N,V,C,H	1
CPI	Rd,K	Compare Register with Immediate	$Rd - K$	Z,N,V,C,H	1
SBRC	Rr, b	Skip if Bit in Register Cleared	if (Rr(b)=0) $PC \leftarrow PC + 2$ or 3	None	1/2
SBRS	Rr, b	Skip if Bit in Register is Set	if (Rr(b)=1) $PC \leftarrow PC + 2$ or 3	None	1/2
SBIC	P, b	Skip if Bit in I/O Register Cleared	if (P(b)=0) $PC \leftarrow PC + 2$ or 3	None	1/2
SBSI	P, b	Skip if Bit in I/O Register is Set	if (P(b)=1) $PC \leftarrow PC + 2$ or 3	None	1/2
BRBS	s, k	Branch if Status Flag Set	if (SREG(s)=1) then $PC \leftarrow PC + k + 1$	None	1/2
BRBC	s, k	Branch if Status Flag Cleared	if (SREG(s)=0) then $PC \leftarrow PC + k + 1$	None	1/2
BREQ	k	Branch if Equal	if (Z = 1) then $PC \leftarrow PC + k + 1$	None	1/2
BRNE	k	Branch if Not Equal	if (Z = 0) then $PC \leftarrow PC + k + 1$	None	1/2
BRCS	k	Branch if Carry Set	if (C = 1) then $PC \leftarrow PC + k + 1$	None	1/2
BRCC	k	Branch if Carry Cleared	if (C = 0) then $PC \leftarrow PC + k + 1$	None	1/2
BRSH	k	Branch if Same or Higher	if (C = 0) then $PC \leftarrow PC + k + 1$	None	1/2
BRLO	k	Branch if Lower	if (C = 1) then $PC \leftarrow PC + k + 1$	None	1/2
BRMI	k	Branch if Minus	if (N = 1) then $PC \leftarrow PC + k + 1$	None	1/2
BRPL	k	Branch if Plus	if (N = 0) then $PC \leftarrow PC + k + 1$	None	1/2
BRGE	k	Branch if Greater or Equal, Signed	if (N @ V = 0) then $PC \leftarrow PC + k + 1$	None	1/2
BRLT	k	Branch if Less Than Zero, Signed	if (N @ V = 1) then $PC \leftarrow PC + k + 1$	None	1/2
BRHS	k	Branch if Half Carry Flag Set	if (H = 1) then $PC \leftarrow PC + k + 1$	None	1/2
BRHC	k	Branch if Half Carry Flag Cleared	if (H = 0) then $PC \leftarrow PC + k + 1$	None	1/2
BRTS	k	Branch if T Flag Set	if (T = 1) then $PC \leftarrow PC + k + 1$	None	1/2
BRTC	k	Branch if T Flag Cleared	if (T = 0) then $PC \leftarrow PC + k + 1$	None	1/2
BRVS	k	Branch if Overflow Flag is Set	if (V = 1) then $PC \leftarrow PC + k + 1$	None	1/2
BRVC	k	Branch if Overflow Flag is Cleared	if (V = 0) then $PC \leftarrow PC + k + 1$	None	1/2
BRIE	k	Branch if Interrupt Enabled	if (I = 1) then $PC \leftarrow PC + k + 1$	None	1/2
BRID	k	Branch if Interrupt Disabled	if (I = 0) then $PC \leftarrow PC + k + 1$	None	1/2

AT90S2313

記号 オペランド 説明 動作 作用するフラッグ クロック数

Instruction Set Summary (Continued)

Mnemonics	Operands	Description	Operation	Flags	#Clocks
DATA TRANSFER INSTRUCTIONS					
MOV	Rd, Rr	Move Between Registers	$Rd \leftarrow Rr$	None	1
LDI	Rd, K	Load Immediate	$Rd \leftarrow K$	None	1
LD	Rd, X	Load Indirect	$Rd \leftarrow (X)$	None	2
LD	Rd, X+	Load Indirect and Post-Inc.	$Rd \leftarrow (X), X \leftarrow X + 1$	None	2
LD	Rd, -X	Load Indirect and Pre-Dec.	$X \leftarrow X - 1, Rd \leftarrow (X)$	None	2
LD	Rd, Y	Load Indirect	$Rd \leftarrow (Y)$	None	2
LD	Rd, Y+	Load Indirect and Post-Inc.	$Rd \leftarrow (Y), Y \leftarrow Y + 1$	None	2
LD	Rd, -Y	Load Indirect and Pre-Dec.	$Y \leftarrow Y - 1, Rd \leftarrow (Y)$	None	2
LDD	Rd, Y+q	Load Indirect with Displacement	$Rd \leftarrow (Y + q)$	None	2
LD	Rd, Z	Load Indirect	$Rd \leftarrow (Z)$	None	2
LD	Rd, Z+	Load Indirect and Post-Inc.	$Rd \leftarrow (Z), Z \leftarrow Z + 1$	None	2
LD	Rd, -Z	Load Indirect and Pre-Dec.	$Z \leftarrow Z - 1, Rd \leftarrow (Z)$	None	2
LDD	Rd, Z+q	Load Indirect with Displacement	$Rd \leftarrow (Z + q)$	None	2
LDS	Rd, k	Load Direct from SRAM	$Rd \leftarrow (k)$	None	2
ST	X, Rr	Store Indirect	$(X) \leftarrow Rr$	None	2
ST	X+, Rr	Store Indirect and Post-Inc.	$(X) \leftarrow Rr, X \leftarrow X + 1$	None	2
ST	-X, Rr	Store Indirect and Pre-Dec.	$X \leftarrow X - 1, (X) \leftarrow Rr$	None	2
ST	Y, Rr	Store Indirect	$(Y) \leftarrow Rr$	None	2
ST	Y+, Rr	Store Indirect and Post-Inc.	$(Y) \leftarrow Rr, Y \leftarrow Y + 1$	None	2
ST	-Y, Rr	Store Indirect and Pre-Dec.	$Y \leftarrow Y - 1, (Y) \leftarrow Rr$	None	2
STD	Y+q, Rr	Store Indirect with Displacement	$(Y + q) \leftarrow Rr$	None	2
ST	Z, Rr	Store Indirect	$(Z) \leftarrow Rr$	None	2
ST	Z+, Rr	Store Indirect and Post-Inc.	$(Z) \leftarrow Rr, Z \leftarrow Z + 1$	None	2
ST	-Z, Rr	Store Indirect and Pre-Dec.	$Z \leftarrow Z - 1, (Z) \leftarrow Rr$	None	2
STD	Z+q, Rr	Store Indirect with Displacement	$(Z + q) \leftarrow Rr$	None	2
STS	k, Rr	Store Direct to SRAM	$(k) \leftarrow Rr$	None	2
LPM		Load Program Memory	$R0 \leftarrow (Z)$	None	3
IN	Rd, P	In Port	$Rd \leftarrow P$	None	1
OUT	P, Rr	Out Port	$P \leftarrow Rr$	None	1
PUSH	Rr	Push Register on Stack	$STACK \leftarrow Rr$	None	2
POP	Rd	Pop Register from Stack	$Rd \leftarrow STACK$	None	2
BIT AND BIT-TEST INSTRUCTIONS					
SBI	P, b	Set Bit in I/O Register	$I/O(P, b) \leftarrow 1$	None	2
CBI	P, b	Clear Bit in I/O Register	$I/O(P, b) \leftarrow 0$	None	2
LSL	Rd	Logical Shift Left	$Rd(n+1) \leftarrow Rd(n), Rd(0) \leftarrow 0$	Z, C, N, V	1
LSR	Rd	Logical Shift Right	$Rd(n) \leftarrow Rd(n+1), Rd(7) \leftarrow 0$	Z, C, N, V	1
ROL	Rd	Rotate Left Through Carry	$Rd(0) \leftarrow C, Rd(n+1) \leftarrow Rd(n), C \leftarrow Rd(7)$	Z, C, N, V	1
ROR	Rd	Rotate Right Through Carry	$Rd(7) \leftarrow C, Rd(n) \leftarrow Rd(n+1), C \leftarrow Rd(0)$	Z, C, N, V	1
ASR	Rd	Arithmetic Shift Right	$Rd(n) \leftarrow Rd(n+1), n=0..6$	Z, C, N, V	1
SWAP	Rd	Swap Nibbles	$Rd(3..0) \leftrightarrow Rd(7..4), Rd(7..4) \leftrightarrow Rd(3..0)$	None	1
BSET	s	Flag Set	$SREG(s) \leftarrow 1$	SREG(s)	1
BCLR	s	Flag Clear	$SREG(s) \leftarrow 0$	SREG(s)	1
BST	Rr, b	Bit Store from Register to T	$T \leftarrow Rr(b)$	T	1
BLD	Rd, b	Bit load from T to Register	$Rd(b) \leftarrow T$	None	1
SEC		Set Carry	$C \leftarrow 1$	C	1
CLC		Clear Carry	$C \leftarrow 0$	C	1
SEN		Set Negative Flag	$N \leftarrow 1$	N	1
CLN		Clear Negative Flag	$N \leftarrow 0$	N	1
SEZ		Set Zero Flag	$Z \leftarrow 1$	Z	1
CLZ		Clear Zero Flag	$Z \leftarrow 0$	Z	1
SEI		Global Interrupt Enable	$I \leftarrow 1$	I	1
CLI		Global Interrupt Disable	$I \leftarrow 0$	I	1
SES		Set Signed Test Flag	$S \leftarrow 1$	S	1
CLS		Clear Signed Test Flag	$S \leftarrow 0$	S	1
SEV		Set Twos Complement Overflow	$V \leftarrow 1$	V	1
CLV		Clear Twos Complement Overflow	$V \leftarrow 0$	V	1
SET		Set T in SREG	$T \leftarrow 1$	T	1
CLT		Clear T in SREG	$T \leftarrow 0$	T	1
SEH		Set Half Carry Flag in SREG	$H \leftarrow 1$	H	1
CLH		Clear Half Carry Flag in SREG	$H \leftarrow 0$	H	1
NOP		No Operation		None	1
SLEEP		Sleep	(see specific descr. for Sleep function)	None	3
WDR		Watchdog Reset	(see specific descr. for WDR/timer)	None	1

AT90S2313

注文情報

Speed (MHz)	Power Supply	Ordering Code	Package	Operation Range
4	2.7 - 6.0V	AT90S2313-4PC	20P3	Commercial (0°C to 70°C)
		AT90S2313-4SC	20S	
10	4.0 - 6.0V	AT90S2313-4PI	20P3	Industrial (-40°C to 85°C)
		AT90S2313-4SI	20S	
		AT90S2313-10PC	20P3	Commercial (0°C to 70°C)
		AT90S2313-10SC	20S	
		AT90S2313-10PI	20P3	Industrial (-40°C to 85°C)
		AT90S2313-10SI	20S	

Package Type	
20P3	20-lead, 0.300" Wide, Plastic Dual In-Line Package (PDIP)
20S	20-lead, 0.300" Wide, Plastic Gull-Wing Small Outline (SOIC)