

◎ 本キットにはAVRライタ(作成したプログラムをAVR マイコンに書き込むためのツール)は附属しません。 AVRライタをお持ちでない方は、AVRライタを別途お求め ください。

◎ この説明書で使っているAVRライタは、デジットの 「AVRWRT3」です。Atmel社純正の「AVRISP mk2」「AVR DRAGON」などを使う場合は、開発環境のヘルプを参照して ください。



1. はじめに \*\*\*\*\* マイコンのプログラミングはとても簡単で面白い!! \*\*\*\*\*

このテキストでは、このテキストと一緒に入っている部品セットを使って、実際にプログラムを 作り、マイコンに書き込んで、動作をみなさんの目や手で確かめていただくことで、マイコンが どのようにして動作するのか、マイコンを使って何かを制御したり、外部の状態をマイコンに取り 込むには、何をすればできるのかを説明します。

この「AVRマイコン アセンブラ超入門セット」は、次のような方を対象に書かれています:

(1) はじめてマイコンを触る人

(2) C言語やその他の言語で動かしてみたことはあるけれども、マイコンがどのように動いているのかもっと知りたい人

このテキストでは、次のような理由から、マイコンのプログラム開発言語として、アセンブラを 使っています。

(1)アセンブラなら、マイコン内部の汎用レジスタやプログラムカウンタを常に意識しながら、 1ステップずつ動作をイメージしながらプログラミングするので、プログラムがどのような 仕組みで動くのかを非常に理解しやすいです。

(2)約10種類のよく使われる基本的な命令の使い方と動作をマスターすることで、はじめての人でも どんどんプログラムを作って動かせるようになります。(このキットに入っているATtiny2313Aの場合、 全部で120種類の命令があります)

(3) アセンブラでのプログラミングを覚えておくと、C言語でプログラミングする場合でも、 プログラムの細かい動作を思考しながらプログラムが作れるので、わかりやすくてバグの少ない、 良いプログラムが作れるようになります。

このテキストは、次のような構成になっています。

Step 1: 汎用レジスタ、プログラムカウンタ、プログラムメモリ、データSRAM、1/0レジスタといった、マイコンの中身について説明します。

Step 2: 簡単なプログラムを実際に書いてみることで、開発環境の使い方、アセンブラプログラムの書き方の基本的な約束事を説明します。

Step 3: マイコンの1/Oポートを使って、入出力の実験を行うことで、1/Oポート関連の設定レジスタ (PORTx、DDRx、PINx)の使い方を説明します。

このテキストを使って繰り返し実験していただくことで、はじめてAVRマイコンを触る人でも、 LEDの点滅や7セグメントLEDによる数字の表示、センサからの外部入力の扱いができるようになり、 自分でいろいろなことができるようになると思います。

AVRマイコン アセンブラ超入門セット (基礎知識&1/0ポート制御編) 目次					
©はじめに	2				
◎実験の準備 回路の組み立て 開発環境のインストール AVRライタのインストール	4 7 7				
©AVRマイコン(ATtiny2313A)のしくみ 主な仕様 主要部ブロックダイヤグラム 内部メモリの説明 プログラムはどのように実行されるのか 汎用レジスタについて	8 8 9 10 12				
◎はじめてのプログラム[LEDの点滅] プロジェクトの作成 プログラムを書いてビルドする	13 15				
◎1/0ポートの使い方 マイコン(ATtiny2313A)のピン配置 1/0ポート(デジタル入出カポート)関係の設定レジスタの概要 実際にデジタル1/0ポートを使ってみる	20 20 23				
◎練習	30				
<ul> <li>◎資料編 よく使う命令とその概要 全命令セット一覧 よく使う擬似命令一覧 I/0レジスタマップ 数値(10進、2進、16進)早見表</li> </ul>	33 34 36 37 38				

# 2. 実験の準備

ブレッドボードに回路を組み立てます
 実験をはじめる前に、キットに附属の部品を使って、ブレッドボードに回路を組み立てます。
 部日本、マスカカノイエー・パカリーカー





(補足: 7セグメントLEDについて)

今回製作するブレッドボードには、バラのLEDとは別に、「7セグメントLED」(通称7セグ)という LEDモジュールが使われています。ブレッドボードの組み立てに入る前に、この7セグメントLEDに ついて少しだけ説明します。



「7セグメントLED」は、左の写真のように、細長いLEDを漢字の「日」の字型 に配置した表示モジュールです。 左の写真は、本キットに入っている1桁タイプのものです。

小数点表示を除いて、細長いLED(表示セグメント)が7つあるので、「7セグ メントLED」または単に「7セグ」と呼ばれています。

7セグメントLEDの中には、小数点を含めてLEDが8個入っていますが、これらそれぞれのLEDから 独立に足を引き出すと、足の本数が多くなり(16本)、配線が大変なので、LEDのアノード側と カソード側のどちらか一方は、7セグメントLEDのケースの中で共通に接続されています。

LEDのアノード側を共通(コモン)にしたものを、「アノードコモンタイプ」、カソード側を共通 (コモン)にしたものを「カソードコモンタイプ」と呼びます。「アノードコモンタイプ」と 「カソードコモンタイプ」それぞれの内部接続を、下の図に示します。





上の図の「a」~「g」と「dp」は、7セグメントの各セグメント の呼び名です。各セグメントは左図のように呼ぶ習慣になって います。ほぼ世界共通の習慣ですので、この機会に覚えておいて ください。

このキットでは、アノードコモンタイプのもの(TLR363)を 使用します。

この7セグメントLEDは、主に数字を表示するのに使います。数字の「0」~「9」までの点灯 パターン例を、下の図に示します。自動販売機などでよく見かけると思います。



2.2. 開発環境(Atmel Studio 6)のインストール

「Atmel Studio 6」は、Atmel社のWebサイトからユーザ登録すると、ダウンロードできます。 (2013年9月現在、無料でダウンロード、使用できます。ユーザ登録も無料です)

マイコンをプログラミングして動かすためには、プログラムの開発環境を用意する必要があります。 AVRマイコンのプログラミングは、「Atmel Studio 6」という統合開発環境上で行います。

「Atmel Studio 6」は、このテキストで扱うATtiny2313A以外にも、いろいろなAVRマイコンのプロ グラムを開発できます。

「Atmel Studio 6」をインストールすると、C言語の開発環境も一緒にインストールされます(※) ので、C言語でのプログラム開発もできます。 (※前バージョンの「AVR Studio」の場合、C言語の開発環境は「AVR Studio」とは別にダウンロード してインストールする必要がありました)

下の説明を参照して、「Atmel Studio 6」をダウンロードして、パソコンにインストールして ください。 (※以下に説明するダウンロード手順は、2013年9月現在のものです。ダウンロードの手順は、 予告なく変更されることがありますので、その場合は、Atmel社のWebページの指示に従ってダウン ロードしてください。)

「Atmel Studio 6」ダウンロードのしかた(2013年9月現在): (1)はじめに、「http://www.atmel.com」にアクセスします。 トップページの上段の「Design Support」バーにマウスのカーソルを持っていくと、開発ツールの 一覧が出ます。

「Development Tools」の中の、「Atmel Studio IDE」をクリックします。

(2)「Atmel Studio 6」の紹介ページに飛びます。「Atmel Studio 6.1 update 1.1 (build 2674) Installer -Full」のCDのアイコンがありますので、それをクリックします。

(3) ゲストダウンロードの画面に飛びますので、必要事項を記入して、[Submit]ボタンをクリック します。

(4)記入した電子メールアドレスあてに、ダウンロードの案内が書かれた電子メールが届きますので、 その指示に従ってダウンロードします。

ダウンロードした「Atmel Studio 6」のインストーラのアイコンをダブルクリックして実行すると、 インストールが行われます。インストーラの指示に従ってインストールしてください。 ※インストーラのアイコンをダブルクリックしてから、インストールがはじまるまで、少し時間が かかることがありますが、異常ではありません。

2.3. AVRライタ(AVRWRT3)のインストール

◎AVRライタ(AVRWRT3)は、本キットには附属しません。AVRライタをお持ちでない方は、別途 お求めください。

◎Atmel社純正の書き込みツール(AVRISP mk2、AVR DRAGONなど)を使って書き込む場合の詳細に ついては、開発環境のヘルプを参照してください。

開発環境「Atmel Studio 6」を使って開発したプログラムを、AVRマイコンに書き込むために、 AVRライタを使います。このテキストでは、デジットオリジナルのAVRライタ(AVRWRT3)を使います。

AVRライタを使うには、AVRライタ用のデバイスドライバと書き込みソフト(AVRWRT.exe)をパソコン にインストールする必要があります。AVRライタ付属のCD-ROMに入っている、「インストールの しかた」をよく読んでから、インストール作業を行ってください。

#### 重要!!

◎ AVRライタ付属のデバイスドライバのインストールが完了するまでは、AVRライタをパソコンに 接続しないでください。 AVRライタは、デバイスドライバのインストールが完了してから、パソコンに接続してください。 3. AVRマイコン(ATtiny2313)のしくみ 「AVRマイコン アセンブラプログラミング超入門セット」に入っているAVRマイコン、ATtiny2313 について、ごく簡単に紹介します。
3.1. ATtiny2313Aの主な仕様

◎フラッシュメモリ(プログラムメモリ): 2048バイト(1024命令ワード)
◎データ用SRAM: 128バイト
◎データ保存用EEPROM: 128バイト
◎アータ保存用EEPROM: 128バイト
◎Aビットタイマカウンタ×1
◎8ビットタイマカウンタ×1
◎16ビットタイマカウンタ×1
◎シリアル通信機能: USART×1チャネル、USI(汎用シリアルインターフェイス)×1チャネル
◎動作クロック: 1MHzまたは8MHzの内部クロック ※水晶発振子を外付けすることで、20MHzまでの外部クロックでも動作可能です。
◎ISP機能: マイコンを基板に取り付けた状態でプログラムの書き換えができます。
◎電源電圧: 1.8V~5V

#### 3.2 ATtiny2313Aの主要部ブロックダイヤグラム



AVRマイコンの内部は、上図のブロックダイヤグラムのように、非常にシンプルなつくりになっています。

AVRマイコンの基本機能ブロックには、次のものがあります。

(1) プログラムメモリ(フラッシュROM): AVRライタでプログラム(命令)を書き込みます。

(2) プログラムカウンタ : プログラムメモリから取り出す命令の番地(アドレス)が入っています。 (3) SRAM領域 :

◎汎用レジスタ(R0~R31の32本):データの一時保存や演算に使います。

◎1/0レジスタ群:外部との入出力機能やタイマ機能、通信機能などの各種機能設定用のレジスタ が装備されています。

◎データSRAM : ユーザデータを一時的に保存できます。

(4)データ用EEPROM : ユーザデータを保存できます。(電源を切っても中身は消えません)

次のページ以降で、AVRマイコンのプログラムメモリ、データSRAM、データEEPROMと汎用レジスタ について、詳しく解説します。



 3.4. プログラムはどのように実行されるのか?(プログラムカウンタの役目)
 マイコンは、プログラムに書かれた命令に従って動きます。この章では、プログラムは一体 どのようにして実行されるのか、プログラムカウンタの役目を中心に説明します。



命令をプログラムメモリから取り出して実行すると、プログラムカウンタの値は自動的に1だけ 増えて、プログラムメモリ中の次に実行する命令を指し示すようになっています(※)。 (※ジャンプ命令やサブルーチンコール命令を実行すると、プログラムカウンタの値は命令のジャンプ 先アドレスになります)

プログラムカウンタの値は、マイコンの電源を入れたあとや外部リセット信号が与えられたあと、 自動的に「OxODOD」に初期化されます。

マイコンは1マシンサイクル(AVRマイコンの場合は原則として1クロック)中に、1個の命令しか実行 できません。この1個の命令は、汎用レジスタにデータを移動(コピー)する、マイコン内部の1/0 レジスタにアクセスする、プログラムカウンタの値を変更する(ジャンプする)といった、ごく単純な 操作しかできません。

複雑な操作は、こうした単純な操作を組み合わせて、高速かつ順番に実行することで行います。 下の図は、プログラムカウンタと命令の実行との関係を示します。

(1)リセット	·発生直後	
0x0000	RJMP 0x0013	プログラムカウンタ 0x0000 「0x0000」に初期化
0x03FF		マイコンの電源を入れたり、リセット信号を与える と、プログラムカウンタの内容は「0x0000」に初期化 されます。 プログラムメモリ中の0x0000番地の命令(この例では、 「RJMP 0x0013」)を読み出し、実行します。





このようなしくみで、マイコンはプログラムを実行します。AVRマイコン(ATtiny2313A)で、どの ような命令が実際に用意されているのかは、ATtiny2313Aのデータシートに載っています。全部で 100種類以上の命令があります。実際によく使われる命令とその操作の一覧は、巻末の資料篇に 載せてあります。



※ATtiny2313Aの全命令セットの概要を巻末の資料篇に載せていますので、参考にしてください。

(補足)サブルーチンコール命令とリターン命令

サブルーチンコール命令(RCALL命令)は、プログラム中でサブルーチン(よく実行される作業をひとかたまりにしたもの)を呼び出すのに使います。

リターン命令(RET命令)は、呼び出されたサブルーチンから戻るときに使います。

サブルーチンコール (RCALL命令) とリターン命令 (RET命令) は、常にペアで使う必要があります。

RCALL命令を使う前に、スタックポインタ(SPLレジスタ)に、データSRAM領域の最後のアドレスを 設定する必要があります。プログラムの最初の部分で、次のように書いて設定してください。

reset:	ldi r16, low(RAMEND)	;「low」は16ビットの定数の下位8ビットを ;取り出すための演算子です。
	out SPL, r16	;「ldi r16,0xdf」と書いてもかまいません。 ;「RAMEND」は、データSRAMの最後のアドレスで、 ; 開発環境の中で定義されています。

3.5. 汎用レジスタ(R0~R31)について

汎用レジスタは、各種I/0レジスタに設定データをコピーするのに 使ったり、内部SRAM上のデータを読み書きしたり、足し算、引き算、 比較、論理演算などの演算を行ったりと、あらゆる場面で使われます。

AVRマイコンの場合、内部SRAM上のデータ同士を直接足し算したり、 比較論理演算したりすることはできません。また、1/0レジスタ上の データの設定も、直接1/0レジスタにデータを書き込むことは できません(※)。

このため、ユーザのプログラムでは、汎用レジスタを介して処理を 行い、内部SRAMに格納したり、1/0レジスタにコピーしたりします。

AVRマイコンには、R0からR31まで、32本の汎用レジスタがあります。

特に、右の図で濃いねずみ色をしているR16からR31のレジスタは ほとんどの命令で使えます。右の図で薄いねずみ色をしているR0からR15 は、LD1命令など、命令によっては使えないことがありますので使用に 当たっては注意してください。(詳細は命令セットマニュアルを見て ください)

※R16からR25までの10本の汎用レジスタは、プログラム上で全く同じように使用できます。

Х	R27 (XH)	R26 (XL)				
Y	R29 (YH)	R28 (YL)				
Ζ	R31 (ZH)	R30 (ZL)				
	8bit	8bit				
16bit						



8bit

R26とR27、R28とR29、R30とR31 を使って16bitレジスタとして使え ます。

それぞれXレジスタ、Yレジスタ、 Zレジスタと呼びます。







\_\_\_\_\_

2013年 10月

4.2. プログラムを書いてビルドする プロジェクトを作成して新しいプログラムを作る準備ができましたので、次のプログラムリストを 入力します。入力を間違えてもあとで修正できますので、心配せずどんどん入力してください。 命令の詳細については、このテキストの巻末に命令セット一覧表を載せてありますので、 参考にしてください。 ンブラプログラムの中では大文字小文字を区別しません。プログラムは大文字小文字

次のページに続きます。





AVRアセンブラ入門セット\_10編\_131010

# AVRマイコン アセンブラプログラミング入門



(3) ビルドしたプログラムをマイコンに書き込みます。

プログラムのビルドが成功すると、次の場所に書き込み用のファイル(インテルヘキサ.hexファイル) ができます。



このインテルヘキサファイルを、書き込み器で開いてマイコンに書き込むと、マイコンがプログラム のとおりに動きます。



#### 5. 1/0ポートの使い方

5.1. マイコン(ATtiny2313A)のピン配置

下の図は、ATtiny2313Aのピン配置です。ICの表側から見た状態で描いてあります。



ATtiny2313Aでは、通常の1/0ポートの機能以外に、通信などのさまざまな機能を、同じピンを 共通に使うことで実現しています。ポートの名前の横の、括弧内の信号名の機能は、機能設定する ことで使用できるようになります。

(詳細については、ATtiny2313Aのデータシートを参照してください)

このテキストでは、マイコンのピンをデジタル1/0ポートとして使うことを前提に説明しますので、 上の図の括弧内の信号名については気にしなくてもかまいません。ただ、AVRマイコンでは、 デジタル1/0ポートのピンと各種機能のピンが共用になっていて、機能設定することで、様々な機能 を使えるようになるということは、覚えておいてください。

5.2.1/0ポート(デジタル入出カポート)関係の1/0レジスタの概要

/0 アドレス	レジスタ 名	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	BitO
0x1B	PORTA	_	-	-	-	-	PORTA2 ※	PORTA1	PORTAO
Ox1A	DDRA	-	-	-	-	-	DDA2×	DDA1	DDAO
0x19	PINA	-	-	-	-	-	PINA2×	PINA1	PINAO
0x18	PORTB	PORTB7	PORTB6	PORTB5	PORTB4	PORTB3	PORTB2	PORTB1	PORTBO
0x17	DDRB	DDB7	DDB6	DDB5	DDB4	DDB3	DDB2	DDB1	DDBO
0x16	PINB	PINB7	PINB6	PINB5	PINB4	P I NB3	PINB2	PINB1	PINBO
0x12	PORTD	-	PORTD6	PORTD5	PORTD4	PORTD3	PORTD2	PORTD1	PORTDO
0x11	DDRD	-	DDD6	DDD5	DDD4	DDD 3	DDD2	DDD1	DDDO
0x10	PIND	-	PIND6	PIND5	PIND4	P I ND 3	P I ND2	PIND1	P I NDO

※PA2は、リセット端子と共通になっています。通常は使用できません。

上の表は、ATtiny2313Aの、|/0レジスタマップから、|/0ポート関係の部分のみ抜粋したものです。ATtiny2313Aには、ポートA、ポートB、ポートDの3つの<math>|/0ポートがあることがこの表からわかります。設定用レジスタは、ポートA用、ポートB用、ポートD用に、それぞれ次のレジスタがあります。(「x」のところには、ポートA用、ポートB用、ポートD用に応じて、それぞれA、B、Dが入ります)

◎PORTx : 主にデータ出力に使用

◎DDRx : 入出力の切り替え設定に使用

◎PINx : 主に入力の状態を取り込むのに使用

次のページで、PORTx、DDRx、PINxの各レジスタの機能を説明します。





5.3.実際にデジタル1/0ポートを使ってみる

このテキストで使うブレッドボードの回路には、CdSセルを1個使用しています。

CdSセルは、光が当たると抵抗値が下がる物質(CdS:硫化カドミウム)を塗って焼き付けたもので、 周囲の明るさに合わせて抵抗値が変化する抵抗です。周囲が明るいときは抵抗値が低く、周囲が暗い ときは抵抗値が高くなります。

CdSセルは、周囲の明るさに反応するセンサとして、夜になると点灯する街灯などに、広く使われています。

この章では、このCdSセルを使って、外部の状態(周囲の明るさ)をマイコンの動作に反映させる 実験を行います。

プログラムの説明については、この節の後半にあります。

(1)Atmel Studioで新しい別のプロジェクトを作成し、次のプログラムを書きます。 2013/07/22 CdS\_input 周囲の明るさをCdSセルで検出するLED点灯プログラム ATtiny2313A 1MHz ;------ アセンブラプログラムの決まりごと -------; (1) ' ; (セミコロン)' はコメント記号です。行の中に現れると、開発環境は セミコロンより後ろを無視します。 (2) アセンブラプログラムの中では名前や命令の大文字小文字の違いは無視されます。
 大文字小文字どちらでプログラムを書いてもかまいません。 ※データ中の大文字小文字は区別されます。 ※コメント以外の場所では、全角文字は使えません(エラーになります) (3) ', include'など、頭に', (ピリオド)'がついているのは開発環境に対する 作業指示を意味する擬似命令です。 「main:」など、名前の後ろに':(コロン)'があるのはラベルです。 (4) ジャンプやサブルーチンコール命令の飛び先を指定するのに使います。 . include "tn2313adef. inc" ;ATtiny2313A用定義ファイルを取り込みます このファイルの中で、1/0レジスタの名前などが ;定義されています。 割り込みベクタ領域(ATtiny2313Aの場合、0x0000番地~0x0012番地) 使う割り込みの頭のコメント記号(セミコロン)を外して使います。 ;各種リセット:「reset:」というラベルのところに ;ジャンプします。 .org 0x00 rimp reset ;外部割り込み要求0 ; org OxO1 rjmp ext intO rimp ext\_int1 rimp tim1\_capt ;外部割り込み要求1 ;.org 0x02 ;タイマ/カウンタ1捕獲(キャプチャ)発生 ;. org 0x03 タイマ/カウンタ1比較A一致 ; org 0x04 rjmp tim1 compa ;.org 0x05 rjmp tim1\_ovf タイマ/カウンタ1オーバーフロー タイマ/カウンタロオーバーフロー ;. org 0x06 rjmp tim0\_ovf ;usart受信完了 ;. org 0x07 rjmp usart rxt ;usart送信バッファ空 ;. org 0x08 rjmp usart udre ;. org 0x09 rimp uasrt tx ;usart送信完了 ;.org OxOa rjmp ana comp ;アナログ比較器出力遷移 点線の枠内は、今回の ; org OxOb ;ピン変化割り込み要求 rjmp pcint プログラムでは タイマ/カウンタ1比較B一致 タイマ/カウンタ0比較A一致 ;.org OxOc rjmp tim1\_compb 書かなくてもかまい ;. org OxOd rjmp timO\_compa ません。(使用しません) ;タイマ/カウンタ0比較B一致 ;.org OxOe rjmp tim0 compb ;.org OxOf ;usi開始条件検出 rjmp usi\_strt ;.org Ox10 rjmp usi\_ovf ;usiカウンタオーバーフロー ; org Ox11 ;eeprom操作可 rjmp ee\_edy ;. org 0x12 rjmp wdt\_ovf ;ウォッチドッグ時計完了 ATtiny2313Aの場合、プログラムはDx13番地以降からはじまるように書きます 次のページに続きます。



		前の	<b>Dページの続きです</b> 。
	ldi out rcall	r16, 0b11011111 PORTB, r16 wait	; PB5のLEDを点灯させます(r16=0b11011111) ; PORTBレジスタに出力 ; 時間待ち
,	ldi out rcall	r16, 0b10111111 PORTB, r16 wait	; PB6のLEDを点灯させます(r16=0b10111111) ; PORTBレジスタに出力 ; 時間待ち
,	ldi out rcall	r16, 0b01111111 PORTB, r16 wait	; PB7のLEDを点灯させます(r16=0b01111111) ; PORTBレジスタに出力 ; 時間待ち
7	r jmp	main	; mainに飛びます(無限ループ)
;******** wai wait: wait1:	it : 時 Idi dec cpi breq	間稼ぎ用ル―チン ** r19,0x0f r19 r19,0 waitend	******* ;r19 = 0x0f(10進で15) ;r19を1減らし ;r19が0になったかどうか比較 ;0だったら、waitendへジャンプ
wait2:	ldi dec cpi breq rjmp	r17,0xff r17 r17,0 wait1 wait2	;r17を0xffにする ;r17を1減らし ;r17が0になったかどうか比較 ;r17が0だったら、wait1にジャンプ ;r17が0でなければ、wait2にジャンプ
waitend:	ret		;サブルーチンからリターン











入カA — 入力B — 結果

### AVRマイコン アセンブラプログラミング入門

Γin r16, PIND」 PD6 PD5 PD4 PD3 PD2 PD1 PD0
$\begin{array}{c ccccccccccccccccccccccccccccccccccc$
Γandi r16, 0b0000001」 Λ (AND)
「andi」命令は、汎用レジスタr16上のデータ 0 0 0 0 0 0 0 1
と命令中のデータのANDをとり、汎用レジスタr16に II IIIIIIIIIIIIIIIIIIIIIIIIIIIIIIIII
この「andi」命令を使うと、条件判断に必要 r16 0 0 0 0 0 0 1
ないビットをすべて「0」にし、必要なビットだけを取り出すことができます。
全城 ノ出 ノ ここ X ここ X い い い い
正しいプログラム
main: in r16.PIND ; CdSセルの状態を入力
andi r16,0b0000001 ; PD0の状態のみをandi命令で取り出す cni r16,0 : 周囲が暗い(抵抗値が高い)ときはr16=0
breq main_1
, , 周囲が明るい(CdSセルの抵抗値が低い)ときはLEDを消灯させます ,
di r16,0b11111111 ; LEDを消灯 out PORTB.r16
rjmp main
周囲が暗い(CdSセルの抵抗値が高い)ときはLEDを点滅させます
, main_1: (以下华略)
上の「正しいプロクラム」中で、「andı r16, UbUUUUUU1」命令の次の命令は「cpi r16, U」です。 直前のandi命令で、r16のビット7~ビット1はすべて「0」であることが保証されます。 つまり、「andi r16, 0b0000001」命令を実行したあとの、r16の値は、「0」か「1」かのどちらか になります。
周囲が明るい場合、「cpi r16,0」の結果は「0と等しくない」(なぜならr16の値は「0b0000001」 だから)ので、「cpi r16,0」の次の「breq main_1」命令は実行されません。(それに続く命令が そのまま実行されます)
_周囲が暗くなると、「cpi r16,0」の結果は「0と等しい」ので、「cpi r16,0」の次の、 「breq main_1」命令が実行され、LEDの順次点滅部分にジャンプします。
ポイント ◎I/Oレジスタの値(ここではPINDレジスタの値)を使って正しく条件判断するには、 「andi」命令を使って、条件判断に関係しないビットをすべて「O」にする必要がある。
(補足)主な論理演算 主な論理演算には、次のようなものがあります。詳細については、デジタル回路の入門書を 参照してください。
ANDの真理値表     OR(オア)の真理値表     NOT(ノット)       OR(オア)の真理値表     の真理値表
$\begin{array}{ c c c c c c c c c c c c c c c c c c c$
入力B → 結果 入力B → → → → → → → → → → → → → → → → → → →

# 5. 練習

5.1. 7セグメントLEDで、数字を表示する

この入門セットのブレッドボードには、バラのLEDと一緒に、7セグメントLEDを載せてあります。 ※7セグメントLEDについての簡単な解説が、5ページに載っていますので参考にしてください。

この7セグメントLEDを使って、実際にロから9までの数字と、aからfまでのアルファベットを表示 させてみてください。表示させる数字の字形は次のとおりです。





7セグメントLEDの各セグメントと、接続先のマイコン のポートとの関係は、左の図のとおりです。



(1)各数字とセグメントの表示パターンから、ポートBに出力するデータを決めてください。

PB7	PB6	PB5	PB4	PB3	PB2	PB1	PBO
PB7	PB6	PB5	PB4	PB3	PB2	PB1	PBO
PB7	PB6	PB5	PB4	PB3	PB2	PB1	PBO
PB7	PB6	PB5	PB4	PB3	PB2	PB1	PBO
PB7	PB6	PB5	PB4	PB3	PB2	PB1	PBO

1/0ポート操作編

#### AVRマイコン アセンブラプログラミング入門

	PB7	PB6	PB5	PB4	PB3	PB2	PB1	PBO	
									I.
	PB7	PB6	PB5	PB4	PB3	PB2	PB1	PBO	1
	PB7	PB6	PB5	PB4	PB3	PB2	PB1	PBO	
	PB7	PB6	PB5	PB4	PB3	PB2	PB1	PBO	
	PB7	PB6	PB5	PB4	PB3	PB2	PB1	PBO	
	PB7	PB6	PB5	PB4	PB3	PB2	PB1	PBO	
	PR7	PR6	PR5	PR4	PB3	PR2	PR1	PRN	
		ļ					I	I	
	PB7	PB6	PB5	PB4	PB3	PB2	PB1	PBO	
	PB7	PB6	PB5	PB4	PB3	PB2	PB1	PBO	1
	PB7	PB6	PB5	PB4	PB3	PB2	PB1	PBO	
			•	•	•		•	•	
	PB7	PB6	PB5	PB4	PB3	PB2	PB1	PBO	
(2)LED点滅 (パター)	えつ ンが足	ブラム( りなけ	(13ペー れば追	-ジかり 追加して	ら15ペ てくだ	ージ)の さい)、	D、LEI ビル	)点滅部 ドして	3分に、設計したビットパターンを 書き込んでください。
						/	_,,		

5.2. タクトスイッチ(押しボタンスイッチ)による入力の実験 この入門セットには、実験用パーツとして、タクトスイッチと4.7kΩの抵抗が付属しています。 23~25ページの実験では、入力としてCdSセルと半固定抵抗を使いましたが、これをタクトスイッチ と抵抗に置き換えてみます。



タクトスイッチを押したときにLEDが点滅し、タクトスイッチを押していないときにLEDが消灯する ようにするにはどうすればよいでしょうか?巻末資料編のよく使う命令一覧を参考にして、プログラム を改造してみてください。

#### 資料編

(1)よく使われる、主な命令とその操作の概要

ATtiny2313Aでよく使われる命令の一覧とその概要を説明します。

	命令	動作の概要
1	LDI Rd, K	汎用レジスタRdIに、定数Kをコピーする
2	MOV Rd, Rr	汎用レジスタRrの値を、汎用レジスタRdにコピーする
3	OUT P, Rr	汎用レジスタRrの値を、入出カレジスタPにコピーする
4	IN Rd, P	入出力レジスタPの値を、汎用レジスタRdにコピーする
5	LDS Rd, MEM	データSRAMのMEM番地の値を、汎用レジスタRdにコピーする
6	STS MEM, Rr	汎用レジスタRrの値を、データSRAMのMEM番地にコピーする
7	INC Rd	汎用レジスタRdの値を、1増やす(インクリメントする)
8	DEC Rd	汎用レジスタRdの値を、1減らす(デクリメントする)
9	LSL Rd	汎用レジスタRdのビットを、1だけ左にシフトする。 はみ出したビットは、Cフラグに反映される
10	LSR Rd	汎用レジスタRdのビットを、1だけ右にシフトする。 はみ出したビットは、Cフラグに反映される
11	COM Rd	汎用レジスタRdのビットを反転する
12	ANDI Rd, K	汎用レジスタRdのビットと、定数KのビットのANDをとり、 汎用レジスタRdに入れる
13	ORIRd, K	汎用レジスタRdのビットと、定数KのビットのORをとり、 汎用レジスタRdに入れる
14	CPI Rd, K	汎用レジスタRdの値と、定数Kを比較する
15	BREQ LABEL	比較などの演算結果が0のとき、ラベルで指定されたアドレスにジ ャンプする
16	BRNE LABEL	比較などの演算結果が0でないとき、ラベルで指定されたアドレス にジャンプする
17	RJMP LABEL	ラベルで指定されたアドレスに無条件でジャンプする
18	RCALL LABEL	ラベルで指定されたアドレスのサブルーチンを呼び出す
19	RET	呼び出されたサブルーチンから戻る
20	LPM Rd, Z	Zレジスタで指定された、プログラムメモリ中のデータを、 汎用レジスタRdにコピーする

# ATtiny2313Aの命令についてもっと詳しく知りたいときは

※ATtiny2313Aの全命令の詳細については、Atmel Studioのヘルプで調べることができますので、 参照してください。



ATtiny2313A 全命令の概要(1/2)

#### 命令表の見かた

- (1)「Operands」欄の「Rd」「Rr」は、汎用レジスタを、「K」は数値(定数)を表します。
- (2)「変化するフラグ」欄は、ステータスレジスタ(SREG)中のフラグの中で、どのフラグが変更 されるかを表します。
- (3)「クロック数」欄は、命令を実行するのに必要なクロック数です。

ニモニック	オペランド	概要	変化するフラグ	クロック数
		Arithmetic and Logical Instrunctions		
ADD	Rd, Rr	Add two Registers	Z, C, N, V, H	1
ADC	Rd, Rr	Add with Carry two Registers	Z, C, N, V, H	1
ADIW	Rdl, K	Add Immediate to Word	Z, C, N, V, S	2
SUB	Rd, Rr	Subtract two Registers	Z, C, N, V, H	1
SUBI	Rd, K	Subtract Constant from Register	Z, C, N, V, H	1
SBC	Rd, Rr	Subtract with Carry two Registers	Z, C, N, V, H	1
SBC	Rd, K	Subtract with Carry Constant from Reg.	Z, C, N, V, H	1
SBIW	Rdl, K	Subtract Immediate from Word	Z, C, N, V, S	2
AND	Rd, Rr	Logical AND Registers	Z, N, V	1
ANDI	Rd, K	Logical AND Register and Constant	Z, N, V	1
OR	Rd, Rr	Logical OR Registers	Z, N, V	1
URI	Rd, K	Logical UR Register and Constant	Z, N, V	1
EUR	Ra, Rr	Exclusive UK Registers	Z, N, V	1
LUM	Ra	Une's Complement	Z, U, N, V	1
NEG CDD	Ka	IWO S COMPTEMENT	Z, G, N, V, H	1
SBR	KO, N Rak	Set Bit(s) in Register	Z, N, V	1
LNC	KO, N	Liear Bit (s) in Register	Z, N, V	1
	<u>ил</u> ка	Decrement	Z, N, V Z N V	1
Tet	R4 VU	DCGICHHCHIL Test for Zero er Minus	Z, N, V 7 N V	1
	RA	rigst for Zelly VI Millus Clear Perioter	2, N, V 7 N V	1
SFR	Rd	Set Register	2, 11, V None	1
JEN	NU		10116	
RJMP	k	Relative Jumn	None	2
LIMP	ĸ	Indirect Jump to (7)	None	2
RCALL	k	Relative Subroutine Call	None	3
ICALL		Indirect Call to (Z)	None	3
RET		Subroutine Return	None	4
RET		Interrupt Return	1	4
CPSE	Rd, Rr	Compare, Skip if Equal if (Rd = Rr)	None	1/2/3
CP	Rd, Rr	Compare	Z, N, V, C, H	1
CPC	Rd, Rr	Compare with Carry	Z, N, V, C, H	1
CPI	Rd, K	Compare Register with Immediate	Z, N, V, C, H	1
SBRC	Rr, b	Skip if Bit in Register Cleared if (Rr(b)=0)	None	1/2/3
SBRS	Rr, b	Skip if Bit in Register is Set if (Rr(b)=1)	None	1/2/3
SBIC	P, b	Skip if Bit in I/O Register Cleared if (P(b)=0)	None	1/2/3
SBIS	P, b	Skip if Bit in I/O Register is Set if (P(b)=1)	None	1/2/3
BRBS	s, k	Branch if Status Flag Set	None	1/2
BRBC	s, k	Branch if Status Flag Cleared	None	1/2
BREQ	k	Branch if Equal	None	1/2
BRNE	k	Branch if Not Equal	None	1/2
BRCS	k	Branch if Carry Set	None	1/2
BRCC	k	Branch if Carry Cleared	None	1/2
BRSH	k	Branch if Same or Higher	None	1/2
BRLO	k	Branch if Lower	None	1/2
BRM	k	Branch if Minus	None	1/2
BRPL	k	Branch if Plus	None	1/2
BRGE	k	Branch if Greater or Equal, Signed	None	1/2
BRLT	k	Branch it Less Than Zero, Signed	None	1/2
BRHS	k	Branch it Halt Carry Flag Set	None	1/2
BKHC	ĸ	Branch it Halt Carry Flag Cleared	None	1/2
BRIS	K	Branch IT I Flag Set	NONE	1/2
BKIU	K I-	Branch IT I Flag Uleared	NONE	1/2
BRVS	K I-	Branch if Overflow Flag is Set	None	1/2
BKVU	K	Branch it uvertiow Flag is Gleared	NONE	1/2
BKIE	ĸ	Branch if Interrupt Enabled	NUNE	1/2
BKID	ĸ	BIT AND DIT_TEST INSTDUCTIONS	NUNE	1/2
SBI	Рь	Sat Rit in 1/0 Pagistar	None	2
	г, U Р К	Clear Bit in 1/0 Register	None	2
	1, U R4	Logical Chift Loft		
	R4	logical Shift Right	2, 0, N, V 7 C N V	1
ROI	R4	Rotate   eft Through Carry	2, 0, N, V	1
NOL	i.u		2, 0, N, V	

# ATtiny2313A 全命令の概要 (2/2)

Rol         Rol         Rolate Right Through Carry         Z. C. N. V         1           SNAP         Rol         Arithmetic Shift Right         Z. C. N. V         1           SNAP         Rol         Swap Nibbles         None         1           SNAP         Rol         Swap Nibbles         None         1           BCLR         s         Files Set         SREC(s)         1           BLD         Rol, b         Bit Isad fram T to Register to T         T         1           BLD         Rol, b         Bit Isad fram T to Register to T         T         1           SEC         Set Carry         C         1         1           CLC         Clear General To Register to T         N         1         1           SEC         Set Carry         C         1         1         1           CLC         Clear General To Files         Z         1         1         1           SEZ         Set Stared Test Files         S         1         1         1         1           SEX         Set Stared Test Files         S         1         1         1         1           SEX         Set T wes Complement Over Filow         V         1         <	ニモニック	オペランド	概要	変化するフラグ	クロック数
ASR         Rd         Arithmetic Shift Right         Z. C. V         1           SWAP         Rd         Swap Nibbles         None         1           BST         s         Flag Set         SREG(s)         1           BCR         s         Bill Store from Kegister to T         SREG(s)         1           BCD         Rd, b         Bit Istore from Kegister         None         1           SEG         Set Corry         C         1         1           SEG         Set Corry         C         1         1           SEG         Set Torry         Set Torry         C         1         1           SEG         Set Torry         Set Torry         N         1         1           SEG         Set Torry         Set Torry         Set Torry         1         1           SEG         Set Torry         Set Torry         Set Torry         Set Torry	ROR	Rd	Rotate Right Through Carry	Z, C, N, V	1
SWAP         Rd         Swap Nibiles         None         1           BSET         s         Flag Stat         SREG(s)         1           BCLR         s         Flag Glear         SREG(s)         1           BED         Rr, b         Bit load from T to Register         Name         1           BLD         Rd, b         Bit load from T to Register         Name         1           CLC         C         Clear Carry         C         1         1           CLC         Clear Carry         C         1         1         1           CLZ         Clear Carry         C         1         1         1           CLZ         Clear Carry         C         1         1         1           SET         Clear Carry         C         1         1         1           SET         Glear Carry         Z         1         1         1           SET         Set Signed Test Flag         Z         1         1         1           SET         Set T was Complement Overflaw,         V         1         1         1           SET         Set T was Complement Overflaw,         V         1         1         1	ASR	Rd	Arithmetic Shift Right	Z, C, N, V	1
BSET         s         Flag Set         SREG (s)         1           BCLR         s         B1 Store from Register to Y         T         1           BLD         Rd, b         Bit Store from Register to Y         T         1           BLD         Rd, b         Bit load from T to Register         Name         1           SEC         Set Carry         C         1         1           SEC         Carry         C         1         1           SEC         Set Magative Flag         N         1           SEX         Set Zarry         Set Zarry         C         1           SEX         Set Zarry         Set Zarry         Z         1           SEX         Set Zarry         Set Zarry         Z         1           SEX         Set Zarry         Set Zarry         2         1           SEX         Set Zarry         Set Zarry         1         1           SEX         Set Zarry         Set Zarry         1         1           SEX         Set Sarry         Set Zarry         1         1           SEX         Set Sarry         Set Zarry         1         1           SEX         Set Sarry	SWAP	Rd	Swap Nibbles	None	1
BORR         s         Fing Clear         SREG(s)         1           BST         Rr, b         Bit load from T to Register to T         T         1           BLD         Rd, b         Bit load from T to Register to T         Name         1           SEC         Set Vegative Fing         C         1         1           CLC         Clear Carry         C         1         1           GLN         Set Vegative Fing         N         1         1           GLN         Clear Test Fing         N         1         1           GLZ         Clear Zero Fing         Z         1         1           GLZ         Clear Zero Fing         Z         1         1           GLZ         Clear Test Signed Test Fing         S         1         1           GL         Global Interrupt Enable         I         1         1           GL         Set Test Gamplement Overflow         V         1         1           GLY         Clear Test Gamplement Overflow         V         1         1           GLY         Clear Test Gamplement Overflow         V         1         1           GLY         Set Holtener In SREG         I         1 <t< td=""><td>BSET</td><td>S</td><td>Flag Set</td><td>SREG (s)</td><td>1</td></t<>	BSET	S	Flag Set	SREG (s)	1
BST         Rr, b         Bit Store from Register to T         T         I           BLD         Rd, b         Bit lad from T to Register         None         I           SEC         Set Carry         C         I           SEC         Clear Carry         C         I           SEN         Set Carry         C         I           SEN         Set Variable         I         I           SEX         Set Zero Flag         Z         I           CLZ         Clear Factor Flag         Z         I           SEI         Global Interrupt Enable         I         I           SES         Gel Sined Test Flag         S         I           SEV         Set T ins Section Interrupt Enable         I         I           SEV         Set T in SEC         I         I           SET         Set T in SEC         I         I           SET         In SEC         I         I         I           SET         In SEC         I         I         I           SET         In SEC         I         I         I           SET         Set T in SEC         I         I         I           SET	BCLR	S	Flag Clear	SREG (s)	1
BLD         Rd, b         Bit I dad from T to Register         None         I           SEC         Set Vegilive Flag         N         I           CLC         Clear Carry         C         I           SEN         Set Vegilive Flag         N         I           CLN         Clear Negative Flag         N         I           CLZ         Clear Zero Flag         Z         I           CLZ         Clear Zero Flag         Z         I           CLI         Global Interrupt Enable         I         I           CLI         Global Interrupt Enable         I         I           CLS         Clear Signed Test Flag         S         I           CLS         Set Signed Test Flag         S         I           CLV         Clear Twos Complement Overflow         V         I           SET         Set Interrupt Flag In SREG         H         I           CLT         Set Signed Register Mark         None         I           CLT         Set Mit Interrupt Flag In SREG         H         I           CLT         Set Mit Interrupt Flag In SREG         H         I           CLT         Set Mit Interrupt Flag In SREG         H         I	BST	Rr, b	Bit Store from Register to T	T	1
SEC         Set Carry         C         I           CLC         Clear Garry         C         1           SEN         Set Negative Flag         N         1           SEX         Set Zero Flag         Z         1           CLZ         Clear Set Zero Flag         Z         1           CLZ         Clear Set Zero Flag         Z         1           SEI         Global Interrupt Enable         1         1           SEI         Global Interrupt Enable         1         1           SES         Set Two Semplement Overflow         V         1           CLY         Clear Signed Test Flag         S         1           SET         Set Two Semplement Overflow         V         1           CLT         Clear Till SREG         T         1           SET         Set Mark Carry Flag in SREG         H         1           CLT         Clear Half Carry Flag in SREG         H         1           CLT         Clear Half Carry Flag in SREG         H         1           DU         Rd, Rr         Copy Register Word         None         1           MOV         Rd, Ar         Load Indirect and Prothe.         None         2 <t< td=""><td>BLD</td><td>Rd, b</td><td>Bit load from T to Register</td><td>None</td><td>1</td></t<>	BLD	Rd, b	Bit load from T to Register	None	1
CLC         Clear Carry         C         1           SEN         Set Negative Flag         N         1           CLN         Clear Negative Flag         N         1           SEZ         Set Zere Flag         Z         1           CLZ         Clear Zere Flag         Z         1           CLZ         Clear Zere Flag         Z         1           CLI         Global Interrupt Disable         1         1           CLI         Global Interrupt Disable         1         1           CLI         Global Interrupt Disable         1         1           CLS         Clear Twos Complement Overflow         V         1           CLV         Clear Twos Complement Overflow         V         1           CLT         Clear This SRG         T         1           CLH         Clear Half Carry Flag in SRG         H         1           CLH         Clear Half Carry Flag in SRG         H         1           CLH         Clear Half Carry Flag in SRG         H         1           CLH         Clear Half Carry Flag in SRG         H         1           DLD         Rd, K         Load Indirect None         1           DD         R	SEC		Set Carry	C	1
SEN         Set Negative Flag         N         1           CLN         Clar Negative Flag         N         1           SEZ         Set Zero Flag         Z         1           CLZ         Clar Set Zero Flag         Z         1           SEI         Global Interrupt Enable         1         1           SES         Set Signed Test Flag         S         1           SES         Set Twos Complement Overflow         V         1           CLV         Clear Signed Test Flag         S         1           SET         Set Twos Complement Overflow         V         1           CLT         Clear Tine SREG         T         1           CLT         Clear Tine SREG         T         1           SET         Set Tain SREG         H         1           CLT         Clear Malf Carry Flag in SREG         H         1           CLT         Clear Malf Carry Flag in SREG         H         1           DE         MOV         Red, Rr         Coop Register Word         None           LD         Rd, X         Load Indirect and Prest-Inc.         None         2           LD         Rd, X         Load Indirect and Prest-Inc.         None	CLC		Clear Carry	C	1
CLN         Clear Negative Flag         N         1           SEZ         Set Zere Flag         Z         1           CLZ         Clear Zere Flag         Z         1           CLI         Global Interrupt Enable         I         1           CLI         Global Interrupt Enable         I         1           CLI         Global Interrupt Enable         I         1           CLS         Set Signed Test Flag         S         1           CLS         Clear Signed Test Flag         S         1           CLV         Clear Nos Complement Overflow,         V         1           CLT         Clear Tin SREG         T         1           CLH         Clear Half Carry Flag in SREG         H         1           CLH         Clear NastRER INSTRUCTIONS         None         1           MOVW         Rd, Rr         Move Between Registers         None         1           LD         Rd, K         Load Indirect         None         1           LD         Rd, K         Load Indirect         None         2           LD         Rd, Y         Load Indirect and Post-Inc.         None         2           LD         Rd, Y         Load I	SEN		Set Negative Flag	N	1
SEZ         Set Zero Flag         Z         1           CLZ         Clear Zero Flag         Z         1           SEI         Global Interrupt Enable         I         1           CLI         Global Interrupt Disable         I         1           SES         Set Signed Test Flag         S         1           SEV         Set Twos Complement Overflow         V         1           SET         Set Twos Complement Overflow         V         1           SET         Set Trin SREG         T         1           CLT         Clear Yest Complement Overflow         V         1           SET         Set Trin SREG         H         1           CLT         Clear Hait Carry Flag in SREG         H         1           CLI         Globar Hait SREG         None         1           MOW         Rd, Rr         Copy Register Word         None         1           MOW         Rd, Rr         Load Indirect and Pest-Inc.         Nance         2           LD         Rd, Y         Load Indirect and Pest-Inc.         Nance         2           LD         Rd, Y+a         Load Indirect and Pest-Inc.         Nance         2           LD         Rd,	CLN		Clear Negative Flag	N	1
CLZ         Clear Zere Fins         Z         1           CLI         Global Interrupt Enable         I         1           CLI         Global Interrupt Enable         I         1           CLS         Set Signed Test Fing         S         1           CLS         Clear Signed Test Fing         S         1           CLV         Set Twes Complement Overflow         V         1           CLV         Clear Yes Complement Overflow         V         1           CLT         Clear Tin SREG         T         1           CLT         Clear Try Fing in SREG         H         1           SET         Set Half Carry Fing in SREG         H         1           CLH         Clear Half Carry Fing in SREG         H         1           MOW         Rd, Rr         More Between Registers         None         1           MOW         Rd, Rr         Load Indirect         None         2           LD         Rd, Y         Load Indirect         None         2           LD         Rd, Y         Load Indirect         None         2           LD         Rd, Y-         Load Indirect and Pest-Inc.         None         2           LD         <	SEZ		Set Zero Flag	Z	1
SEI         Global Interrupt Enable         I         1           CL1         Global Interrupt Enable         I         1           SES         Set Signed Test Flag         S         1           SEV         Clear Signed Test Flag         S         1           SEV         Set Twos Complement Overflow         V         1           CLV         Clear Yos: Complement Overflow         V         1           SET         Set T in SRE6         T         1           CLT         Clear Hot: Complement Overflow         V         1           SET         Set Malf Carry Flag in SRE6         H         1           CLT         Clear Hot: Carry Flag in SRE6         H         1           MOV         Rd. Rr         Move Between Registers         None         1           MOVW         Rd. Rr         Load Indirect         Nane         1           LD         Rd, X         Load Indirect         Nane         2           LD         Rd, Y+         Load Indirect and Pest-Inc.         Nane         2           LD         Rd, Y+         Load Indirect and Pest-Inc.         Nane         2           LD         Rd, Y+         Load Indirect and Pest-Inc.         Nane	CLZ		Clear Zero Flag	Z	1
CLI         Global Interrupt Disable         I         1           SES         Set Signed Test Flag         S         1           CLS         Clear Signed Test Flag         S         1           CLV         Set Twos Complement Overflow         V         1           CLV         Clear Tim SREG         T         1           CLT         Clear T in SREG         T         1           CLT         Clear T in SREG         H         1           CLH         Clear Half Carry Flag in SREG         H         1           CLH         Clear Half Carry Flag in SREG         H         1           MOW         Rd, Rr         Coop Register Word         None         1           MOW         Rd, Rr         Coop Register Word         None         1           LD         Rd, X+         Load Indirect         None         1           LD         Rd, Y         Load Indirect and Pro-Dec.         None         2           LD         Rd, Y+         Load Indirect and Pro-Dec.         None         2           LD         Rd, Y+         Load Indirect and Pro-Dec.         None         2           LD         Rd, Y+         Load Indirect and Pro-Dec.         None	SE		Global Interrupt Enable	I	1
SES         Set Signed Test Flag         S         1           CLS         Clars Signed Test Flag         S         1           SEV         Set Two Complement Overflow         V         1           CLY         Clear Yas Complement Overflow         V         1           SET         Clear Yas Complement Overflow         V         1           SET         Clear T in SRE6         T         1           CLT         Clear Half Carry Flag in SRE6         H         1           MOW         Rd, Rr         Move Between Registers         Nane         1           MOW         Rd, Rr         Coop Register Word         Nane         1           LD         Rd, X         Load Indirect         Nane         2           LD         Rd, X+         Load Indirect and Post-Inc.         Nane         2           LD         Rd, Y         Load Indirect and Pro-Dec.         Nane         2           LD         Rd, Y         Load Indirect and Pro-Dec.         Nane         2           LD         Rd, Y         Load Indirect and Pro-Dec.         Nane         2           LD         Rd, Y         Load Indirect and Pro-Dec.         Nane         2           LD         Rd,	CLI		Global Interrupt Disable	I	1
Clas         Clear Signed Test Flag         S         1           SEV         Solar Twos Complement Overflow,         V         1           CLV         Clear Tims Complement Overflow,         V         1           CLT         Clear Tims REG         T         1           CLT         Clear Tims REG         T         1           CLH         Clear Half Carry Flag in SREG         H         1           CLH         Clear Half Carry Flag in SREG         H         1           MOV         Rd, Rr         Move Breven Registers         None         1           MOV         Rd, Rr         Cagy Register Vord         None         1           LD         Rd, K         Load Indirect and Prost-Inc.         None         2           LD         Rd, Y         Load Indirect and Prost-Inc.         None         2           LD         Rd, Y+         Load Indirect and Prost-Inc.         None         2           LD         Rd, Y+         Load Indirect and Prost-Inc.         None         2           LD         Rd, Y+         Load Indirect and Prost-Inc.         None         2           LD         Rd, Y+         Load Indirect and Prost-Inc.         None         2           <	SES		Set Signed Test Flag	S	1
SEV         Set Twos Complement Overflow         V         1           CLV         Clear Was Complement Overflow         V         1           SET         Set T in SREG         T         1           CLT         Clear Har SREG         T         1           SEH         Set A in SREG         H         1           CLT         Clear Har Carry Flag in SREG         H         1           CLW         Clear Har Carry Flag in SREG         H         1           MOW         Rd, Rr         Cory Register Mord         None         1           MOW         Rd, Rr         Cory Register Mord         None         1           LD         Rd, X         Load Indirect         None         2           LD         Rd, X+         Load Indirect         None         2           LD         Rd, Y         Load Indirect and Pro-Dec.         None         2           LD         Rd, Y         Load Indirect and Pro-Dec.         None         2           LD         Rd, Y         Load Indirect and Pro-Dec.         None         2           LD         Rd, Y         Load Indirect and Pro-Dec.         None         2           LD         Rd, Z         Load Indirect an	CLS		Clear Signed Test Flag	S	1
CLV     Clear Twos Complement Overflow     V     1       SET     Set T in SREG     T     1       CLT     Clear T in SREG     T     1       CLH     Clear Half Carry Flag in SREG     H     1       CLH     Clear Half Carry Flag in SREG     H     1       MOV     Rd, Rr     More Between Registers     None     1       MOV     Rd, Rr     Copy Register Word     None     1       LD     Rd, X     Load Immediate     None     1       LD     Rd, X     Load Indirect and Pro-Dec.     None     2       LD     Rd, Y+     Load Indirect and Pro-Dec.     None     2       LD     Rd, Y+     Load Indirect and Pro-Dec.     None     2       LD     Rd, Y+     Load Indirect and Pro-Dec.     None     2       LD     Rd, Y+     Load Indirect and Pro-Dec.     None     2       LD     Rd, Y+     Load Indirect and Pro-Dec.     None     2       LD     Rd, Y-     Load Indirect and Pro-Dec.     None     2       LD     Rd, Z-     Load Indirect and Pro-Dec.     None     2       LD     Rd, Z-     Load Indirect and Pro-Dec.     None     2       LD     Rd, Z-     Load Indirect and Pro-Dec.	SEV		Set Twos Complement Overflow.	V	1
SET     Set T in SREG     T     1       OLT     Clear T in SREG     T     1       SEH     Set Half Carry Flag in SREG     H     1       OLT     Clear T in SREG     H     1       CLH     Clear Half Carry Flag in SREG     H     1       MOW     Rd, Rr     Clear Half Carry Flag in SREG     H     1       MOW     Rd, Rr     Copy Register Word     None     1       LD     Rd, K     Load Indirect     None     1       LD     Rd, X+     Load Indirect     None     2       LD     Rd, Y+     Load Indirect     None     2       LD     Rd, Y+     Load Indirect and Post-Inc.     None     2       LD     Rd, Y+     Load Indirect and Post-Inc.     None     2       LD     Rd, Y+     Load Indirect and Post-Inc.     None     2       LD     Rd, Y-     Load Indirect and Post-Inc.     None     2       LD     Rd, Z+     Load Indirect and Post-Inc.     None     2       LD     Rd, Z+     Load Indirect and Post-Inc.     None     2       LD     Rd, Z+     Load Indirect and Post-Inc.     None     2       LD     Rd, Z+     Load Indirect and Post-Inc.     None     2	CLV		Clear Twos Complement Overflow	v	1
CLT     Clear T in SREG     T     1       SEH     Set Half Carry Flag in SREG     H     1       OLH     Clear Half Carry Flag in SREG     H     1       MOV     Rd, Rr     More Between Registers     None     1       MOVW     Rd, Rr     Copy Register Word     None     1       LD     Rd, X     Load Immediate     None     1       LD     Rd, X     Load Indirect and Post-Inc.     None     2       LD     Rd, Y+     Load Indirect and Post-Inc.     None     2       LD     Rd, Y+     Load Indirect and Post-Inc.     None     2       LD     Rd, Y+     Load Indirect and Post-Inc.     None     2       LD     Rd, Y+     Load Indirect and Post-Inc.     None     2       LD     Rd, Y+     Load Indirect and Post-Inc.     None     2       LD     Rd, Y+     Load Indirect and Post-Inc.     None     2       LD     Rd, Z     Load Indirect and Post-Inc.     None     2       LD     Rd, Z-     Load Indirect and Post-Inc.     None     2       LD     Rd, Z-     Load Indirect and Post-Inc.     None     2       LD     Rd, Z-     Load Indirect and Post-Inc.     None     2       LD	SET		Set T in SREG	T	1
SEH     Set Half Carry Flag in SREG     H     1       DATA TRANSFER INSTRUCTIONS       MOV     Rd, Rr     Move Between Registers     None     1       MOVW     Rd, Rr     Copy Register Word     None     1       LD     Rd, X     Load Indirect     None     1       LD     Rd, X     Load Indirect and Pest-Inc.     None     2       LD     Rd, X+     Load Indirect and Pre-Dec.     None     2       LD     Rd, Y+     Load Indirect and Pest-Inc.     None     2       LD     Rd, Y+     Load Indirect and Pest-Inc.     None     2       LD     Rd, Y+     Load Indirect and Pest-Inc.     None     2       LD     Rd, Y+     Load Indirect and Pest-Inc.     None     2       LD     Rd, Y+     Load Indirect and Pest-Inc.     None     2       LD     Rd, Z+     Load Indirect and Pest-Oec.     None     2       LD     Rd, Z+     Load Indirect and Pest-Inc.     None     2       LD     Rd, Z+     Load Indirect and Pest-Oec.     None     2       LD     Rd, Z+     Load Indirect and Pest-Inc.     None     2       ST     X, Rr     Store Indirect and Pest-Inc.     None     2       ST	CLT		Clear T in SREG	Т	1
CLH     Clear Halt Carry Flag in SREG     H     1       DATA TRANSFER UNSTRUCTIONS       MOV     Rd. Rr     Move Between Registers     None     1       MOVW     Rd. Rr     Copy Register Word     None     1       LDI     Rd. K     Load Inmediate     None     1       LD     Rd. X     Load Indirect and Pest-Inc.     None     2       LD     Rd. X+     Load Indirect and Pest-Inc.     None     2       LD     Rd. Y+     Load Indirect and Pest-Inc.     None     2       LD     Rd. Y+     Load Indirect and Pest-Inc.     None     2       LD     Rd. Y+     Load Indirect and Pest-Inc.     None     2       LD     Rd. Y+     Load Indirect and Pest-Inc.     None     2       LD     Rd. Y+     Load Indirect and Pest-Inc.     None     2       LD     Rd. Z+     Load Indirect and Pest-Inc.     None     2       LD     Rd. Z+     Load Indirect and Pest-Inc.     None     2       LD     Rd. K     Load Indirect and Pest-Inc.     None     2       LD     Rd. K     Load Indirect and Pest-Inc.     None     2       ST     X, Rr     Store Indirect and Pest-Inc.     None     2       ST	SEH		Set Half Carry Flag in SREG	Н	1
DATA TRANSFRE INSTRUCTIONSMOVRd. RrMove Between RegistersNone1MOVWRd. RrCopy Register WordNone1LDIRd. XLoad IndirectNone1LDRd. X*Load Indirect and Pest-Inc.None2LDRd. X*Load Indirect and Pre-Dec.None2LDRd. Y*Load Indirect and Pre-Dec.None2LDRd. Z*Load Indirect and Pre-Dec.None2LDRd. X*Load Indirect and Pre-Dec.None2LDRd. X*Load Indirect and Pre-Dec.None2LDRd. X*Load Indirect and Pre-Dec.None2LDRd. X*Load Indirect and Pre-Dec.None2LDRd. Z*Load Indirect and Pre-Dec.None2STX.rStore Indirect and	CLH		Clear Half Carry Flag in SREG	Н	1
MOVRd, RrMove Between RegistersNone1MOVWRd, RrCopy Register WordNone1LD1Rd, KLoad IndirectNone1LDRd, X+Load IndirectNone2LDRd, X+Load Indirect and Pest-Inc.None2LDRd, Y+Load Indirect and Pest-Inc.None2LDRd, Z+Load Indirect and Pest-Inc.None2STX, RrStore Indirect and Pest-Inc.None2STX, RrStore Indirect and Pest-Inc.None2STX, RrStore Indirect and Pest-Inc.None2STY, RrStore Indirect and Pest-Inc.None2STY, RrStore Indirect and Pest-Inc.None2STY, RrStore Indirect and Pest-Inc.None2S			DATA TRANSFER INSTRUCTIONS		
MOVWRd, RrCopy Register WordNone1LD1Rd, KLoad InderectNone1LDRd, XLead IndirectNone2LDRd, X+Load Indirect and Pest-Inc.None2LDRd, -XLoad Indirect and Pre-Dec.None2LDRd, Y+Load Indirect and Pre-Dec.None2LDRd, Y+Load Indirect and Pest-Inc.None2LDRd, Y+Load Indirect and Pest-Inc.None2LDRd, Y+Load Indirect and Pre-Dec.None2LDRd, ZLoad Indirect and Pest-Inc.None2LDRd, Z+Load Indirect and Pest-Inc.None2LDRd, Z+Load Indirect and Pest-Inc.None2LDRd, Z+Load Indirect and Pest-Inc.None2LDDRd, Z+Load Indirect and Pest-Inc.None2LDDRd, X-Store Indirect and Pest-Inc.None2STX, RrStore Indirect and Pest-Inc.None2STY, RrStore Indirect and Pest-Inc.None2STY, RrStore Indirect and Pre-Dec.None2STY, RrStore Indirect and Pre-Dec.None2STY, RrStore Indirect and Pre-Dec.None2STY, RrStore Indirect and Pre-Dec.None2STY, RrStore Indirect and Pre-Dec.None2ST </td <td>MOV</td> <td>Rd, Rr</td> <td>Move Between Registers</td> <td>None</td> <td>1</td>	MOV	Rd, Rr	Move Between Registers	None	1
LDIRd, KLoad IndirectNone1LDRd, XLoad IndirectNone2LDRd, X+Load Indirect and Pest-Inc.None2LDRd, YLoad Indirect and Pre-Dec.None2LDRd, Y+Load Indirect and Pest-Inc.None2LDRd, Y+Load Indirect and Pest-Inc.None2LDRd, Y+Load Indirect and Pest-Inc.None2LDRd, Y+qLoad Indirect and Pest-Inc.None2LDRd, Y+qLoad Indirect and Pest-Inc.None2LDRd, Z+Load Indirect and Pest-Inc.None2LDRd, Z+Load Indirect and Pest-Inc.None2LDRd, Z+Load Indirect and Pest-Inc.None2LDRd, Z+Load Indirect and Pest-Inc.None2LDSRd, kLoad Indirect and Pest-Inc.None2STX, RrStore Indirect and Pest-Inc.None2STX, RrStore Indirect and Pest-Inc.None2STY, RrStore Indirect and Pest-Inc.None2 <td>MOVW</td> <td>Rd, Rr</td> <td>Copy Register Word</td> <td>None</td> <td>1</td>	MOVW	Rd, Rr	Copy Register Word	None	1
LDRd, XLoad Indirect and Post-Inc.None2LDRd, -XLoad Indirect and Pre-Dec.None2LDRd, YLoad Indirect and Pre-Dec.None2LDRd, Y+Load Indirect and Post-Inc.None2LDRd, Y+Load Indirect and Pre-Dec.None2LDRd, Y+Load Indirect and Pre-Dec.None2LDRd, Y+Load Indirect and Pre-Dec.None2LDRd, ZLoad Indirect and Pre-Dec.None2LDRd, Z+Load Indirect and Pre-Dec.None2LDRd, Z+Load Indirect and Pre-Dec.None2LDRd, Z+qLoad Indirect and Pre-Dec.None2LDRd, X, RrStore Indirect and Pre-Dec.None2STX, RrStore Indirect and Pre-Dec.None2STY-R, RrStore Indirect and Pre-Dec.None2STZ-RStore Indirect and Pre-Dec.None2STZ-RStore Indirect and Pre-Dec.No	LDI	Rd, K	Load Immediate	None	1
LDRd, X+Load Indirect and Pre-Dec.None2LDRd, YLoad IndirectNone2LDRd, Y+Load Indirect and Pre-Dec.None2LDRd, Y+Load Indirect and Pre-Dec.None2LDRd, Y+Load Indirect and Pre-Dec.None2LDRd, Y+Load Indirect with DisplacementNone2LDRd, Z+Load Indirect and Pre-Dec.None2LDRd, Z+Load Indirect and Pre-Dec.None2LDRd, Z+Load Indirect and Pre-Dec.None2LDRd, Z+Load Indirect and Pre-Dec.None2LDRd, Z+Load Indirect and Pre-Dec.None2LDSRd, kLoad Indirect and Pre-Dec.None2STX, RrStore Indirect and Post-Inc.None2STX, RrStore Indirect and Post-Inc.None2STY+, RrStore Indirect and Post-Inc.None2STY+, RrStore Indirect and Post-Inc.None2STY+, RrStore Indirect and Pre-Dec.None2STY+, RrStore Indirect and Pre-Dec.None2STY+, RrStore Indirect and Pre-Dec.None2STY+, RrStore Indirect and Post-Inc.None2STZ+, RrStore Indirect and Pre-Dec.None2STZ+, RrStore Indirect and Pre-Dec.None <td< td=""><td>LD</td><td>Rd, X</td><td>Load Indirect</td><td>None</td><td>2</td></td<>	LD	Rd, X	Load Indirect	None	2
LDRd, -XLoad Indirect and Pre-Dec.None2LDRd, Y+Load Indirect and Pest-Inc.None2LDRd, Y+Load Indirect and Pre-Dec.None2LDRd, YqLoad Indirect with DisplacementNone2LDRd, ZLoad Indirect with DisplacementNone2LDRd, Z+Load Indirect with DisplacementNone2LDRd, Z+Load Indirect with DisplacementNone2LDRd, Z-Load Indirect with DisplacementNone2LDSRd, KLoad Indirect molectNone2LDSRd, KLoad Indirect and Pre-Dec.None2LDSRd, KLoad Indirect and Pre-Dec.None2STX, RrStore Indirect and Pre-Dec.None2STX, RrStore Indirect and Pre-Dec.None2STY, RrStore Indirect and Pre-Dec.None2STY, RrStore Indirect and Post-Inc.None2STY, RrStore Indirect and Post-Inc.None2STY, RrStore Indirect and Post-Inc.None2STY, RrStore Indirect and Post-Inc.None2STZ, RrStore Indirect and Post-Inc.None2STZ, RrStore Indirect and Post-Inc.None2STZ, RrStore Indirect and Post-Inc.None2STZ, RrStore Indirect and Post-In	LD	Rd, X+	Load Indirect and Post-Inc.	None	2
LDRd, YLoad IndirectNone2LDRd, -YLoad Indirect and Post-Inc.None2LDRd, -YLoad Indirect and Pre-Dec.None2LDRd, Y+qLoad Indirect with DisplacementNone2LDRd, Z+Load Indirect and Pre-Dec.None2LDRd, Z+Load Indirect and Pre-Dec.None2LDRd, Z+Load Indirect and Pre-Dec.None2LDRd, Z-Load Indirect with DisplacementNone2LDSRd, kLoad Indirect from SRAMNone2STX, RrStore Indirect and Post-Inc.None2STX, RrStore Indirect and Post-Inc.None2STY, RrStore Indirect and Post-Inc.None2STZ, RrStore Indirect and Post-Inc.None2STZ, RrStore Indirect and Post-Inc.None2STZ, RrStore Indirect and Pre-Dec.None2STZ, RrStore Indirect and Pre-Dec.None2STZ, RrStore Indirect and Post-Inc.None2STZ, RrStore Indirect and Post-Inc.None<	LD	Rd, -X	Load Indirect and Pre-Dec.	None	2
LDRd, Y+Load Indirect and Post-Inc.None2LDRd, -YLoad Indirect and Pre-Dec.None2LDRd, ZLoad Indirect with DisplacementNone2LDRd, ZLoad Indirect and Post-Inc.None2LDRd, Z+Load Indirect and Post-Inc.None2LDRd, Z+Load Indirect and Pre-Dec.None2LDRd, Z+Load Indirect and Pre-Dec.None2LDSRd, KLoad Indirect and Post-Inc.None2STX, RrStore Indirect and Post-Inc.None2STX, RrStore Indirect and Post-Inc.None2STX, RrStore Indirect and Post-Inc.None2STY, RrStore Indirect and Pre-Dec.None2STZ, RrStore Indirect and Pre-Dec.None2STY, RrStore Indirect and Post-Inc.None2STZ, RrStore Indirect and Post-Inc.None2STZ, RrStore Indirect and Post-Inc.None2STZ, RrStore Indirect and Post-Inc.None2STZ, RrStore Indirect and Post-Inc.<	LD	Rd, Y	Load Indirect	None	2
LDRd, -YLoad Indirect and Pre-Dec.None2LDDRd, Y-qLoad Indirect with DisplacementNone2LDRd, ZLoad Indirect and Post-Inc.None2LDRd, Z+Load Indirect and Pre-Dec.None2LDRd, Z+qLoad Indirect with DisplacementNone2LDDRd, Z+qLoad Indirect with DisplacementNone2LDSRd, kLoad Direct from SRAMNone2STX, RrStore Indirect and Post-Inc.None2STX, RrStore Indirect and Post-Inc.None2ST-X, RrStore Indirect and Post-Inc.None2ST-X, RrStore Indirect and Post-Inc.None2STY+, RrStore Indirect and Post-Inc.None2STY+, RrStore Indirect and Post-Inc.None2STY+, RrStore Indirect and Post-Inc.None2STZ, RrStore Indirect and Pre-Dec.None2STZ, RrStore Indirect and Pre-De	LD	Rd, Y+	Load Indirect and Post-Inc.	None	2
LDDRd, Y+qLoad Indirect with DisplacementNone2LDRd, ZLoad Indirect and Post-Inc.None2LDRd, Z+Load Indirect and Pre-Dec.None2LDRd, Z+qLoad Indirect and Pre-Dec.None2LDDRd, Z+qLoad Indirect and Pre-Dec.None2LDSRd, KLoad Direct from SRAMNone2STX, RrStore Indirect and Post-Inc.None2STX, RrStore Indirect and Post-Inc.None2STY, RrStore Indirect and Pre-Dec.None2STY, RrStore Indirect and Pre-Dec.None2STZ, RrStore Indirect and Post-Inc.None <td>LD</td> <td>Rd, -Y</td> <td>Load Indirect and Pre-Dec.</td> <td>None</td> <td>2</td>	LD	Rd, -Y	Load Indirect and Pre-Dec.	None	2
LDRd, ZLoad IndirectNone2LDRd, Z+Load Indirect and Post-Inc.None2LDRd, -ZLoad Indirect and Pre-Dec.None2LDDRd, Z+qLoad Indirect with DisplacementNone2LDSRd, kLoad Direct from SRAMNone2STX.RrStore Indirect and Post-Inc.None2STX.RrStore Indirect and Post-Inc.None2STY.RrStore Indirect and Pre-Dec.None2STY.RrStore Indirect and Pre-Dec.None2STY.RrStore Indirect and Post-Inc.None2STY.RrStore Indirect and Pre-Dec.None2STY+RrStore Indirect and Pre-Dec.None2STY-RStore Indirect with DisplacementNone2STZ.RrStore Indirect and Post-Inc.None2STZ.RrStore Indirect and Pre-Dec.None2STZ.RrStore Indirect and Pre-Dec.None2STZ.RrStore Indirect and Pre-Dec.None2STZ.RrStore Indirect ta STNone2STZ.RrStore Indirect ta STNone2STZ.RrStore Indirect ta STNone2STZ.RrStore Indirect and Pre-Dec.None2STZ.RrStore Indirect and Pre-Dec.None2STZ.RrS	LDD	Rd, Y+q	Load Indirect with Displacement	None	2
LDRd, Z+Load Indirect and Post-Inc.None2LDRd, -ZLoad Indirect and Pre-Dec.None2LDDRd, Z+qLoad Indirect and Pre-Dec.None2LDSRd, kLoad Direct from SRAMNone2STX, RrStore Indirect and Post-Inc.None2STX+, RrStore Indirect and Pre-Dec.None2STY+, RrStore Indirect and Pre-Dec.None2STY+, RrStore Indirect and Pre-Dec.None2STY+, RrStore Indirect and Pre-Dec.None2STY+, RrStore Indirect and Pre-Dec.None2ST-Y, RrStore Indirect and Pre-Dec.None2STY+, RrStore Indirect and Pre-Dec.None2STZ+, RrStore Indirect and Post-Inc.None2STZ+, RrStore Indirect and Post-Inc.None2STZ+, RrStore Indirect and Post-Inc.None2STZ+, RrStore Indirect and Post-Inc.None2STZ+, RrStore Indirect with DisplacementNone2STX+, RrStore Indirect and Post-Inc.None2STZ+, RrStore Indirect and Post-Inc.None2STZ+, RrStore Indirect and Post-Inc.None3LPMLoad Program Memory to R0None32LPMRd, Z+Load Program MemoryN	LD	Rd, Z	Load Indirect	None	2
LDRd, -ZLoad Indirect and Pre-Dec.None2LDDRd, Z+qLoad Indirect with DisplacementNone2LDSRd, kLoad Direct from SRAMNone2STX, RrStore Indirect and Post-Inc.None2ST-X, RrStore Indirect and Pre-Dec.None2ST-X, RrStore Indirect and Pre-Dec.None2STY, RrStore Indirect and Pre-Dec.None2STZ, RrStore Indirect with DisplacementNone2STZ, RrStore Indirect with DisplacementNone2STZ, RrStore Indirect with DisplacementNone2STZ, RrStore Indirect with DisplacementNone3LPMLoad Program MemoryNone33LPMRd, Z+Load Program MemoryNone3LPMRd, Z+Load Program MemoryNone1	LD	Rd, Z+	Load Indirect and Post-Inc.	None	2
LDDRd, Z+qLoad Indirect with DisplacementNone2LDSRd, kLoad Direct from SRAMNone2STX, RrStore IndirectNone2STX+, RrStore Indirect and Post-Inc.None2ST-X, RrStore Indirect and Pre-Dec.None2STY, RrStore Indirect and Pre-Dec.None2STY+, RrStore Indirect and Post-Inc.None2STY+, RrStore Indirect and Post-Inc.None2STY+, RrStore Indirect and Pre-Dec.None2STY+, RrStore Indirect and Pre-Dec.None2STZ, RrStore Indirect and Post-Inc.None2STZ, RrStore Indirect and Post-Inc.None2STZ+, RrStore Indirect and Post-Inc.None2STZ+, RrStore Indirect and Pre-Dec.None2STZ+, RrStore Indirect and Pre-Dec.None3LPMZ-, RrStore Program Memory to RDNone<	LD	Rd, -Z	Load Indirect and Pre-Dec.	None	2
LDSRd, kLoad Direct from SRAMNone2STX, RrStore IndirectNone2STX+, RrStore Indirect and Post-Inc.None2ST-X, RrStore Indirect and Pre-Dec.None2STY, RrStore Indirect and Post-Inc.None2STY, RrStore Indirect and Post-Inc.None2ST-Y, RrStore Indirect and Pre-Dec.None2ST-Y, RrStore Indirect and Pre-Dec.None2ST-Y, RrStore Indirect and Pre-Dec.None2STZ, RrStore Indirect and Post-Inc.None2STZ, RrStore Indirect and Post-Inc.None2STZ, RrStore Indirect and Post-Inc.None2ST-Z, RrStore Indirect and Post-Inc.None2STZ+q, RrStore Indirect with DisplacementNone2STSK, RrStore Indirect with DisplacementNone2STDZ+q, RrStore Indirect with DisplacementNone3LPMLoad Program Memory to R0None33LPMRd, ZLoad Program Memory and Post-IncNone3SPMStore Program MemoryNone13UPMRd, Z+Load Program MemoryNone1OUTP, RrOut PortNone1PUSHRrPup Register from StackNone2POP <td>LDD</td> <td>Rd, Z+q</td> <td>Load Indirect with Displacement</td> <td>None</td> <td>2</td>	LDD	Rd, Z+q	Load Indirect with Displacement	None	2
SIX, RrStore Indirect and Post-Inc.None2STX+, RrStore Indirect and Post-Inc.None2ST-X, RrStore Indirect and Pre-Dec.None2STY, RrStore Indirect and Post-Inc.None2STY+, RrStore Indirect and Post-Inc.None2ST-Y, RrStore Indirect and Pre-Dec.None2ST-Y, RrStore Indirect and Post-Inc.None2ST-Y, RrStore Indirect and Post-Inc.None2STZ, RrStore Indirect and Post-Inc.None2STZ, RrStore Indirect and Post-Inc.None2ST-Z, RrStore Indirect and Post-Inc.None2ST-Z, RrStore Indirect and Pre-Dec.None2STZ+Q, RrStore Indirect with DisplacementNone2STSK, RrStore Indirect with DisplacementNone2LPMLoad Program Memory to R0None33LPMRd, ZLoad Program MemoryNone3LPMRd, Z+Load Program MemoryNone1OUTP, RrOut PortNone1OUTP, RrOut PortNone2NOPRdPop Register fon StackNone2NOPNo perationNone1WC Watchdog Reset (see specific descr. for Sleep function)None1WDRWatchdog Reset (see specif	LDS	Rd, k	Load Direct from SRAM	None	2
SIX+, KrStore Indirect and Post-Inc.None2ST-X, RrStore Indirect and Pre-Dec.None2STY, RrStore Indirect and Post-Inc.None2STY+, RrStore Indirect and Pre-Dec.None2ST-Y, RrStore Indirect and Pre-Dec.None2STY+q, RrStore Indirect and Pre-Dec.None2STZ, RrStore Indirect with DisplacementNone2STZ, RrStore Indirect and Post-Inc.None2STZ, RrStore Indirect and Post-Inc.None2STZ, RrStore Indirect and Pre-Dec.None2STZ+, RrStore Indirect and Pre-Dec.None2ST-Z, RrStore Indirect and Pre-Dec.None2STZ+, RrStore Indirect with DisplacementNone2STSk, RrStore Indirect to SRAMNone2LPMLoad Program Memory to R0None3LPMRd, ZLoad Program MemoryNone3LPMRd, Z+Load Program MemoryNone1OUTP, RrOut PortNone1OUTP, RrOut PortNone2NOPRdPop Register from StackNone2NOPNo OperationNone1Steep (see specific descr. for Sleep function)None1WDRWatchdog Reset (see specific descr. for WDR/timer) <t< td=""><td>ST</td><td>X, Rr</td><td>Store Indirect</td><td>None</td><td>2</td></t<>	ST	X, Rr	Store Indirect	None	2
SI-X, RrStore Indirect and Pre-Dec.None2STY, RrStore Indirect and Post-Inc.None2STY+, RrStore Indirect and Post-Inc.None2ST-Y, RrStore Indirect and Pre-Dec.None2STDY+a, RrStore Indirect with DisplacementNone2STZ, RrStore Indirect and Post-Inc.None2STZ, RrStore Indirect and Post-Inc.None2STZ+, RrStore Indirect and Post-Inc.None2STZ+, RrStore Indirect and Pre-Dec.None2STDZ+a, RrStore Indirect with DisplacementNone2STDZ+a, RrStore Indirect with DisplacementNone2STSk, RrStore Indirect with DisplacementNone3LPMLoad Program Memory to R0None3LPMRd, ZLoad Program Memory and Post-IncNone3SPMStore Program Memory and Post-IncNone3SPMStore Program MemoryNone1OUTP, RrOut PortNone1PUSHRrPush Register on StackNone2NOPRdPop Register from StackNone2NOPNo OperationNone1WCU CONTROL INSTRUCTIONSNone1WORWatchdog Reset (see specific descr. for Sleep function)None1WORBreak For On-chip Debug Only None N/A </td <td>SI</td> <td>X+, Rr</td> <td>Store Indirect and Post-Inc.</td> <td>None</td> <td>Z</td>	SI	X+, Rr	Store Indirect and Post-Inc.	None	Z
S1Y, RrStore IndirectNone2STY+, RrStore Indirect and Post-Inc.None2ST-Y, RrStore Indirect and Pre-Dec.None2STDY+q, RrStore Indirect with DisplacementNone2STZ, RrStore Indirect and Post-Inc.None2STZ+, RrStore Indirect and Post-Inc.None2ST-Z, RrStore Indirect and Post-Inc.None2ST-Z, RrStore Indirect with DisplacementNone2STDZ+q, RrStore Indirect with DisplacementNone2STSk, RrStore Indirect to SRAMNone2LPMLoad Program Memory to R0None3LPMRd, ZLoad Program MemoryNone3LPMRd, Z+Load Program MemoryNone3SPMStore Program MemoryNone1OUTP, RrOut PortNone1OUTP, RrPush Register on StackNone2POPRdPop Register from StackNone2NOPNo OperationNone11SLEEPSleep (see specific descr. for Sleep function)None1WORWatchdog Reset (see specific descr. for WDR/timer)None1BREAKBreak For On-chip Debug Only None N/ANoneN/A	SI	-X, Rr	Store Indirect and Pre-Dec.	None	2
SIY+, RrStore Indirect and Post-Inc.None2ST-Y, RrStore Indirect and Pre-Dec.None2STDY+q, RrStore Indirect with DisplacementNone2STZ, RrStore Indirect and Post-Inc.None2STZ+, RrStore Indirect and Pre-Dec.None2ST-Z, RrStore Indirect and Pre-Dec.None2STZ+q, RrStore Indirect with DisplacementNone2STSk, RrStore Indirect with DisplacementNone2STSk, RrStore Indirect with DisplacementNone2LPMLoad Program Memory to R0None3LPMRd, ZLoad Program MemoryNone3SPMStore Program Memory and Post-IncNone3SPMStore Program MemoryNone1OUTP, RrOut PortNone1OUTP, RrOut PortNone2POPRdPop Register from StackNone2NOPNo DeerationNone1SLEEPSleep (see specific descr. for Sleep function)None1WDRWatchdog Reset (see specific descr. for WDR/timer)None1BREAKBreak For On-chip Debug Only None N/ANoneN/A	SI	Y, Rr	Store Indirect	None	2
S1-T, KrStore Indirect and Pre-Dec.None2STDY+q, RrStore Indirect with DisplacementNone2STZ, RrStore Indirect and Post-Inc.None2STZ+, RrStore Indirect and Pre-Dec.None2ST-Z, RrStore Indirect with DisplacementNone2STDZ+q, RrStore Indirect with DisplacementNone2STSk, RrStore Indirect to SRAMNone2LPMLoad Program Memory to R0None3LPMRd, ZLoad Program MemoryNone3SPMStore Program Memory and Post-IncNone3SPMStore Program MemoryNone1OUTP, RrOut PortNone1PUSHRrPush Register on StackNone2POPRdPop Register from StackNone2MORSleep (see specific descr. for Sleep function)None1WDRBreak For On-chip Debug Only None N/ANone1	SI	Y+, Rr	Store Indirect and Post-Inc.	None	2
STD1+q, KrStore Indirect with DisplacementNone2STZ, RrStore IndirectNone2STZ+, RrStore Indirect and Post-Inc.None2STDZ+q, RrStore Indirect with DisplacementNone2STDZ+q, RrStore Indirect with DisplacementNone2STSK, RrStore Indirect to SRAMNone2LPMLoad Program Memory to R0None3LPMRd, ZLoad Program MemoryNone3SPMStore Program MemoryNone3SPMStore Program MemoryNone1OUTP, RrOut Program MemoryNone1PUSHRrPush Register on StackNone2POPRdPop Register from StackNone2MOPNo OperationNone1SLEEPSleep (see specific descr. for Sleep function)None1WDRWatchdog Reset (see specific descr. for WDR/timer)None1BREAKBreak For On-chip Debug Only None N/ANoneN/A	SI	-T, Kr	Store indirect and Pre-Dec.	None	2
St     Z, Kr     Store Indirect     None     2       ST     Z+, Rr     Store Indirect and Post-Inc.     None     2       ST     -Z, Rr     Store Indirect and Pre-Dec.     None     2       STD     Z+q, Rr     Store Indirect with Displacement     None     2       STS     k, Rr     Store Direct to SRAM     None     2       LPM     Load Program Memory to R0     None     3       LPM     Rd, Z     Load Program Memory     None     3       LPM     Rd, Z+     Load Program Memory     None     3       SPM     Store Program Memory     None     3       SPM     Store Program Memory     None     1       OUT     P, Rr     Out Port     None     1       OUT     P, Rr     Out Port     None     1       POP     Rd     Pop Register from Stack     None     2       MCU CONTROL INSTRUCTIONS     None     1     1       NOP     No Operation     None     1       SLEEP     Sleep (see specific descr. for Sleep function)     None     1       WOR     Watchdog Reset (see specific descr. for WDR/timer)     None     1       BREAK     Break For On-chip Debug Only None N/A     None     N/A <td>510</td> <td>1+q, Kr</td> <td>Store Indirect with Displacement</td> <td>None</td> <td>2</td>	510	1+q, Kr	Store Indirect with Displacement	None	2
St     Z*, Rr     Store Indirect and Post-Inc.     None     Z       ST     -Z, Rr     Store Indirect and Pre-Dec.     None     2       STD     Z+q, Rr     Store Indirect with Displacement     None     2       STS     k, Rr     Store Direct to SRAM     None     2       LPM     Load Program Memory to R0     None     3       LPM     Rd, Z     Load Program Memory     None     3       SPM     Rd, Z+     Load Program Memory and Post-Inc     None     3       SPM     Store Program Memory     None     1       OUT     P, Rr     Out Program Memory     None     1       OUT     P, Rr     Out Port     None     1       POP     Rd     Pop Register from Stack     None     2       MCU CONTROL INSTRUCTIONS     None     1     1       NOP     No Operation     None     1       SLEEP     Sleep (see specific descr. for Sleep function)     None     1       WOR     Watchdog Reset (see specific descr. for WDR/timer)     None     1	51	2, Kr	Store Indirect	None No	<u> </u>
ST     -Z, RT     Store Indirect and Pre-Dec.     None     2       STD     Z+q, Rr     Store Indirect with Displacement     None     2       STS     k, Rr     Store Direct to SRAM     None     2       LPM     Load Program Memory to R0     None     3       LPM     Rd, Z     Load Program Memory and Post-Inc     None     3       SPM     Store Program Memory     None        IN     Rd, P     In Port     None     1       OUT     P, Rr     Out Port     None     1       POP     Rd     Pop Register from Stack     None     2       MCU CONTROL INSTRUCTIONS     None     1     1       NOP     Steep (see specific descr. for Sleep function)     None     1       WOR     Watchdog Reset (see specific descr. for WDR/timer)     None     1       BREAK     Break For On-chip Debug Only None N/A     None     N/A	51 67	2+, Kr _7 D-	Store indirect and Post-Inc.	NONE	2
STD     ZTR, RT     Store Interfect with Displacement     None     Z       STS     k, Rr     Store Direct to SRAM     None     2       LPM     Load Program Memory to R0     None     3       LPM     Rd, Z     Load Program Memory to R0     None     3       LPM     Rd, Z+     Load Program Memory and Post-Inc     None     3       SPM     Store Program Memory     None        IN     Rd, P     In Port     None     1       OUT     P, Rr     Out Port     None     1       PUSH     Rr     Push Register on Stack     None     2       MCU CONTROL INSTRUCTIONS     MCU CONTROL INSTRUCTIONS     None     1       SLEEP     Sleep (see specific descr. for Sleep function)     None     1       WDR     Watchdog Reset (see specific descr. for WDR/timer)     None     1       BREAK     Break For On-chip Debug Only None N/A     None     N/A	اد ۲۵	-2, Kr 7+a P-	Store Indirect and Fre-Dec.	NUTTE	2
Content of the program Memory to R0None2LPMLoad Program Memory to R0None3LPMRd, ZLoad Program MemoryNone3LPMRd, Z+Load Program Memory and Post-IncNone3SPMStore Program MemoryNone-INRd, PIn PortNone1OUTP, RrOut PortNone1PUSHRrPush Register on StackNone2POPRdPop Register from StackNone2MCU CONTROL INSTRUCTIONSNOPSteep (see specific descr. for Sleep function)None1WDRWatchdog Reset (see specific descr. for WDR/timer)None1BREAKBreak For On-chip Debug Only None N/ANoneN/A	51U 9T0	۲, KI ۲ D -	Store Direct to CDAM	None	2
Lim     None     3       LPM     Rd, Z     Load Program Memory and Post-Inc     None     3       LPM     Rd, Z+     Load Program Memory and Post-Inc     None     3       SPM     Store Program Memory and Post-Inc     None     1       IN     Rd, P     In Port     None     1       OUT     P, Rr     Out Port     None     1       PUSH     Rr     Push Register on Stack     None     2       POP     Rd     Pop Register from Stack     None     2       MCU CONTROL INSTRUCTIONS     MONE     1     1       SLEEP     Sleep (see specific descr. for Sleep function)     None     1       WDR     Watchdog Reset (see specific descr. for WDR/timer)     None     1       BREAK     Break For On-chip Debug Only None N/A     None     N/A	1 PM	N, KI	Load Program Nomery to PO	Nono	2
Lim     INULY     Load Program Memory     None     3       LPM     Rd, Z+     Load Program Memory and Post-Inc     None     3       SPM     Store Program Memory     None     -       IN     Rd, P     In Port     None     1       OUT     P, Rr     Out Port     None     1       PUSH     Rr     Push Register on Stack     None     2       POP     Rd     Pop Register from Stack     None     2       MCU CONTROL INSTRUCTIONS     MCU CONTROL INSTRUCTIONS     1       NOP     No Operation     None     1       SLEEP     Sleep (see specific descr. for Sleep function)     None     1       WOR     Watchdog Reset (see specific descr. for WDR/timer)     None     1       BREAK     Break For On-chip Debug Only None N/A     None     N/A		Pd 7	Luau riugiam Memory	None	3
Indication     Store     Program Memory     None     J       SPM     Store Program Memory     None     -       IN     Rd, P     In Port     None     1       OUT     P, Rr     Out Port     None     1       PUSH     Rr     Push Register on Stack     None     2       POP     Rd     Pop Register from Stack     None     2       NOP     No Operation     None     1       SLEEP     Sleep (see specific descr. for Sleep function)     None     1       WOR     Watchdog Reset (see specific descr. for WDR/timer)     None     1       BREAK     Break For On-chip Debug Only None N/A     None     N/A			Load Program Memory and Post-Inc	None	3
IN     Rd, P     In Port     None       OUT     P, Rr     Out Port     None     1       PUSH     Rr     Push Register on Stack     None     2       POP     Rd     Pop Register from Stack     None     2       MCU CONTROL INSTRUCTIONS     MCU CONTROL INSTRUCTIONS       NOP     No Operation     None     1       SLEEP     Sleep (see specific descr. for Sleep function)     None     1       WDR     Watchdog Reset (see specific descr. for WDR/timer)     None     1       BREAK     Break For On-chip Debug Only None N/A     None     N/A	SPM	Nu, 27	Store Program Mamory	None	3
None     None     1       OUT     P, Rr     Out Port     None     1       PUSH     Rr     Push Register on Stack     None     2       POP     Rd     Pop Register from Stack     None     2       MCU CONTROL INSTRUCTIONS     MCU CONTROL INSTRUCTIONS     1       NOP     No Operation     None     1       SLEEP     Sleep (see specific descr. for Sleep function)     None     1       WOR     Watchdog Reset (see specific descr. for WDR/timer)     None     1       BREAK     Break For On-chip Debug Only None N/A     None     N/A		RdP	In Part	None	1
PUSH     Rr     Push Register on Stack     None     2       POP     Rd     Pop Register from Stack     None     2       MCU CONTROL INSTRUCTIONS       NOP     No Operation     None     1       SLEEP     Sleep (see specific descr. for Sleep function)     None     1       WOR     Watchdog Reset (see specific descr. for WDR/timer)     None     1       BREAK     Break For On-chip Debug Only None N/A     None     N/A			Aut Port	None	1
NOP     No     2       NOP     No     Pop Register from Stack     None     2       MCU CONTROL INSTRUCTIONS     MCU CONTROL INSTRUCTIONS     1       SLEEP     Sleep (see specific descr. for Sleep function)     None     1       WDR     Watchdog Reset (see specific descr. for WDR/timer)     None     1       BREAK     Break For On-chip Debug Only None N/A     None     N/A	PUSH	Rr	Push Register on Stack	None	2
MCU CONTROL INSTRUCTIONS         None         1           NOP         No Operation         None         1           SLEEP         Sleep (see specific descr. for Sleep function)         None         1           WDR         Watchdog Reset (see specific descr. for WDR/timer)         None         1           BREAK         Break For On-chip Debug Only None N/A         None         N/A	POP	Rd	Pon Register from Stack	None	2
NOP         No Operation         None         1           SLEEP         Sleep (see specific descr. for Sleep function)         None         1           WDR         Watchdog Reset (see specific descr. for WDR/timer)         None         1           BREAK         Break For On-chip Debug Only None N/A         None         N/A					-
SLEEP         Sleep (see specific descr. for Sleep function)         None         1           WDR         Watchdog Reset (see specific descr. for WDR/timer)         None         1           BREAK         Break For On-chip Debug Only None N/A         None         N/A	NOP		No Operation	None	1
WDR         Watchdog Reset (see specific descr. for WDR/timer)         None         1           BREAK         Break For On-chip Debug Only None N/A         None         N/A	SLEEP		Sleen (see specific descr. for Sleen function)	None	
BREAK Break For On-chip Debug Only None N/A None N/A	WDR		Watchdog Reset (see specific descr for WDR/timer)	None	1
	BREAK		Break For On-chip Debug Only None N/A	None	N/A

(2)よく使う擬似命令一覧 .include *"filename"* : ソースプログラム中で、別のファイルを取り込みたいときに使用します。 filenameのところには、取り込みたいファイルの名前が入ります。 (例) .include "tn2313adef.inc" ; ATtinv2313A用レジスタ定義ファイルを取り込む .org *address* : この擬似命令の後ろの命令を、プログラムメモリ中の指定したアドレスから置くよう、 アセンブラに指示します。 (例).org 0x0013 ; この後の命令をプログラムメモリのOx0013番地 ; から配置する . eau name = I 「式」で表される数値に、「name」で表される名前をつけます。 数値に名前をつけることで、プログラム中では名前を使って書くことができます。 (例),eau rcunt = 0x60 ; ATtiny2313の内部SRAMの先頭番地(0x60)に、 ; "rcunt"と名前をつけた

lds r16,rcunt ; rcuntという名前で、Ox60という値を使うことができる

.db *data0, data1,....* 

プログラムメモリ中に、指定したデータを置くときに使用します。

このチュートリアルでは説明しませんでしたが、置かれたデータはLPM命令で汎用レジスタに コピーすることができます。

※1行中のデータの個数は偶数個でないと、ビルド時に警告が出ます。

(例).db 0x00, 0x01, 0x02, 0x03 ;プログラムメモリ中に、0x00, 0x01, 0x02, 0x03 ;というデータを置く

※これ以外にもたくさんの擬似命令がありますが、よく使うもののみを取り上げました。 詳細については、Atmel Studioのヘルプで[Assembler Directives]を選ぶと見ることが できますので、参考にしてください。

#### (3) ATtiny2313A 1/0レジスタマップ

I/0アドレス (16進)	レジスタの 名前	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビットロ		
0x3F	SREG	I	T	Н	S	٧	N	Z	C		
0x3E	(予約)	*	*	*	*	*	*	*	*		
0x3D	SPL	SP7	SP 6	SP5	SP4	SP3	SP2	SP1	SPO		
Ux3C	OCRUB	タイマカウンタリコンペアレジスタB									
UX3B	GIER			PUIEU	PUIEZ POIE2	PUIEI POIEI	*	*	*		
0x39	TIMSK	TOLE1		OCIE1B	*						
0x38	TIFR	TOV1	OCF1A	OCF1B	*	ICF1	OCFOB	TOVO	OCFOA		
0x37	SPMCSR	*	*	RSIG	CTPB	RFLB	PGWRT	PGERSW	SPMEN		
0x36	OCROA	タイマカウンタ0 コンペアレジスタA									
0x35	MCUCR	PUD	SM1	SE	SMO	ISC11	ISC10	ISC01	ISCOO		
0x34	MCUSR	*	*	*	*	WDRF	BORF	EXTRF	PORF		
0x33		FUCUA	FULUB	*	*	WGMU2 なり (8ビット		6301	500		
0x31	OSCCAL							CAL 1			
0x30	TCCROA	COM0A1	COMOAO	COM0B1	COMOBO	*	*	WGM01	WGM00		
0x2F	TCCR1A	COM1A1	COM1A0	COM1B1	COM1B0	*	*	WGM11	WGM10		
0x2E	TCCR1B	ICNC1	ICES1	*	WGM13	WGM12	CS12	CS11	CS10		
0x2D	TCNT1H	タイマカウンタ1 カウンタレジスタ上位									
0x2C	TCNT1L	タイマカウンタ1カウンタレジスタ下位									
Ux2B	UCR1AH	タイマカウンタ1 コンペアレジスタA 上位									
		- タイマカワンターコンペアレジスタA 下位 タイマカウンタ1 コンペアレジスタA 下位									
0x28	OCR1BL	- フィャルワンフィーコンヘアレンスジロ 上位 タイマカウンタ1 コンペアレジスタR 下位									
0x27	(予約)	*	*	*	*	*	*	*	*		
0x26	CLKPR	CLKPCE	*	*	*	CLKPS3	CLKPS2	CLKPS1	CLKPSO		
0x25	ICR1H	タイマカウンタ1 インプットキャプチャレジスタ 上位									
0x24	ICR1L	タイマカウンタ1 インプットキャプチャレジスタ 下位									
0x23	GTCCR	*	*	*	*	*	*	*	PSR10		
UX22		FUCUIA		* WDD3	* WDCE	* WDE	*	* WDP1	* WDD0		
0x21	PCMSK	PCINT7	PCINTS	PCINT5		PCINT3	PCINT2	PCINT1	PCINTO		
0x1F	(予約)	*	*	*	*	*	*	*	*		
0x1E	EEAR			E	EPROM アド	レスレジスタ					
0x1D	EEDR				EEPROM デー	・タレジスタ					
0x1C	EECR	*	*	EEPM1	EEPMO	EERIE	EEMPE	EEPE	EERE		
0x1B	PORTA	*	*	*	*	*	PORTA2	PORTA1	PORTAO		
		*	*	*	*	*	DUAZ DINA2	DUA I DINA 1			
0x19	PORTR			≁ PORTB5	↑ PORTB4	PORTB3	PORTR2	PORTR1	PORTRO		
0x17	DDRB	DDB7	DDB6	DDB5	DDB4	DDB3	DDB2	DDB1	DDB0		
0x16	PINB	PINB7	PINB6	PINB5	PINB4	PINB3	PINB2	PINB1	PINBO		
0x15	GP I OR 2				GPIOレ	ジスタ2					
0x14	GP I OR 1				GPIOレ	ジスタ1					
0x13	GPIORO	GPI0レジスタ0									
UXIZ		*		PURIDS		PURTD3	PURTD2				
0x10	PIND	*	PIND6	PINDS	PIND4	PIND3	PIND2	PIND1	PINDO		
0x0F	USIDR		THE	THE	リシリテーク	マレジスタ	1 11.02	1 HD	1 1100		
0x0E	USISR	USISIF	USIOIF	USIPF	USIDC	USICNT3	USICNT2	USICNT1	USICNTO		
OxOD	USICR	USISIE	USIOIE	US I WM1	USIWMO	USICS1	USICSO	USICLK	USITC		
OxOC	UDR			UARI	「データレジ	ジスタ(8ビッ	<sup>,</sup> ト)				
0x0B	UCSRA	RXC	TXC	UDRE	FE	DOR	UPE	U2X	MPCM		
		RXUIE	IXUIE		K⊼EN ≓≓──└──└──	IXEN B空しパラク	UUSZZ 下位	кхвя	1 X 8 8		
0x09		ACD	ACBG					ACIS1	ACISO		
0x07	BODCR	*	*	*	*	*	*	BODS	BODSE		
0x06	PRR	*	*	*	*	PRT M1	PRTIMO	PRUS	PRUSART		
0x05	PCMSK2	*	PCINT17	PCINT16	PCINT15	PCINT14	PCINT13	PCINT12	PCINT11		
0x04	PCMSK1	*	*	*	*	*	PCINT10	PCINT9	PCINT8		
0x03	UCSRC	UMSEL1	UMSELO	UPM1	UPMO	USBS	UCSZ1	UCSZO	UCPOL		
0x02	UBRRH	*	*	*	*	UART	ボーレート説	は定レジスタ	上位		
		*	*	*	*	*	*	AINIU	AINUU		
0,00	001DI/				001 1197	, レノヘラ					

※ 表の中で「(予約)」となっているレジスタにはアクセスしないでください。 また、「\*」となっているビットは未使用のビットです。

#### (4)数値(10進、2進、16進)早見表

10進	2進(Ob)	16進(Ox)	10進	2進(Ob)	16進(Ox)	10進	2進(Ob)	16進(Ox)	10進	2進(Ob)	16進(Ox)
0	00000000	00	64	01000000	40	128	10000000	80	192	11000000	CO
1	00000001	01	65	01000001	41	129	10000001	81	193	11000001	C1
2	00000010	02	66	01000010	42	130	10000010	82	194	11000010	C2
3	00000011	03	67	01000011	43	131	10000011	83	195	11000011	C3
4	00000100	04	68	01000100	44	132	10000100	84	196	11000100	C4
5	00000101	05	69	01000101	45	133	10000101	85	197	11000101	C5
6	00000110	06	70	01000110	46	134	10000110	86	198	11000110	C6
7	00000111	07	71	01000111	47	135	10000111	87	199	11000111	C7
8	00001000	08	72	01001000	48	136	10001000	88	200	11001000	C8
9	00001001	09	73	01001001	49	137	10001001	89	201	11001001	C9
10	00001010	0A	74	01001010	4A	138	10001010	8A	202	11001010	CA
11	00001011	0B	75	01001011	4B	139	10001011	8B	203	11001011	CB
12	00001100	0C	76	01001100	4C	140	10001100	8C	204	11001100	CC
13	00001101	OD	77	01001101	4D	141	10001101	8D	205	11001101	CD
14	00001110	0E	78	01001110	4E	142	10001110	8E	206	11001110	CE
15	00001111	OF	79	01001111	4F	143	10001111	8F	207	11001111	CF
16	00010000	10	80	01010000	50	144	10010000	90	208	11010000	DO
17	00010001	11	81	01010001	51	145	10010001	91	209	11010001	D1
18	00010010	12	82	01010010	52	146	10010010	92	210	11010010	D2
19	00010011	13	83	01010011	53	147	10010011	93	211	11010011	D3
20	00010100	14	84	01010100	54	148	10010100	94	212	11010100	D4
21	00010101	15	85	01010101	55	149	10010101	95	213	11010101	D5
22	00010110	16	86	01010110	56	150	10010110	96	214	11010110	D6
23	00010111	17	87	01010111	57	151	10010111	97	215	11010111	D7
24	00011000	18	88	01011000	58	152	10011000	98	216	11011000	D8
25	00011001	19	89	01011001	59	153	10011001	99	217	11011001	D9
26	00011010	1A	90	01011010	5A	154	10011010	9A	218	11011010	DA
27	00011011	1B	91	01011011	5B	155	10011011	9B	219	11011011	DB
28	00011100	1C	92	01011100	5C	156	10011100	9C	220	11011100	DC
29	00011101	1D	93	01011101	5D	157	10011101	9D	221	11011101	DD
30	00011110	1E	94	01011110	5E	158	10011110	9E	222	11011110	DE
31	00011111	1F	95	01011111	5F	159	10011111	9F	223	11011111	DF
32	00100000	20	96	01100000	60	160	10100000	<b>A</b> 0	224	11100000	EO
33	00100001	21	97	01100001	61	161	10100001	A1	225	11100001	E1
34	00100010	22	98	01100010	62	162	10100010	A2	226	11100010	E2
35	00100011	23	99	01100011	63	163	10100011	A3	227	11100011	E3
36	00100100	24	100	01100100	64	164	10100100	A4	228	11100100	E4
37	00100101	25	101	01100101	65	165	10100101	A5	229	11100101	E5
38	00100110	26	102	01100110	66	166	10100110	A6	230	11100110	E6
39	00100111	27	103	01100111	67	167	10100111	A7	231	11100111	E7
40	00101000	28	104	01101000	68	168	10101000	A8	232	11101000	E8
41	00101001	29	105	01101001	69	169	10101001	Ay	233	11101001	Eg
42		ZA 25	106		6A	1/0	10101010	AA	234	11101010	EA EE
43	00101011	ZB	107	01101011	6B	1/1		AB	235	11101011	EB
44		ZC	108	01101100	60	1/2		AC	236	11101100	EC
45		20	109		6D 05	1/3		AD	23/		ED
46		ZE	110		bE or	174		AL	Z 3 8		
4/		21	110		01	175			239	11110000	
48		JU	112		/U	1/0		BU	240		FU F1
49		ال ۵۰	113		/1	170		BI	241		
50		32 00	114		12	178		BZ	242	11110010	F2 F0
51		1j 14	115		/3	1/9		BJ D4	243	11110100	F.J
52		34 95	110		/4	100		B4	244		F4 57
0J E4		35 30	11/		/5	101	10110101	B2	245	11110100	F0 E0
54		30 97	110		/b 77	102		80 7	240	11110110	F0 E7
55		3/ 30	119		//	101	10110111	B/	24/	11111000	Γ/ Ε0
50		JÖ DO	120		/0	104	10111000	B0 B0	240	11111000	F0 E0
5/		39	121		/9	100		В3 В3	249	11111001	F9 F4
20		JA	122		/A 70	100	10111010	BA	200	11111010	FA
59		3B 10	123		/B 70	10/		BC BR	201	111111011	FB FD
00		մե 10	124		/U 7D	100		BU	252	11111100	
6.2		JU	120	01111101	/U 70	109	10111101	DU	203	11111101	ΓV εε
02		JE DE	120		/E 75	190		BE	204	11111111	
63	00111111	JF	127	01111111	/F	191		BF	255		FF